

DAQ M シリーズ

M シリーズユーザマニュアル

NI 622x、NI 625x、および NI 628x マルチファンクション I/O
モジュールおよびデバイス

技術サポートのご案内

ni.com/support

世界各地のオフィス

ni.com/niglobal から、お問い合わせ先、サポート電話番号、電子メールアドレス、現在実施中のイベントに関する最新情報を提供する各国現地オフィスのウェブページにアクセスできます。

日本ナショナルインスツルメンツ株式会社

〒105-0012 東京都港区芝大門 1-9-9 野村不動産芝大門ビル 8F/9F Tel: 0120-527196

National Instruments

11500 North Mopac Expressway Austin, Texas 78759-3504 USA Tel: 512 683 0100

サポート情報の詳細については、「[NI サービス](#)」を参照してください。ナショナルインスツルメンツのドキュメントに関してご意見をお寄せいただく場合は、ナショナルインスツルメンツのウェブサイト、ni.com/infoにある Info Code に「feedback」とご入力ください。

© 2004-2016 National Instruments. All rights reserved.

法的情報

限定的保証

本書は、「現状有姿」(as is) で提供されており、事前の通知なしに次の改訂版で変更される場合があります。最新版については、ni.com/manuals をご参照ください。National Instruments Corporation (以下「NI」という) は、本書の技術的な正確性を入念にチェックしております。ただし、NI は、本書に記載の情報の正確性について、一切の明示又は黙示の保証を行わず、技術的な誤りについて一切の責任を負いません。

NI は、請求日から 1 年間、ハードウェア製品について、当該製品が適用ある NI の公表された仕様に実質的に適合しないこととなるような素材及び製造技術上の欠陥は存在しないことを保証します。

NI は、請求日から 90 日間、(i) ソフトウェア製品が適用される付属のマニュアル文書に実質的に従って機能し、かつ (ii) 当該ソフトウェアの媒体に素材及び製造技術上の欠陥が存在しないことを保証します。

NI が適用ある保証期間中に欠陥又は不適合の通知を受領した場合、NI はその裁量により、(i) 問題のある製品を修理若しくは交換し、又は (ii) 問題のある製品の料金を払い戻します。修理又は交換後のハードウェアは、当初の保証期間の残期間又は 90 日間のうちいずれか長い期間について保証されます。NI が問題のある製品を修理又は交換することを選択する場合、NI は、新品、又は新品と同等の性能及び信頼性を有し、当初の部品又は製品と少なくとも同等の機能を有する整備済みの部品又は製品を使用することができます。

お客様は製品を NI に返却する前に、NI から RMA 番号を取得する必要があります。NI は、限定的保証の対象外のハードウェアの検査及び試験についてその費用を請求する権利を留保します。

限定的保証は、NI 製品の欠陥が次のいずれかの事柄に起因するものである場合には適用されません：(NI 以外の者によって実施された) 不適切又は不十分なメンテナンス、設置、修理又は校正、許可を受けていない改変、不適切な環境、不適切なハードウェア又はソフトウェア・キーの使用、製品の仕様の範囲を超えた不適切な使用又は操作。不適切な電圧の印加、事故、誤用又は不注意、雷、洪水又は他の天災等の災害。

上記の救済手段は排他的なものであり、お客様が有する唯一の救済手段です。また、これらの救済手段がその主要な目的を達成しえない場合であっても適用されます。

本書に明示に規定される場合を除いては、NI 製品は、いかなる種類の保証も付されることなく、「現状有姿」(as is) で提供されます。NI は、NI 製品に関するいかなる保証 (商品性の黙示の保証、特定目的適合性、第三者の所有権その他の財産権を侵害していないこと、及び取引慣行又は取引過程により生じうるあらゆる保証を含みます) も、明示、黙示を問わず、行いません。NI は、正確さ、的確性、信頼性その他いかなる点についても、NI 製品の使用又は使用結果に関して、保証せず、またいかなる表明も行いません。NI は NI 製品の稼働に中断がなく、又は誤作動がないことを保証しません。

お客様と NI が NI 製品を対象とする保証条件について、別途署名又は記名押印済みの契約を締結している場合、当該契約書における保証条件が適用されます。

著作権

著作権法に基づき、National Instruments Corporation (米国ナショナルインストルメンツ社) の書面による事前の許可なく、本書のすべて又は一部を写真複写、記録、情報検索システムへの保存、及び翻訳を含め、電子的又は機械的ないかなる形式によっても複製又は転載することを禁止します。

National Instruments は他者の知的財産を尊重しており、お客様も同様の方針に従われますようお願いいたします。NI ソフトウェアは著作権法その他知的財産権に関する法律により保護されています。NI ソフトウェアを用いて他者に帰属するソフトウェアその他のマテリアルを複製することは、適用あるライセンスの条件その他の法的規制に従ってそのマテリアルを複製できる場合に限り可能であるものとします。

エンドユーザ使用許諾契約及び他社製品の法的注意事項

エンドユーザ使用許諾契約 (EULA) 及び他社製品の法的注意事項は以下の場所にあります。

- 注意事項は、<National Instruments>%_Legal Information 及び <National Instruments> ディレクトリにあります。
- EULA は、<National Instruments>%Shared%MDF%Legal%license ディレクトリにあります。
- NI 製品とともに作成したインストーラに法律情報を組み込む方法については、<National Instruments>%_Legal Information.txt をお読みください。

米国政府の権利の制限

お客様が米国政府の機関、省又はその他の事業体 (「米国政府」と総称する) である場合、本書に記載の技術データの使用、複製、再製、公表、修正、開示又は転送は、民間機関用の連邦調達規則 52.227-14 と軍事機関用の国防省連邦調達規則補足 252.227-7014 及び 252.227-7015 に基づく限定権利条項の適用を受けます。

商標

NI の商標の詳細については、ni.com/trademarks の NI Trademarks and Logo Guidelines (英語) をご覧ください。

ARM, Keil, and µVision are trademarks or registered of ARM Ltd or its subsidiaries.

LEGO, the LEGO logo, WEDO, and MINDSTORMS are trademarks of the LEGO Group.

TETRIX by Pitsco is a trademark of Pitsco, Inc.

FIELDBUS FOUNDATION™ and FOUNDATION™ are trademarks of the Fieldbus Foundation.

EtherCAT® is a registered trademark of and licensed by Beckhoff Automation GmbH.

CANopen® is a registered Community Trademark of CAN in Automation e.V.

DeviceNet™ and EtherNet/IP™ are trademarks of ODVA.

Go!, SensorDAQ, and Vernier are registered trademarks of Vernier Software & Technology. Vernier Software & Technology and vernier.com are trademarks or trade dress.

Xilinx is the registered trademark of Xilinx, Inc.

Taptite and Trilobular are registered trademarks of Research Engineering & Manufacturing Inc.

FireWire® is the registered trademark of Apple Inc.

Linux® is the registered trademark of Linus Torvalds in the U.S. and other countries.

Handle Graphics®, MATLAB®, Simulink®, Stateflow®, and xPC TargetBox® are registered trademarks, and Simulink Coder™, TargetBox™, and Target Language Compiler™ are trademarks of The MathWorks, Inc.

Tektronix®, Tek, and Tektronix, Enabling Technology are registered trademarks of Tektronix, Inc.

The Bluetooth® word mark is a registered trademark owned by the Bluetooth SIG, Inc.

The ExpressCard™ word mark and logos are owned by PCMCIA and any use of such marks by National Instruments is under license.

The mark LabWindows is used under a license from Microsoft Corporation. Windows is a registered trademark of Microsoft Corporation in the United States and other countries.

本書中に記載されたその他の製品名及び企業名は、それぞれの企業の商標又は商号です。

National Instruments Alliance Partner ProgramのメンバーはNIより独立している事業体であり、NIと何ら代理店、パートナーシップ又はジョイント・ベンチャーの関係がありません。

特許

NIの製品を保護する特許については、ソフトウェアで参照できる特許情報（ヘルプ→特許）、メディアに含まれている `patents.txt` ファイル、又は ni.com/patents からアクセスできる National Instruments Patent Notice（英語）のうち、該当するリソースから参照してください。

輸出関連法規の遵守に関する情報

NIの輸出関連法規遵守に対する方針について、また必要な HTS コード、ECCN（Export Control Classification Number）、その他の輸出入に関する情報の取得方法については、「輸出関連法規の遵守に関する情報」（ni.com/legal/ja/export-compliance）を参照してください。

National Instruments Corporation 製品を使用する際の警告

お客様は、National Instruments Corporation（以下「NI」という）の製品がお客様のシステム又はアプリケーションに組み込まれるかどうかにかかわらず常にNI製品の適合性及び信頼性（システム又はアプリケーションの適切な設計、プロセス及び安全性を含みます）を確認し、検証する最終的な責任を負います。

NI製品は、生命若しくは安全の維持に不可欠なシステム、危険な環境若しくはフェイル・セーフ機能が必要となる他のあらゆる環境（原子力施設の運用、航空機ナビゲーション、航空交通管制システム、救命若しくは生命維持システムその他の医療装置の運用若しくは操作を含みます）、又はこの製品の欠陥が死亡、傷害、重大な財産損害若しくは環境被害をもたらすうその他あらゆる用途における使用（以下「高リスク用途」と総称する）のために設計、製造又は試験されたものではありません。さらに、故障・機能不全を防ぐために、バックアップ及びシャットダウン機構の準備などの慎重な処置を講じる必要があります。NIは、NI製品の高リスク用途への適合性について、明示又は黙示を問わず、いかなる保証も行いません。

目次

第 1 章

はじめに

安全ガイドライン.....	1-1
危険電圧に関する安全ガイドライン.....	1-2
電磁両立性ガイドライン.....	1-2
ハードウェア上の記号の定義.....	1-3
取り付け / インストール.....	1-3
デバイスを箱から取り出す.....	1-4
デバイスセルフキャリブレーション.....	1-4
M シリーズ PCI Express デバイスおよびディスクドライブ電源コネクタ をセットアップする.....	1-5
ディスクドライブ電源コネクタを使用する条件.....	1-5
ディスクドライブ電源コネクタの取り付け.....	1-5
M シリーズ USB デバイスをセットアップする.....	1-7
USB ネジ留め式端子デバイスに信号ラベルを貼付する.....	1-7
USB デバイスシャーシグラウンド.....	1-7
USB デバイスパネル / ウォールマウント.....	1-9
USB デバイスの LED.....	1-9
USB ケーブル抜け防止アクセサリ.....	1-9
USB デバイスのヒューズ交換.....	1-10
USB デバイスセキュリティケーブルスロット.....	1-13
フェライトの取り付け.....	1-14
ピン配列.....	1-14
仕様.....	1-14
アクセサリとケーブル.....	1-14

第 2 章

DAQ システムの概要

DAQ ハードウェア.....	2-1
DAQ-STC2 と DAQ-6202.....	2-2
キャリブレーション回路.....	2-2
ケーブルとアクセサリ.....	2-3
68 ピン M シリーズのケーブルおよびアクセサリ.....	2-3
68 ピンケーブル.....	2-5
68 ピン BNC アクセサリ.....	2-6
68 ピンネジ留め式端子アクセサリ.....	2-6
RTSI ケーブル.....	2-7
SCC キャリアおよびアクセサリ.....	2-7
SCXI.....	2-7

68 ピンカスタムケーブルおよび接続.....	2-8
USB デバイスのアクセサリ、USB ケーブル、および電源.....	2-8
37 ピン M シリーズのケーブルおよびアクセサリ.....	2-9
37 ピンケーブル.....	2-9
37 ピンネジ留め式端子のアクセサリ.....	2-10
RTSI ケーブル.....	2-10
37 ピンカスタムケーブル.....	2-10
信号調節.....	2-11
センサとトランスデューサ.....	2-11
信号調節オプション.....	2-11
SCXI.....	2-11
SCC.....	2-12
ソフトウェアでデバイスをプログラミングする.....	2-13

第 3 章

コネクタと LED の情報

I/O コネクタ信号の説明.....	3-1
+5 V 電源.....	3-6
USER 1 および USER 2.....	3-7
RTSI コネクタのピン配列.....	3-8
LED パターン.....	3-9

第 4 章

アナログ入力

アナログ入力レンジ.....	4-2
アナログ入力ローパスフィルタ.....	4-4
アナログ入力グラウンド基準設定.....	4-4
ソフトウェアで AI グラウンド基準設定を構成する.....	4-6
複数チャンネルスキャンに関する注意事項.....	4-6
アナログ入力のデータ収集方法.....	4-9
ソフトウェアタイミング集録.....	4-9
ハードウェアタイミング集録.....	4-10
アナログ入力トリガ.....	4-11
アナログ入力信号を接続する.....	4-11
浮動型信号ソースを接続する.....	4-12
浮動型信号ソースとは.....	4-12
浮動型信号ソースに差動 (DIFF) 接続を使用する条件.....	4-12
浮動型信号ソースに非基準化シングルエンド (NRSE) 接続を使用する 条件.....	4-13
浮動型信号ソースに基準化シングルエンド (RSE) 接続を使用する条件.....	4-13
浮動型信号ソースに差動接続を使用する.....	4-14
浮動型信号ソースに非基準化シングルエンド (NRSE) 接続を使用する.....	4-16

浮動型信号ソースに基準化シングルエンド (RSE) 接続を使用する	4-17
グランド基準型信号ソースを接続する	4-18
グランド基準型信号ソースとは	4-18
グランド基準型信号ソースに差動接続を使用する条件	4-18
グランド基準型信号ソースに非基準化シングルエンド (NRSE) 接続を 使用する条件	4-19
グランド基準型信号ソースに基準化シングルエンド (RSE) 接続を使用 する条件	4-19
グランド基準型信号ソースに差動接続を使用する	4-20
グランド基準型信号ソースに非基準化シングルエンド (NRSE) 接続を 使用する	4-21
配線に関する注意事項	4-22
アナログ入力タイミング信号	4-22
AI サンプルクロック信号	4-25
内部ソースを使用する	4-25
外部ソースを使用する	4-25
AI サンプルクロック信号を出力端子に経路設定する	4-26
その他のタイミング要件	4-26
AI サンプルクロックタイムベース信号	4-27
AI 変換クロック信号	4-27
内部ソースを使用する	4-27
外部ソースを使用する	4-28
AI 変換クロック信号を出力端子に経路設定する	4-28
サンプルクロックの遅延を変換クロックで使用する	4-28
その他のタイミング要件	4-29
AI 変換クロックタイムベース信号	4-30
AI ホールド完了イベント信号	4-30
AI 開始トリガ信号	4-31
デジタルソースを使用する	4-31
アナログソースを使用する	4-31
AI 開始トリガを出力端子に経路設定する	4-31
AI 基準トリガ信号	4-32
デジタルソースを使用する	4-32
アナログソースを使用する	4-33
AI 基準トリガ信号を出力端子に経路設定する	4-33
AI 一時停止トリガ信号	4-33
デジタルソースを使用する	4-33
アナログソースを使用する	4-33
AI 一時停止トリガ信号を出力端子に経路設定する	4-33
AI アプリケーションソフトウェアについて	4-34

第5章**アナログ出力**

AO オフセットと AO 基準選択.....	5-2
出力信号のグリッチを抑える.....	5-3
アナログ出力データの生成方法.....	5-3
ソフトウェアタイミング生成.....	5-3
ハードウェアタイミングによる生成.....	5-4
アナログ出力トリガ.....	5-5
アナログ出力信号を接続する.....	5-5
アナログ出力タイミング信号.....	5-6
AO 開始トリガ信号.....	5-6
デジタルソースを使用する.....	5-6
アナログソースを使用する.....	5-7
AO 開始トリガ信号を出力端子に経路設定する.....	5-7
AO 一時停止トリガ信号.....	5-7
デジタルソースを使用する.....	5-8
アナログソースを使用する.....	5-8
AO 一時停止トリガ信号を出力端子に経路設定する.....	5-8
AO サンプルクロック信号.....	5-8
内部ソースを使用する.....	5-9
外部ソースを使用する.....	5-9
AO サンプルクロック信号を出力端子に経路設定する.....	5-9
その他のタイミング要件.....	5-9
AO サンプルクロックタイムベース信号.....	5-10
AO アプリケーションソフトウェアについて.....	5-10

第6章**デジタル I/O**

スタティック DIO.....	6-2
デジタル波形トリガ.....	6-2
デジタル波形集録.....	6-3
DI サンプルクロック信号.....	6-3
内部ソースを使用する.....	6-3
外部ソースを使用する.....	6-4
DI サンプルクロックを出力端子に経路設定する.....	6-4
デジタル波形生成.....	6-4
DO サンプルクロック信号.....	6-5
内部ソースを使用する.....	6-5
外部ソースを使用する.....	6-5
DO サンプルクロックを出力端子に経路設定する.....	6-6
I/O 保護.....	6-6
プログラム可能な電源投入時の状態.....	6-6

DI 変化検出	6-7
DI 変化検出アプリケーション	6-8
デジタル I/O 信号を接続する	6-8
DIO アプリケーションソフトウェアについて	6-9

第 7 章

カウンタ

カウンタ入力アプリケーション	7-2
エッジをカウントする	7-2
シングルポイント (オンデマンド) エッジカウント	7-2
バッファ型 (サンプルクロック) エッジカウント	7-3
カウント方向を制御する	7-4
パルス幅測定	7-4
単一パルス幅測定	7-4
バッファ型パルス幅測定	7-5
周期測定	7-6
単一周期測定	7-6
バッファ型周期測定	7-7
半周期測定	7-8
単一半周期測定	7-8
バッファ型半周期測定	7-8
周波数測定	7-9
1 つのカウンタによる低周波数	7-9
1 つのカウンタによる低周波数 (平均)	7-10
2 つのカウンタによる高周波数	7-10
2 つのカウンタによる広範囲周波数	7-11
周波数測定方法を選択する	7-12
位置測定	7-15
位相差出力エンコーダによる測定	7-15
2 パルスエンコーダによる測定	7-17
バッファ型 (サンプルクロック) 位置測定	7-17
2 信号エッジ間隔測定	7-18
単一 2 信号エッジ間隔測定	7-19
バッファ型 2 信号エッジ間隔測定	7-19
カウンタ出力アプリケーション	7-20
簡易パルス生成	7-20
単一パルス生成	7-20
開始トリガによる単一パルス生成	7-21
再トリガ可能な単一パルス生成	7-21
パルス列生成	7-22
連続パルス列生成	7-22
有限パルス列生成	7-23

周波数の生成	7-23
周波数発生器を使用する	7-23
周波数分周	7-24
ETS のパルス生成	7-24
カウンタタイミング信号	7-25
Counter <i>n</i> Source 信号	7-25
信号を Counter <i>n</i> Source に経路設定する	7-26
Counter <i>n</i> Source を出力端子に経路設定する	7-26
Counter <i>n</i> Gate 信号	7-26
信号を Counter <i>n</i> Gate に経路設定する	7-27
Counter <i>n</i> Gate を出力端子に経路設定する	7-27
Counter <i>n</i> Aux 信号	7-27
信号を Counter <i>n</i> Aux に経路設定する	7-27
Counter <i>n</i> A、Counter <i>n</i> B、Counter <i>n</i> Z 信号	7-28
信号を A、B、Z カウンタ入力に経路設定する	7-28
Counter <i>n</i> Z 信号を出力端子に接続する	7-28
Counter <i>n</i> Up_Down 信号	7-28
Counter <i>n</i> HW Arm 信号	7-28
信号を Counter <i>n</i> HW Arm 入力に経路設定する	7-29
Counter <i>n</i> Internal Output と Counter <i>n</i> TC 信号	7-29
Counter <i>n</i> Internal Output を出力端子に経路設定する	7-29
周波数出力信号	7-29
周波数出力を端子に経路設定する	7-29
デフォルトのカウンタ / タイマピン配列	7-30
カウンタトリガ	7-31
その他のカウンタの機能	7-32
カウンタをカスケード接続する	7-32
カウンタフィルタ	7-32
プリスケール	7-33
重複カウント防止	7-34
正しく動作するアプリケーションの例 (重複カウントなし)	7-34
正しく動作しないアプリケーションの例 (重複カウント)	7-35
重複カウントを防止するアプリケーションの例	7-35
重複カウント防止を使用する条件	7-36
NI-DAQmx で重複カウント防止を有効にする	7-36
同期モード	7-36
80 MHz ソースモード	7-37
その他の内部ソースモード	7-37
外部ソースモード	7-38

第 8 章

PFI

PFI 端子をタイミング入力信号として使用する	8-2
PFI 端子を使用してタイミング出力信号をエクスポートする	8-3
PFI 端子をスタティックデジタル I/O として使用する	8-3
PFI 入力信号を接続する	8-4
PFI フィルタ	8-4
I/O 保護	8-6
プログラム可能な電源投入時の状態	8-6

第 9 章

デジタル接続とクロック生成

クロック経路設定	9-1
80 MHz タイムベース	9-2
20 MHz タイムベース	9-2
100 kHz タイムベース	9-2
外部基準クロック	9-2
10 MHz 基準クロック	9-2
複数のデバイスを同期する	9-3
PXI/PXI Express モジュール	9-3
PCI/PCI Express デバイス	9-3
USB デバイス	9-3
リアルタイムシステムインテグレーション (RTSI)	9-4
RTSI コネクタのピン配列	9-5
RTSI を出力として使用する	9-6
RTSI 端子をタイミング入力信号として使用する	9-6
RTSI フィルタ	9-7
PXI クロックおよびトリガ信号	9-8
PXI_CLK10	9-8
PXI トリガ	9-8
PXI_STAR トリガ	9-9
PXI_STAR フィルタ	9-9

第 10 章

バスインタフェース

データの転送方法	10-1
PCI/PCI Express デバイスおよび PXI/PXI Express モジュールデータ の転送方法	10-1
USB デバイスのデータ転送方法	10-3

PXI に関する注意事項.....	10-3
PXI クロックおよびトリガ信号.....	10-3
PXI および PXI Express.....	10-3
PXI を CompactPCI と使用する.....	10-5

第 11 章

トリガ

デジタルソースによるトリガ.....	11-1
アナログソースによるトリガ.....	11-2
APFI <0,1> 端子.....	11-2
アナログ入力チャンネル.....	11-3
アナログトリガの動作.....	11-3
アナログ比較イベントを出力端子に経路設定する.....	11-3
アナログトリガの種類.....	11-4
アナログトリガの確度.....	11-6

付録 A

モジュール / デバイス特有の情報

NI 6220.....	A-2
NI 6221 (68 ピン).....	A-4
NI PCI-6221 (37 ピン).....	A-12
NI 6224.....	A-14
NI 6225.....	A-16
NI 6229.....	A-23
NI 6250.....	A-31
NI 6251.....	A-33
NI 6254.....	A-42
NI 6255.....	A-44
NI 6259.....	A-51
NI 6280.....	A-61
NI 6281.....	A-63
NI 6284.....	A-70
NI 6289.....	A-72

付録 B

タイミング図

付録 C

トラブルシューティング

付録 D

E シリーズから M シリーズにアップグレードする

付録 E その他の情報

付録 F NI サービス

索引

図一覧

図 A-1.	PCI/PXI-6220 ピン配列 A-2
図 A-2.	PCI/PXI-6221 ピン配列 A-5
図 A-3.	USB-6221 ネジ留め式端子ピン配列 A-7
図 A-4.	USB-6221 BNC のトップパネルとピン配列 A-9
図 A-5.	PCI-6221 (37 ピン) ピン配列 A-12
図 A-6.	PCI/PXI-6224 ピン配列 A-14
図 A-7.	PCI/PXI-6225 ピン配列 A-16
図 A-8.	USB-6225 ネジ留め式端子ピン配列 A-18
図 A-9.	USB-6225 マスターミネーションのピン配列 A-20
図 A-10.	PCI/PXI-6229 ピン配列 A-23
図 A-11.	USB-6229 ネジ留め式端子ピン配列 A-25
図 A-12.	USB-6229 BNC のトップパネルとピン配列 A-28
図 A-13.	PCI/PXI-6250 ピン配列 A-31
図 A-14.	NI PCI/PCIe/PXI/PXIe-6251 ピン配列 A-33
図 A-15.	USB-6251 ネジ留め式端子ピン配列 A-35
図 A-16.	USB-6251 BNC のトップパネルとピン配列 A-37
図 A-17.	USB-6251 マスターミネーションのピン配列 A-39
図 A-18.	PCI/PXI-6254 ピン配列 A-42
図 A-19.	PCI/PXI-6255 ピン配列 A-44
図 A-20.	USB-6255 ネジ留め式端子ピン配列 A-46
図 A-21.	USB-6255 マスターミネーションのピン配列 A-48
図 A-22.	NI PCI/PCIe/PXI/PXIe-6259 ピン配列 A-51
図 A-23.	USB-6259 ネジ留め式端子ピン配列 A-54
図 A-24.	USB-6259 BNC のトップパネルとピン配列 A-56
図 A-25.	USB-6259 マスターミネーションのピン配列 A-58
図 A-26.	PCI/PXI-6280 ピン配列 A-61
図 A-27.	PCI/PXI-6281 ピン配列 A-63
図 A-28.	USB-6281 ネジ留め式端子のピン配列 A-65
図 A-29.	USB-6281 マスターミネーションのピン配列 A-67
図 A-30.	PCI/PXI-6284 ピン配列 A-70
図 A-31.	PCI/PXI-6289 ピン配列 A-72
図 A-32.	USB-6289 ネジ留め式端子のピン配列 A-74
図 A-33.	USB-6289 マスターミネーションのピン配列 A-76

はじめに

『M シリーズユーザマニュアル』には、NI-DAQmx 15.5 以降が搭載された NI M シリーズマルチファンクションデータ集録 (DAQ) の使用に関する情報が記載されています。M シリーズデバイスは、最大 80 個のアナログ入力 (AI) チャンネル、最大 4 個のアナログ出力 (AO) チャンネル、最大 48 ラインのデジタル入力 / 出力 (DIO)、および 2 個のカウンタを装備しています。この章では、M シリーズデバイスを使用するにあたって必要な基本的情報について説明します。

安全ガイドライン

NI 62xx M シリーズデバイスおよびモジュールは、必ずこのユーザマニュアルに従って操作してください。



注意 危険箇所における NI 62xx デバイスおよびモジュールの使用は認証されていません。



注意 +5 V 電力端子は、M シリーズデバイスや他のデバイス上のアナログ / デジタルグランドまたは他の電圧ソースに絶対に接続しないでください。接続した場合、デバイスやコンピュータが破損する可能性があります。NI は、このような接続による破損の責任を負いかねます。



注意 グランドを基準とする AI 信号 (差動モードでは、入力端子ペア) の最大入力電圧定格は、デバイスの仕様書に記載されています。AI 信号の最大入力電圧を超えると、測定結果の信頼性が失われます。最大入力電圧を超えた場合、デバイスやコンピュータが破損する可能性もあります。そのような信号接続を行ったことで生じる損害に関して、ナショナルインスツルメンツは一切の責任を負いません。



注意 各 M シリーズデバイスの仕様書に記載されている最大入力電圧を超えた場合、DAQ デバイスやコンピュータが損傷する可能性もあります。そのような信号接続を行ったことで生じる損害に関して、ナショナルインスツルメンツは一切の責任を負いません。



注意 これらのラインがサブバスによって駆動されると損傷する場合があります。NI は、不適切な信号の接続による損傷の責任を負いません。

危険電圧に関する安全ガイドライン

モジュール / デバイ스에 危険電圧を印加する場合は、次の安全措置を講じてください。危険電圧とは、アースに対して 42.4 V_{pk} または 60 VDC 以上の電圧を指します。



注意 危険電圧の配線は、地域の電気関連法規に従って資格を有する者が行ってください。



注意 危険電圧回路と人体が触れる可能性がある回路を、同じモジュール上に共存させないでください。



注意 シャーシとモジュールに接続されている回路は、人体に触れないよう必ず適切に被覆してください。



注意 NI 62xx デバイスおよびモジュールには絶縁特性がありません。

電磁両立性ガイドライン

この製品は、製品仕様書に記載された電磁両立性 (EMC) の規制基準および制限に基づいて所定の試験が実施され、これらに適合するものと認定されています。これらの基準および制限は、製品を意図された動作電磁環境で操作する場合に、有害な電磁妨害から保護するために設けられました。

この製品は、工場での使用を意図して設計されています。この製品が試験対象に接続されている場合、または住宅地域で使用されている場合、設置方法によっては有害な電磁妨害が発生する場合があります。製品によるラジオおよびテレビ受信への電磁妨害が起こる可能性、そして許容できない性能低下を最小限に抑えるには、製品ドキュメントの手順に厳密に従って取り付け、使用してください。

さらに、ナショナルインスツルメンツによって明示的に許可されていない変更または修正を製品に対して行った場合は、地域の規制に基づいて製品を動作させる許可を失う可能性があります。



注意 指定された EMC 性能を保証するには、製品を取り付ける際に特別な配慮またはエンドユーザによるアドオンデバイスが必要です。詳細については、製品の取り付け手順を参照してください。



注意 電磁両立性 (EMC) 要件に適合させるには、シールドケーブルおよびアクセサリを使用してこの製品を使用する必要があります。非シールドケーブルまたはアクセサリを使用する場合、すべての非シールドケーブルやアクセサリが、適切に設計されたシールド付き入力 / 出力ポートのあるシールドケースに設置されない限り、EMC 仕様は保証されません。



注意 試験対象または試験導線に接続されている場合、この製品は電磁波妨害に対してより影響を受けやすくなります。

ハードウェア上の記号の定義

デバイスまたはモジュールには以下の記号が付いています。



注意 製品にこの記号が付いている場合は、「[安全ガイドライン](#)」セクションで事前対策を確認してください。



欧州のお客様へ 製品寿命を過ぎた製品は、必ず WEEE リサイクルセンターへ送付してください。WEEE リサイクルセンターおよびナショナルインスツルメンツの WEEE への取り組み、および廃電気電子機器の WEEE 指令 2002/96/EC 準拠については、ni.com/environment/weee (英語) を参照してください。



中国客户 National Instruments 符合中国电子信息产品中限制使用某些有害物质指令 (RoHS)。关于 National Instruments 中国 RoHS 合规性信息，请登录 ni.com/environment/rohs_china。(For information about China RoHS compliance, go to ni.com/environment/rohs_china.)

取り付け / インストール

マルチファンクション I/O デバイスを取り付ける前に、そのデバイスで使用する予定のソフトウェアをインストールする必要があります。

1. **アプリケーションソフトウェアをインストールする**—ソフトウェアに付属のインストール手順を参照してください。
2. **NI-DAQmx をインストールする**—ソフトウェアのインストール、ハードウェアの取り付け、チャンネルとタスクの構成、アプリケーションの開発についての手順は、『PXI/PXI Express 用 DAQ スタートアップガイド』、『PCI/PCI Express 用 DAQ スタートアップガイド』、または『外部電源型 USB 用 DAQ スタートアップガイド』(デバイスに同梱、ni.com/manuals から入手可能) に記載されています。
3. **ハードウェアを取り付ける**—「[デバイスを箱から取り出す](#)」セクションの記述に従って M シリーズデバイスを箱から取り出します。ソフトウェアのインストールおよびデバイスまたはモジュールの取り付けの方法については、『PXI/PXI Express 用 DAQ スタートアップガイド』、『PCI/PCI Express 用 DAQ スタートアップガイド』、または『外部電源型 USB 用 DAQ スタートアップガイド』を参照してください。また、デバイスまたはモジュールの動作確認方法、デバイスまたはモジュールの構成方法、テストパネルの実行方法、測定方法についても記載されています。

デバイスを箱から取り出す

M シリーズデバイスは、静電放電 (ESD) の防止のために静電気防止用パッケージで包装して出荷されます。ESD は、デバイスのコンポーネント破損の原因となる可能性があります。



注意 露出しているコネクタピンには絶対に触れないでください。

デバイス取り扱い中の ESD による破損を防ぐために、以下の予防措置を行ってください。

- 接地ストラップを使用するか、接地された物体に触れて、身体を接地してください。
- 静電気防止用パッケージをシャーシの金属部分に接触させてから、デバイスを取り出してください。

デバイスを箱から取り出し、ゆるんでいる部品や破損箇所がないか調べます。デバイスが破損している場合は、ナショナルインスツルメンツにご連絡ください。破損したデバイスをコンピュータやシャーシに接続しないでください。

デバイスを使用しないときは、静電気防止用パッケージに入れて保管してください。

デバイスセルフキャリブレーション

NI では、M シリーズデバイスの取り付け後と周囲温度が変化した時に、セルフキャリブレーションを実行することを推奨しています。セルフキャリブレーションは、推奨されているウォームアップ時間が経過した後に実行する必要があります。ご使用のデバイスのウォームアップ時間については、デバイスの仕様書を参照してください。この機能はデバイスのオンボード基準電圧を測定し、操作環境での短期変動により発生する誤差を補正するためのセルフキャリブレーション定数を調整します。デバイスのセルフキャリブレーションを実行する際は、すべての外部信号を切断してください。



メモ (NI PCIe-6251/6259 デバイス) M シリーズ PCI Express デバイスのディスクドライブ電源コネクタを接続または接続解除すると、デバイスのアナログ性能に影響する場合があります。これを補正するため、NI では、ディスクドライブ電源コネクタを接続または接続解除した後に、「[デバイスセルフキャリブレーション](#)」セクションに記述された方法でセルフキャリブレーションを行うことを推奨しています。

以下の手順に従って、Measurement & Automation Explorer (MAX) を使用してセルフキャリブレーションを開始できます。

1. MAX を起動します。
2. **マイシステム→デバイスとインタフェース→<使用するデバイス>** を選択します。
3. 以下のいずれかの方法で、セルフキャリブレーションを開始します。
 - MAX の右上隅で**セルフキャリブレーション**をクリックします。
 - MAX のツリー構図でデバイス名を右クリックし、ドロップダウンメニューから**セルフキャリブレーション**を選択します。



メモ 『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』の「デバイスキャリブレーション」で説明されているように、NI-DAQmx でプログラムによってセルフキャリブレーションを実行することも可能です。

M シリーズ PCI Express デバイスおよびディスクドライブ電源コネクタをセットアップする

(NI PCIe-6251/6259 デバイス) ディスクドライブ電源コネクタは、接続すると +5 V 端子から供給する電流を増量させることができる、PCI Express デバイス上の 4 ピンハードドライブコネクタです。

ディスクドライブ電源コネクタを使用する条件

ディスクドライブ電源コネクタが取り付けられていない M シリーズ PCI Express デバイスは、ほとんどのアプリケーションとアクセサリに対して、他の M シリーズデバイスと同様に動作します。ほとんどのアプリケーションでは、ディスクドライブ電源コネクタを取り付ける必要はありません。

しかし、以下のいずれかの場合には、ディスクドライブ電源コネクタを取り付ける必要があります。

- デバイスの仕様に記載されているよりも大きな電力が必要な場合
- SC-2345 などの外部電源なしで SCC アクセサリを使用している場合

PCI Express の所要電力と電力制限についての詳細は、ご使用のデバイスの仕様書を参照してください。

ディスクドライブ電源コネクタの取り付け

ディスクドライブ電源コネクタを取り付ける前に、『PCI/PCI Express 用 DAQ スタートアップガイド』の説明に従って M シリーズ PCI Express デバイスを取り付けて設定

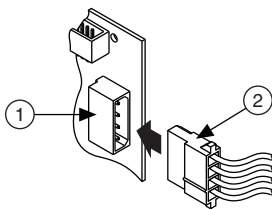
する必要があります。以下の手順に従って、ディスクドライブ電源コネクタを取り付けてください。

1. コンピュータの電源を切り、電源プラグを抜きます。
2. コンピュータのカバーを外します。
3. 図 1-1 のように、PC のディスクドライブ電源コネクタをデバイス上のディスクドライブ電源コネクタに取り付けます。



メモ コンピュータの各ディスクドライブ電源コネクタで使用できる電力は同一でない場合があります。そのため、ハードディスクドライブと同じ電源チェーンに接続されていないディスクドライブ電源コネクタを使用することが推奨されます。

図 1-1. ディスクドライブ電源コネクタを接続する



- | | |
|-----------------------|----------------------|
| 1 デバイスのディスクドライブ電源コネクタ | 2 PC のディスクドライブ電源コネクタ |
|-----------------------|----------------------|

4. コンピュータのカバーを元の位置に戻し、コンピュータを電源に接続して ON にします。
5. 「[デバイスセルフキャリブレーション](#)」セクションの説明に従って、PCI Express DAQ デバイスのセルフキャリブレーションを MAX で実行します。



メモ ディスクドライブ電源コネクタを接続または接続解除すると、デバイスのアナログ性能に影響する場合があります。これを補正するため、NI では、ディスクドライブ電源コネクタを接続または接続解除した後に、「[デバイスセルフキャリブレーション](#)」セクションに記述された方法でセルフキャリブレーションを行うことを推奨しています。

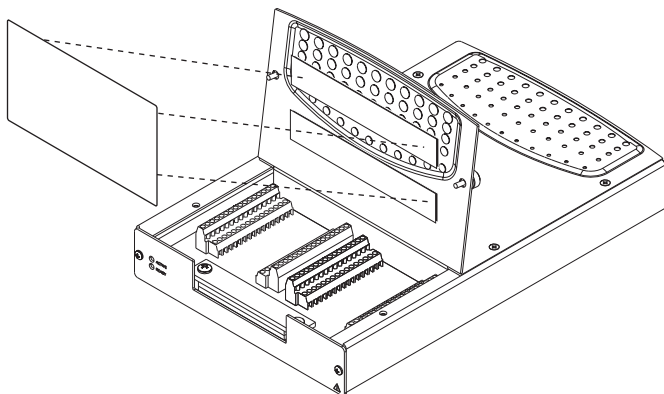
M シリーズ USB デバイスをセットアップする

以下のセクションでは、M シリーズ USB デバイスの機能と、使用にあたってのベストプラクティスについて説明します。

USB ネジ留め式端子デバイスに信号ラベルを貼付する

(USB-622x/625x/628x ネジ留め式端子デバイス) 図 1-2 に示されているように、付属のベルクロテープを使用すると、付属の信号ラベルを USB-62xx ネジ留め式端子デバイスのカバー内側に貼付できます。

図 1-2. USB-62xx ネジ留め式端子の信号ラベルを貼付する



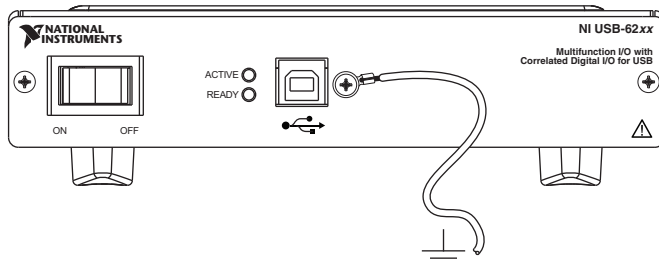
USB デバイスシャーシグランド

(USB-622x/625x/628x デバイス) EMC に適合するため、USB M シリーズデバイスのシャーシは、必ずシャーシグランド経由でアースに接続してください。

ワイヤは、最長 1.5 m (5 ft) の AWG 16 以上の銅線である必要があります。施設の電力システムのアースにワイヤを取り付けてください。アース接続の詳細については、ni.com/info で Info Code に「earthground」と入力すると表示される技術サポートデータベースのドキュメント「Grounding Guide for Test and Measurement Devices」を参照してください。

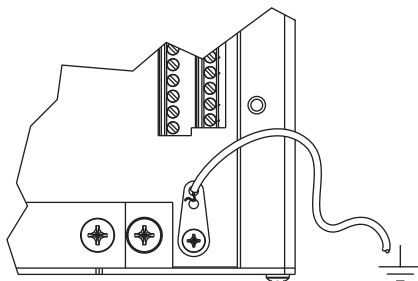
図 1-3 のように、ワイヤはいずれの USB-62xx デバイスの接地用圧着端子ネジにも取り付けが可能です。

図 1-3. USB-62xx デバイスを接地用圧着端子ネジ経由で接地する



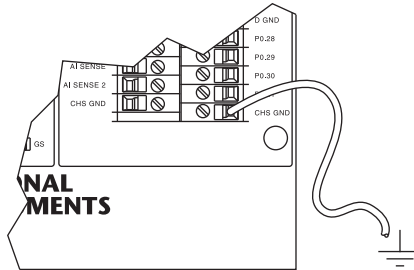
(USB-6225/625x/628x ネジ留め式端子デバイス) 図 1-4 のように、特定の USB-62xx ネジ留め式端子デバイスでは、シャーシ接地用圧着端子にワイヤを取り付けてはんだ付けできます。ワイヤはできるだけ短くしてください。

図 1-4. USB-62xx ネジ留め式端子デバイスをシャーシ接地用圧着端子経由で接地する



(USB-62xx BNC デバイス) 図 1-5 のように、ワイヤはどの USB-62xx BNC デバイスの CHS GND ネジ留め式端子にも取り付けが可能です。できるだけ短いワイヤを使用してください。さらに、シールド付きケーブルのシールドされていないワイヤ部分ではできるだけ短くします。

図 1-5. USB-62xx BNC デバイスを CHS GND ネジ留め式端子経由で接地する



USB デバイスパネル / ウォールマウント

(USB-622x/625x/628x デバイス) 外部電源の USB M シリーズパネルマウントキット (製品番号 780214-01、USB-62xx キットには含まれていません) は、USB-62xx 製品群をパネルまたは壁に取り付けるためのアクセサリです。

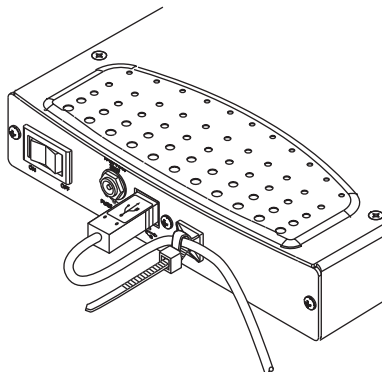
USB デバイスの LED

(NI USB-622x/625x/628x デバイス) M シリーズ USB デバイスの LED については、第 3 章「コネクタと LED の情報」の「LED パターン」セクションを参照してください。

USB ケーブル抜け防止アクセサリ

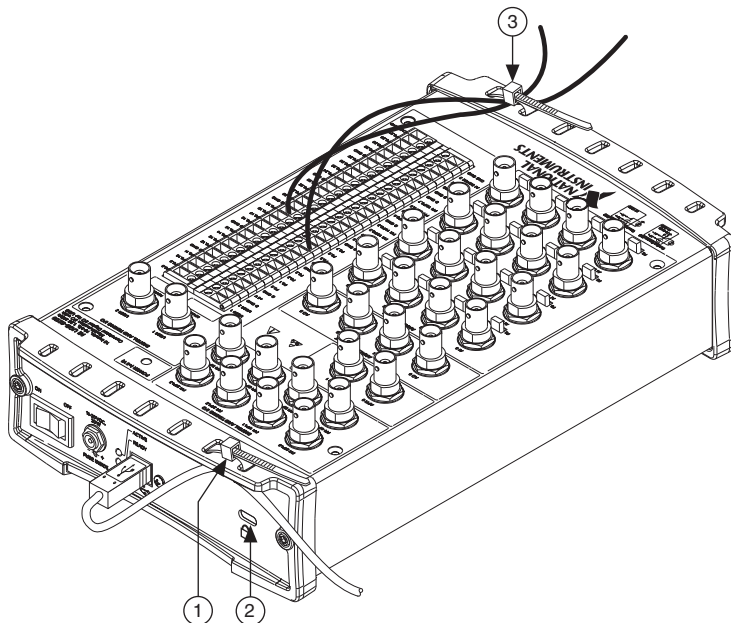
(USB-622x/625x/628x ネジ留め式端子および USB-622x/625x/628x マスターミネーションデバイス) 付属の抜け防止アクセサリを使用して、USB ケーブルが抜けることを防ぎます。図 1-6 に示されているように、USB-62xx ネジ留め式端子または USB-62xx マスターミネーションデバイスの後部パネルにケーブルタイマウントを貼付します。ジップタイをケーブルタイマウントに通し、USB ケーブルのまわりで固定します。

図 1-6. USB-62 xx ネジ留め式端子および USB-62 xx マスターミネーションデバイス上の USB ケーブル抜け防止アクセサリ



(USB-622x/625x BNC デバイス) 図 1-7 に示されているように、ジップタイを後端キャップ上にある 2 つの抜け防止穴に通して USB ケーブルが抜けることを防ぎます。抜け防止穴は、ネジ留め式端子とつながっている信号線や BNC コネクタなどのケーブルを管理する目的にも使用できます。

図 1-7. USB-62xx BNC デバイス上の USB ケーブル抜け防止アクセサリ



- 1 USB ケーブル抜け防止機構
- 2 セキュリティケーブルスロット

- 3 信号線抜け防止機構

USB デバイスのヒューズ交換

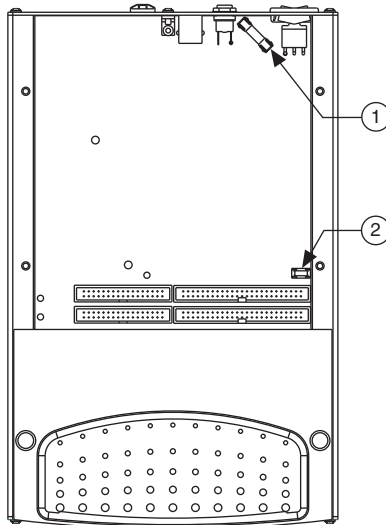
M シリーズ USB デバイスは、電源コネクタを介してデバイスを過電流から保護する、交換可能な T 2A 250V (5 x 20 mm) のヒューズを装備しています。

(USB-6281/6289 デバイス) USB-628x デバイスは、+5 V 端子を介してデバイスを過電流から保護する、交換可能な Littelfuse 製 0453002 (F 2A 250V) ヒューズを装備しています。

(USB-622x/625x/628x ネジ留め式端子デバイス) USB-62xx ネジ留め式端子で壊れたヒューズを交換するには、以下の手順に従ってください。

1. デバイスの電源を切り、コードを抜きます。
2. USB ケーブルとすべての信号ワイヤをデバイスから外します。
3. 後ろのカバーを筐体に取り付けている 4 つのプラスネジを緩めて、カバーを取り外します。
4. 図 1-8 でヒューズの位置を確認し、壊れたヒューズを取り替えます。

図 1-8. USB-62xx ネジ留め式端子でのヒューズの位置



1 T 2A 250V (5 × 20 mm) ヒューズ

2 Littelfuse 製 0453002 ヒューズ (USB-628x デバイス)

5. カバーを戻してネジを締めます。

(USB-622x/625x BNC デバイス) USB-62xx BNC で壊れたヒューズを交換するには、以下の手順に従ってください。

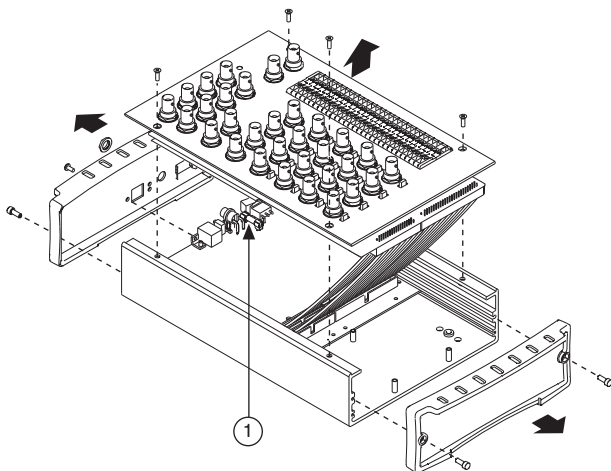
1. デバイスの電源を切り、コードを抜きます。



メモ デバイスを取り扱う際は、適切な静電放電の防止策を講じてください。

2. USB ケーブルとすべての BNC ケーブルおよび信号ワイヤをデバイスから外します。

図 1-9. USB-62xx BNC でのヒューズの位置



1 T2A 250V (5 × 20 mm) ヒューズ

- 六角レンチ (7/64 in.) を使って 4 つのソケットヘッドキャップネジを外し、両側のパネルを取り外します。



メモ 側部のパネルはセルフネジを使用して取り付けられています。セルフネジの取り付けと取り外しを繰り返すと、接続の強度が弱まります。

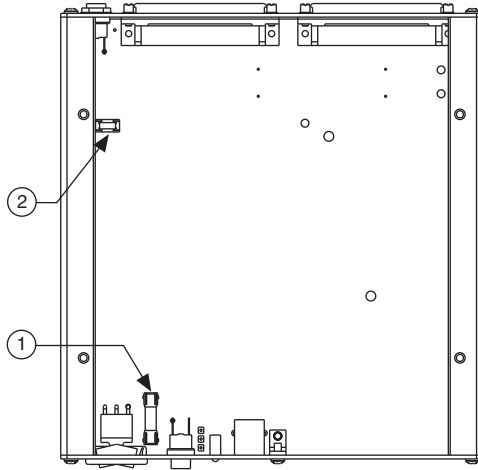
- プラスドライバー (No.2) を使用して、USB コネクタ付近にある 4-40 プラスネジを取り外します。
- 電源コネクタからナットを取り外します。
- 筐体に上部パネルを取り付けている 4 つの 4-40 プラスネジを外し、パネルとコネクタユニットを取り外します。
- 図 1-9 でヒューズの位置を確認し、壊れたヒューズを取り替えます。
- 上部パネル、ナット、および側部パネルを元のように取り付けます。

(USB-622x/625x/628x マスターミネーションデバイス) USB-62xx マスターミネーションで壊れたヒューズを交換するには、以下の手順に従ってください。

- デバイスの電源を切り、コードを抜きます。
- USB ケーブルと信号ケーブルをデバイスから外します。
- カバーを筐体に取り付けている 4 つのプラスネジを緩めて、カバーを取り外します。

4. 図 1-10 でヒューズの位置を確認し、壊れたヒューズを取り替えます。

図 1-10. USB-62xx マスターミネーションでのヒューズの位置



- 1 T 2A 250V (5 × 20 mm) ヒューズ
2 Littelfuse 製 0453002 ヒューズ (USB-628x デバイス)

5. カバーを戻してネジを締めます。

USB デバイスセキュリティケーブルスロット

(USB-622x/625x BNC デバイス) 図 1-7 に示されているように、セキュリティケーブルスロットを使用すると USB デバイスにオプションの盗難防止用デバイスを取り付けることができます。



メモ セキュリティケーブルは盗難防止用に設計されていますが、デバイスの誤用や盗難を完全に防ぐことはできません。詳細については、セキュリティケーブルに付属するドキュメントを参照してください。



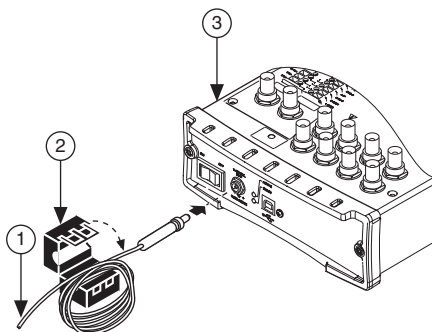
メモ USB-62xx BNC 上にあるセキュリティケーブルスロットは、すべての盗難防止ケーブルと互換性があるわけではありません。

フェライトの取り付け

(USB-62221/6229 BNC デバイス) EMC に準拠するため、USB-6221/6229 BNC に付属のフェライトを必ず取り付けてください。

電源ケーブルをフェライトの周りに最低 5 回巻きつけます。図 1-11 のように、電源ケーブルのできるだけ終端近くにフェライトを取り付けます。

図 1-11. 電源ケーブルにフェライトを取り付ける



- 1 電源ケーブル
- 2 フェライト

- 3 NI USB-6221/6229 BNC デバイス

ピン配列

M シリーズのデバイスピン配列は、付録 A 「モジュール/ デバイス特有の情報」を参照してください。

仕様

デバイスの詳細については、デバイスの仕様書を参照してください。M シリーズデバイスのドキュメントは、ni.com/manuals からダウンロードできます。

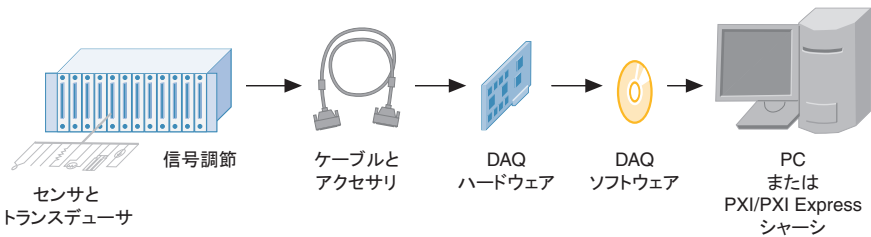
アクセサリとケーブル

NI は、マルチファンクション I/O DAQ モジュールデバイスと使用するさまざまなアクセサリとケーブルを提供しています。詳細については、第 2 章 「DAQ システムの概要」の「ケーブルとアクセサリ」セクションを参照してください。

DAQ システムの概要

図 2-1 は、センサ、トランスデューサ、信号調節デバイス、さまざまなデバイスをアクセサリに接続するケーブル、M シリーズデバイス、プログラミングソフトウェア、および PC から構成された、標準の DAQ システムを示しています。以下のセクションでは、標準の DAQ システムのコンポーネントについて説明します。

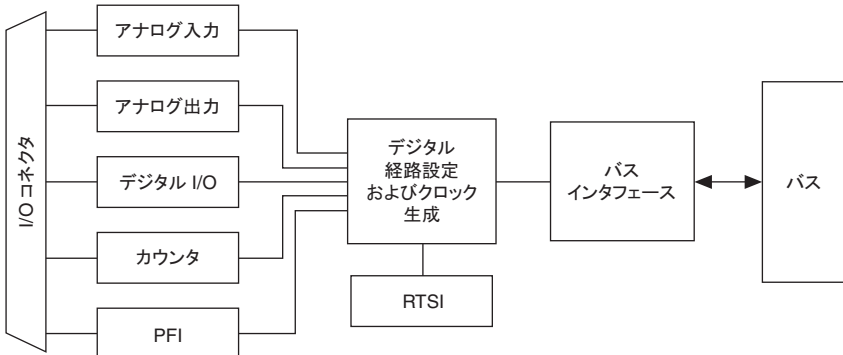
図 2-1. 典型的な DAQ システムのコンポーネント



DAQ ハードウェア

DAQ ハードウェアは、信号のデジタル化、アナログ出力信号生成のための D/A 変換の実行、およびデジタル I/O 信号の測定と制御を行います。図 2-2 は、すべての M シリーズデバイスに共通するコンポーネントを示しています。

図 2-2. 一般の M シリーズブロック図



DAQ-STC2 と DAQ-6202

DAQ-STC2 と DAQ-6202 は、M シリーズデータ集録ハードウェアに高性能のデジタルエンジンを実装しています。このエンジンには、以下のような重要な特徴があります。

- 柔軟な AI と AO サンプルおよび変換タイミング
- 多くのトリガモード
- 独立した AI、AO、DI、および DO FIFO
- RTSI 信号の生成と接続による複数デバイスの同期化
- 内部 / 外部タイミング信号の生成と接続
- ハードウェアゲート機能を持つ 2 つの柔軟な 32 ビットカウンタ / タイマモジュール
- デジタル波形の集録 / 生成
- スタティック DIO 信号
- TRUE 5 V 高電流駆動 DO
- DI 変化検出
- クロック同期のための PLL
- 信号調節用アクセサリへのシームレスなインタフェース
- PCI/PXI インタフェース
- すべての集録 / 生成機能用の独立したスキャッタギャザー DMA コントローラ

キャリブレーション回路

M シリーズのアナログ入力 / 出力には、ゲインおよびオフセット誤差を修正するキャリブレーション回路があります。デバイスをキャリブレートすることにより、実行時に時間と温度ドリフトが原因で生じる AI/AO 誤差を最小限に抑えます。内部基準で時間や温度変化における高い確度と安定性を確保できるため、外部回路は必要ありません。

工場キャリブレーション定数は、オンボード EEPROM に恒久的に格納されており変更できません。第 1 章「はじめに」の「デバイスセルフキャリブレーション」セクションに記載された方法でデバイスのセルフキャリブレーションを実行すると、ソフトウェアは新しい定数を EEPROM のユーザが修正可能なセクションに格納します。デバイスを工場出荷時のキャリブレーション設定に戻す場合、ソフトウェアは、工場キャリブレーション定数をその EEPROM のユーザが修正可能なセクションにコピーします。キャリブレーション定数の使用については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』を参照してください。

M シリーズデバイスのキャリブレーション手順の詳細については、ni.com/manuals から入手可能な『B/E/M/S/X Series Calibration Procedure』を参照してください。

ケーブルとアクセサリ

以下に示すように、NI では、ケーブル、端子台、その他のアクセサリなど、M シリーズ PCI、PCI Express、PXI、PXI Express、USB デバイスと使用するさまざまな製品を提供しています。

- シールドケーブルとケーブルアセンブリ、非シールドリボンケーブルとケーブルアセンブリ
- ネジ留め式端子付き端子台 (シールドおよび非シールド)
- RTSI バスケーブル
- 信号を分離、増幅、励起、マルチプレクスする SCXI モジュールとアクセサリ (SCXI で最大 3,072 チャンネルの調節と集録が可能)
- 歪みゲージ、RTD、同時サンプル & ホールド回路、およびリレーの調節を含む、低チャンネルカウントの信号調節モジュール、デバイス、アクセサリ

各デバイスコネクタタイプについて、該当するセクション (「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」または「[37 ピン M シリーズのケーブルおよびアクセサリ](#)」) を参照してください。これらの製品の詳細については、ni.com を参照してください。



メモ 電磁両立性 (EMC) 要件に適合させるには、シールドケーブルおよびアクセサリを使用してこの製品を使用する必要があります。非シールドケーブルまたはアクセサリを使用する場合、すべての非シールドケーブルやアクセサリが、適切に設計されたシールド付き入力 / 出力ポートのあるシールドケースに設置されない限り、EMC 仕様は保証されません。

M シリーズデバイス用にアクセサリを選択する方法については、この章の「[68 ピンカスタムケーブルおよび接続](#)」または「[37 ピンカスタムケーブル](#)」セクション、および第 4 章「[アナログ入力](#)」の「[配線に関する注意事項](#)」セクションを参照してください。

68 ピン M シリーズのケーブルおよびアクセサリ

このセクションでは、68 ピンコネクタを 1 個または 2 個搭載した M シリーズデバイスで使用可能なケーブルとアクセサリの一部について説明します。これらのケーブルおよびアクセサリの説明については、次のセクションを参照してください。その他のアクセサリオプションについては、ni.com を参照してください。

表 2-1. 68 ピン M シリーズデバイス / モジュールのケーブルおよびアクセサリ

ケーブルとアクセサリのタイプ		PCI、PCI Express、PXI、PXI Express デバイスとモジュール		USB マスターミネーションデバイス		
		622x/625x/628x コネクタ 0 6224/6229/6254/6259/ 6284/6289 コネクタ 1	6225/6255 コネクタ 1	622x/625x/628x コネクタ 0 6229/6259/ 6289 コネクタ 1	6225/6255 コネクタ 1	
ケーブル	シールド	SHC68-68-EP M	SHC68-68	SC68-68-EPM	SHC68-68	
	非シールド	RC68-68	RC68-68	RC68-68	RC68-68	
アクセサリ	シールド	ネジ留め式 端子台	SCB-68A SCB-68 TB-2706*	SCB-68A SCB-68	SCB-68A SCB-68	
		BNC 端子台	BNC-2110 BNC-2111 BNC-2120 BNC-2090A BNC-2090	BNC-2115	BNC-2110 BNC-2111 BNC-2120 BNC-2090A BNC-2090	BNC-2115
		SCC	SC-2345 SC-2350 SCC-68	該当なし	SC-2345 SC-2350 SCC-68	該当なし
	非シールド	ネジ留め式 端子台	CB-68LP CB-68LPR TBX-68	CB-68LP CB-68LPR TBX-68	CB-68LP CB-68LPR TBX-68	CB-68LP CB-68LPR TBX-68
		カスタム接続	CA-1000	CA-1000	CA-1000	CA-1000

* PXI モジュールのフロントコネクタにのみ直接取り付けることができ、ケーブルは必要ありません。

68 ピンケーブル

ケーブル接続のオプションは、68 ピン PCI/PCI Express/PXI/PXI Express デバイス / モジュールと USB マスターミネーションデバイスの間で異なります。

PCI/PCI Express/PXI/PXI Express デバイス / モジュールの 68 ピンケーブル

PCI、PCI Express、PXI、および PXI Express M シリーズのデバイスおよびモジュールでは、次のケーブルを使用できます。

- **SHC68-68-EPM¹** – (推奨) M/X シリーズデバイス用に設計された高性能シールドケーブルです。アナログとデジタル信号は個別にバンドルされています。各差動アナログ入力チャンネルは、個別にシールドされたツイストペアワイヤで構成されています。また、アナログ出力も個別にシールドされています。
- **SHC68-68** – (推奨) 34 ツイストペアワイヤによる低価格なシールドケーブルです。このケーブルは、PCI/PXI-6225/6255 コネクタ 1 に推奨されます。



メモ PCI/PXI-6225/6255 デバイスおよびモジュールのコネクタ 1 には、SHC68-68 ケーブルを使用する必要があります。SHC68-68-EPM ケーブルは、すべての M シリーズ PCI、PCI Express、PXI、および PXI Express デバイスおよびモジュールのコネクタ 0、および NI PCI/PCIe/PXI/PXI-6224/6229/6254/6259/6284/6289 デバイスおよびモジュールのコネクタ 1 で使用できます。

- **RC68-68** – 柔軟性の高い非シールドリボンケーブルです。

USB マスターミネーションデバイスの 68 ピンケーブル

マスターミネーションコネクタを備えた USB デバイスでは、次のケーブルを使用できます。

- **SH68-68-EPM²** – (推奨) アナログおよびデジタル信号が個々にバンドルされている高性能ケーブルです。各差動アナログ入力チャンネルは、個別にシールドされたツイストペアワイヤで構成されています。また、アナログ出力も個別にシールドされています。
- **SH68-68-S** – (推奨) 34 ツイストペアワイヤのシールドケーブルです。コネクタ 1 の各差動アナログ入力チャンネルは、SH68-68-S ケーブルのツイストペアを介して経路設定されています。このケーブルは、USB-6225/6255 マスターミネーションコネクタ 1 に推奨されます。

¹ NI では SHC68-68-EPM ケーブルの使用を推奨していますが、SHC68-68-EP ケーブルも PCI/PCI Express/PXI/PXI Express デバイスおよびモジュールで使用できます。

² NI では SH68-68-EPM ケーブルの使用を推奨していますが、SH68-68-EP ケーブルも USB マスターミネーションデバイスで使用できます。



メモ USB-6225/6255 マスターミネーションデバイスのコネクタ 1 には、SH68-68-S ケーブルを使用する必要があります。SH68-68-EPM ケーブルは、すべての M シリーズ USB マスターミネーションデバイスのコネクタ 0、および USB-6229/6259/6289 デバイスおよびモジュールのコネクタ 1 で使用できます。

- **R68-68**—柔軟性の高い非シールドリボンケーブルです。

68 ピン BNC アクセサリ

DAQ デバイスを次の BNC アクセサリに接続するには、68 ピンケーブルを使用します。

- **BNC-2110**—すべてのアナログ信号、一部のデジタル信号、およびその他のデジタル信号のネジ留め式端子に BNC 接続を提供します。
- **BNC-2111**—16 個のシングルエンドアナログ入力信号、2 個のアナログ出力信号、5 個の DIO/PFI 信号、およびアナログ出力の外部基準電圧に BNC 接続を提供します。
- **BNC-2120**—BNC-2110 と似たデバイスで、組込式関数発生器、位相差出力エンコーダ、温度基準、および熱電対コネクタを備えています。
- **BNC-2090A**、**BNC-2090**—アナログ、デジタル、およびタイミング信号を接続するための 22 個の BNC を備えたデスクトップ / ラックマウント取り付け可能なデバイスです。
- **BNC-2115**—(**NI 6225/6255 デバイス**) NI 6225/6255 デバイスのコネクタ 1 の差動アナログ入力信号 24 個 (シングルエンド 48 個) に、BNC 接続を提供します。

68 ピンネジ留め式端子アクセサリ

DAQ デバイスを次のネジ留め式端子アクセサリに接続するには、68 ピンケーブルを使用します。

- **SCB-68A**、**SCB-68**—温度センサ付きシールド端子台
- **TB-2706**¹—PXI/PXI Express M シリーズデバイスの前面に取り付け可能な端子台
- **SCC-68**—ネジ留め式端子、汎用ブレッドボード領域、バス端子、および 4 個の拡張スロット付き、SCC 信号調節モジュール用 I/O 端子台
- **TBX-68**—DIN レールマウント型端子台
- **CB-68LP**、**CB-68LPR**—非シールド端子台

¹ TB-2706 は PXI/PXI Express モジュールのコネクタ 0 を使用するため、ケーブルは必要ありません。TB-2706 を取り付けただ後は、コネクタ 1 は使用できません。

RTSI ケーブル

RTSI バスケーブルは、X シリーズ、E シリーズ、CAN、およびその他の測定デバイス、ビジョンデバイス、およびモーションデバイスなどの PCI/PCI Express デバイス間で、タイミングおよび同期信号を接続するために使用します。PXI デバイスはタイミングおよび同期用に PXI バックプレーンを使用するため、ケーブルは不要です。

SCC キャリアおよびアクセサリ

SCC は、DAQ システム用のモジュール式ポータブル信号調節システムです。次のような SCC モジュールキャリアにデバイス / モジュールを接続するには、68 ピンケーブルを使用します。

- **SCC-68**— SCC 拡張スロット付き 68 ピン端子台
- **SC-2345**— 20 個の SCC モジュールを収容可能なシールドキャリア
- **SC-2350**— TEDS センサ用のシールド SCC キャリア

SCC モジュールキャリアの制御には、M シリーズデバイスのどちらのコネクタも使用できます。



メモ (NI 6225/6255 デバイス) SCC は、コネクタ 0 でのみサポートされています。



メモ PCI Express ユーザは、外部電源のない特定の SCC モジュールに対しては、電力制限を考慮する必要があります。電力制限、および +5 V 端子上でデバイスが供給できる電流を高める方法については、デバイスの仕様および第 1 章「はじめに」の「[ディスクドライブ電源コネクタを使用する条件](#)」セクションを参照してください。

SCXI

SCXI は、計測 / オートメーションアプリケーション用に設計されたプログラム可能な信号調節システムです。M シリーズデバイスまたはモジュールを SCXI シャーシに接続するには、SCXI-1349 アダプタと 68 ピンケーブルを使用します。

SCXI をパラレルおよびマルチプレクスモードで制御するには、M シリーズデバイスのコネクタ 0 を使用します。SCXI をパラレルモードで制御するには、M シリーズデバイスのコネクタ 1 を使用します。



メモ (NI 6225/6255 デバイス) SCXI は、コネクタ 0 でのみサポートされています。



メモ トラックアンドホールドをサポートする SCXI モジュールをコネクタ 1 を介してパラレルモードで使用する場合は、トラックアンドホールドをプログラマ的に無効にする必要があります。

また、M シリーズ PXI モジュールを使用して、PXI-1010 または PXI-1011 などの PXI/SCXI コンビネーションシャーシの SCXI セクションを制御することもできます。SCXI デバイスは、右端の PXI スロットにある M シリーズデバイスにより制御されます。ケーブルおよびアダプタは必要ありません。

DAQ デバイスで SCXI を使用方法の詳細については、SCXI シャーシおよびモジュールのドキュメントを参照してください。

68 ピンカスタムケーブルおよび接続

CA-1000 は、接続する端子用パネルを自由に選択できるケースで、パネルをカスタマイズすることにより、ユーザが接続構成を自在に設定することが可能です。

CA-1000 の詳細については、ni.com を参照してください。

NI は、多くのアプリケーションに対応するケーブルとアクセサリを提供しています。しかし、独自のケーブルを開発する場合は、最良の結果を出すために以下のガイドラインに従ってください。

- AI 信号には、差動入力の各 AI ペアにシールドされたツイストペアワイヤを使用してください。各信号ペアのシールドをソースでグランド基準に接続します。
- アナログラインをデジタルラインと別々に経路設定します。
- ケーブルシールドを使用する場合は、ケーブルのアナログとデジタルセクションに別々のシールドを使います。ケーブルシールドを使用する際にノイズを防止するには、ケーブルのアナログとデジタルセクションに別々のシールドを使います。

DAQ デバイスに使用するコネクタの詳細については、ni.com/info で Info Code に「rdspmb」と入力して表示される技術サポートデータベースのドキュメント「NI DAQ Device Custom Cables, Replacement Connectors, and Screws」を参照してください。

USB デバイスのアクセサリ、USB ケーブル、および電源

USB ネジ留め端子と USB マスターミネーションデバイスは、デバイス上に接続機能を直接備えているため、信号との接続にアクセサリは必要ありません。しかし、NI では、表 2-2 にあるように、USB M シリーズデバイスで使用できる製品を数多く取り揃えています。

表 2-2. USB デバイスのケーブル、アクセサリ、および電源

説明	製品番号
NI USB DAQ 電源	780046-01
外部電源の USB M シリーズパネルマウントキット*	780214-01
ロックネジ付き USB ケーブル (2 m)	780534-01

表 2-2. USB デバイスのケーブル、アクセサリ、および電源

説明	製品番号
BNC オス (プラグ) – BNC オス (プラグ) ケーブル	779697-02
* NI USB BNC デバイスでは使用できません。	

37 ピン M シリーズのケーブルおよびアクセサリ

このセクションでは、PCI-6221 (37 ピン) デバイスのケーブルとアクセサリの一部のオプションについて説明します。これらのケーブルおよびアクセサリの説明については、次のセクションを参照してください。その他のアクセサリオプションについては、ni.com を参照してください。

表 2-3. PCI-6221 (37 ピン) ケーブルとアクセサリ

ケーブルとアクセサリのタイプ		PCI-6221 (37 ピン) デバイスでサポートされているモデル
ケーブル	シールド	SH37F-37M SH37F-P-4
	非シールド	R37F-37M
アクセサリ	非シールドネジ留め式端子台	CB-37F-HVD CB-37FV CB-37FH CB-37F-LP
	カスタム接続	TB-37F-37SC TB-37F-37CP

37 ピンケーブル

ほとんどのアプリケーションで、以下のケーブルを使用できます。

- **SH37F-37M** – (推奨) 37 ピンメス-オスシールド I/O ケーブル (長さ 1 m および 2 m)
- **SH37F-P-4** – 37 ピンメス - ピッグテイルシールド I/O ケーブル
- **R37F-37M** – 37 ピンメス - オスリボン I/O ケーブル

37 ピンネジ留め式端子のアクセサリ

ナショナルインスツルメンツは、数種類のネジ留め式端子台を提供しています。PCI-6221 (37 ピン) デバイスを次の端子台のいずれかに接続するには、37 ピンケーブルを使用します。

- **CB-37F-HVD**— DIN レール、37 ピンネジ留め式端子台
- **CB-37FV**— 垂直 DIN レールマウント、37 ピンネジ留め式端子台
- **CB-37FH**— 水平 DIN レールマウント、37 ピンネジ留め式端子台
- **CB-37F-LP**— 省スペースタイプの 37 ピンネジ留め端子台

RTSI ケーブル

RTSI バスケーブルは、X シリーズ、E シリーズ、CAN、およびその他の測定デバイス、ビジョンデバイス、およびモーションデバイスなどの PCI/PCI Express デバイス間で、タイミングおよび同期信号を接続するために使用します。PXI デバイスはタイミングおよび同期用に PXI バックプレーンを使用するため、ケーブルは不要です。

37 ピンカスタムケーブル

NI は、多くのアプリケーションに対応するケーブルとアクセサリを提供しています。しかし、カスタムケーブルを作成する場合は以下のキットを使用できます。

- **TB-37F-37SC**— 37 ピンはんだカップ端子、抜け防止機構付きシエル
- **TB-37F-37CP**— 37 ピン Crimp & Poke 端子、抜け防止機構付きシエル

最良の結果を得るには、以下のガイドラインに従います。

- AI 信号には、差動入力の各 AI ペアにシールドされたツイストペアワイヤを使用してください。各信号ペアのシールドをソースでグランド基準に接続します。
- アナログラインとデジタルラインを別々に経路設定します。
- ケーブルシールドを使用する場合は、ケーブルのアナログとデジタルセクションに別々のシールドを使用します。これに従わない場合、遷移中のデジタル信号からアナログ信号にノイズカブリッジが生じます。

DAQ デバイスに使用するコネクタの詳細については、ni.com/info で Info Code に「rdspmb」と入力して表示される技術サポートデータベースのドキュメント「NI DAQ Device Custom Cables, Replacement Connectors, and Screws」を参照してください。

信号調節

測定システムで効果的かつ正確に信号を集録するには、多くの場合、センサおよびトランスデューサで信号調節を行う必要があります。フロントエンドの信号調節システムには、信号増幅、減衰、フィルタ処理、電気絶縁、同時サンプリング、およびマルチプレクスなどの機能が含まれます。さらに、多くのトランスデューサでは、適切で正確な操作を行うために、励起電流 / 電圧、ブリッジ構成、線形化、または高増幅が必要となります。そのため、ほとんどのコンピュータベース測定システムには、プラグインデータ集録 DAQ デバイスに加えて何らかの信号調節があります。

センサとトランスデューサ

センサは、温度、力、音、光などの物理現象を測定するための電気信号を生成します。一般的に使用されるセンサには、歪みゲージ、熱電対、サーミスタ、角エンコーダ、リニアエンコーダ、抵抗温度検出器 (RTD) があります。

これらの様々なトランスデューサからの信号を測定するには、これらの信号を DAQ デバイスが使用できる形式に変換する必要があります。たとえば、ほとんどの熱電対の出力電圧は微小で、ノイズの影響を受けやすい状態にあります。そのため、デジタル化する前に熱電対を増幅またはフィルタ処理する必要がある場合があります。デジタル化するために信号を処理することを、「信号調節」と呼びます。

センサの詳細については、以下のドキュメントを参照してください。

- センサの一般情報については、ni.com/sensors を参照してください。
- LabVIEW を使用している場合は、LabVIEW で **ヘルプ** → **LabVIEW ヘルプを検索** を選択して『LabVIEW ヘルプ』を開き、**目次タブ**で**測定を実行するブック**を参照してください。
- 他のアプリケーションソフトウェアを使用している場合は、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』の「一般的なセンサ」を参照してください。

信号調節オプション

SCXI および SCC 製品の詳細については、ni.com/signalconditioning を参照してください。

SCXI

SCXI は、M シリーズデバイスを含むさまざまな測定デバイス用のフロントエンド信号調節およびスイッチシステムです。SCXI システムは、熱電対またはトランスデューサからのアナログ信号を増幅、フィルタ、絶縁、マルチプレクスするシールド信号調節モジュールを取り付け可能な高耐久性シャーシで構成されています。SCXI は、大きな測定システムまたは高速集録が必要なシステム用に設計されています。

システムの特徴には以下が含まれています。

- **モジュールアーキテクチャー**測定技術を選択
- **拡張性**—システムを 3,072 チャンネルに拡張

- **統合**—アナログ入力、アナログ出力、デジタル I/O、およびスイッチを 1 つの統合プラットフォームに組み合わせる
- **高帯域幅**—信号を高レートで集録
- **接続性**—熱電対コネクタまたは端子台付き SCXI モジュールから選択



メモ SCXI は、PCI-6221 (37 ピン)、USB-622x/625x/628x ネジ留め式端子、または USB-622x/625x BNC デバイスではサポートされていません。

SCC

SCC は、M シリーズプラグインデータ集録デバイス用のフロントエンド信号調節システムです。SCC システムは、調節熱電対と他のトランスデューサ用に最大 20 個のシングルまたはデュアルチャンネル SCC モジュールを備えたシールドキャリアから構成されています。SCC は、各信号タイプに少数のチャンネルのみを必要とする小規模な測定システム、またはポータブルアプリケーション用に設計されています。SCC システムは、最も総合的そして柔軟性のある信号接続オプションも提供します。

システムには以下のような機能が含まれています。

- **モジュールアーキテクチャー**—チャンネルごとに測定技術を選択
- **小チャンネルシステム**—最大 16 のアナログ入力と 8 つのデジタル I/O ラインを調節
- **ロープロファイル / ポータブル**—他のラップトップコンピュータでの測定技術と統合可能
- **高帯域幅**—信号を最大 1.25 MHz のレートで集録
- **接続性**—熱電対、BNC、LEMO™ (B シリーズ)、MIL-Spec コネクタへのカスタム接続を提供するパネレット技術を装備



メモ PCI Express ユーザは、外部電源のない特定の SCC モジュールに対しては、電力制限を考慮する必要があります。電力制限、および +5 V 端子上でデバイスが供給できる電流を高める方法については、デバイスの仕様および第 1 章「はじめに」の「[ディスクドライブ電源コネクタを使用する条件](#)」セクションを参照してください。



メモ SCC は、PCI-6221 (37 ピン)、USB-622x/625x/628x ネジ留め式端子、または USB-622x/625x BNC デバイスではサポートされていません。

ソフトウェアでデバイスをプログラミングする

ナショナルインスツルメンツの測定デバイスには、LabVIEW または LabWindows™/CVI™ など、アプリケーションソフトウェアから呼び出すことができる数多くの VI や関数が含まれたライブラリである NI-DAQmx ドライバソフトウェアが同梱されているため、NI の測定デバイスのすべての機能をプログラムできます。また、ドライバソフトウェアには、デバイスのアプリケーションを作成するための、VI、関数、クラス、属性、およびプロパティのライブラリであるアプリケーションプログラミングインタフェース (API) が含まれています。

M シリーズデバイスは NI-DAQmx ドライバを使用します。NI-DAQmx にはプログラミングサンプルのコレクションが含まれており、アプリケーション開発を手がける際に役立ちます。サンプルコードを変更し、アプリケーションに保存することが可能です。サンプルコードを使用して、新しいアプリケーションを開発したり、サンプルコードを既存のアプリケーションに追加したりできます。

LabVIEW、LabWindows/CVI、Measurement Studio、Visual Basic、および ANSI C サンプルのドキュメントを検索するには、ni.com/info で Info Code に「daqmxexp」と入力して表示される技術サポートデータベースのドキュメント「NI-DAQmx Example Locations for LabVIEW and Text-Based in Windows」を参照してください。

その他のサンプルについては、ni.com/examples を参照してください。

表 2-4 には、各 M シリーズデバイスでサポートされている最も古い NI-DAQmx のバージョンが示されています。

表 2-4. M シリーズ NI-DAQmx ソフトウェアのサポート

デバイス	サポートされている NI-DAQmx の最も古いバージョン
NI PCI/PXI-6220/6221/6224/6229	NI-DAQmx 7.4
NI PCI-6221 (37 ピン)	NI-DAQmx 7.5
NI USB-6221/6229 ネジ留め式端子	NI-DAQmx 8.3
NI USB-6221/6229 BNC	NI-DAQmx 8.6.1
NI PCI/PXI-6225	NI-DAQmx 7.4
NI USB-6225 ネジ留め式端子 / マスターミネーション	NI-DAQmx 8.6.1
NI PCI/PXI-6250/6251/6254/6259	NI-DAQmx 7.4
NI PCIe-6251/6259	NI-DAQmx 8.0.1

表 2-4. M シリーズ NI-DAQmx ソフトウェアのサポート (続き)

デバイス	サポートされている NI-DAQmx の最も古いバージョン
NI PXIe-6251/6259	NI-DAQmx 8.3
NI USB-6251/6259 ネジ留め式端子 / マスターミネーション	NI-DAQmx 8.1
NI USB-6251/6259 BNC	NI-DAQmx 8.6.1
NI PCI/PXI-6255	NI-DAQmx 8.1
NI USB-6255 ネジ留め式端子 / マスターミネーション	NI-DAQmx 8.6.1
NI PCI/PXI-6280/6281/6284/6289	NI-DAQmx 7.4
NI USB-6281/6289 ネジ留め式端子 / マスターミネーション	NI-DAQmx 8.7.1



メモ NI では、OS でサポートされている NI-DAQmx の最新バージョンを使用することを推奨します。NI-DAQmx のダウンロードページを参照するには、ni.com/info で Info Code に「nidagmxdownloads」を入力してください。

コネクタと LED の情報

「I/O コネクタ信号の説明」、「+5 V 電源」、および「USER 1 および USER 2」セクションには、M シリーズコネクタの信号、電源、およびユーザ定義の端子に関する情報が記載されています。「LED パターン」セクションには、M シリーズ USB デバイス LED についての情報が記載されています。



メモ デバイス I/O コネクタのピン配列については、付録 A 「モジュール/デバイス特有の情報」を参照してください。

I/O コネクタ信号の説明

表 3-1 は、I/O コネクタで使用可能な信号を説明しています。すべての信号をすべてのデバイスで使用できるわけではありません。

表 3-1. I/O コネクタ信号

信号名	基準	方向	説明
AI GND	—	—	アナログ入力グラウンド —これらの端子は、RSE モードでのシングルエンド AI 測定の基準点、および DIFF 測定のバイアス電流リターンポイントです。AI GND、AO GND、D GND の3つの接地基準は、すべてデバイス上で接続されています。第4章「 アナログ入力 」の「 アナログ入力信号を接続する 」セクションを参照してください。
AI <0..79>	条件によって異なる	入力	アナログ入力チャンネル —シングルエンド測定では、各信号はアナログ入力電圧チャンネルです。RSE モードでは、AI GND がこれらの信号の基準です。NRSE モードでは、各 AI <0..15> 信号の基準は AI SENSE、各 AI <16..63> および AI <64..79> 信号の基準は AI SENSE 2' です。 差動測定では、AI 0 および AI 8 が、差動アナログ入力チャンネル 0 の正および負の入力です。同様に、<AI 1, AI 9>、<AI 2, AI 10>、<AI 3, AI 11> などの信号ペアも差動入力チャンネルを形成します。 第4章「 アナログ入力 」の「 アナログ入力信号を接続する 」セクションを参照してください。
AI SENSE、AI SENSE 2	—	入力	アナログ入力センス —NRSE モードでは、各 AI <0..15> 信号の基準は AI SENSE、各 AI <16..63> および AI <64..79> 信号の基準は AI SENSE 2' です。第4章「 アナログ入力 」の「 アナログ入力信号を接続する 」セクションを参照してください。
AO <0..3>	AO GND	出力	アナログ出力チャンネル —これらの端子は電圧出力を供給します。第5章「 アナログ出力 」の「 アナログ出力信号を接続する 」セクションを参照してください。
AO GND	—	—	アナログ出力グラウンド —AO GND は AO <0..3> の基準です。AI GND、AO GND、D GND の3つの接地基準は、すべてデバイス上で接続されています。第5章「 アナログ出力 」の「 アナログ出力信号を接続する 」セクションを参照してください。

表 3-1. I/O コネクタ信号 (続き)

信号名	基準	方向	説明
D GND	—	—	デジタルグラウンド — D GND は、P0.<0..31>、PFI <0..15>/P1/P2 および +5 V の基準です。AI GND、AO GND、D GND の 3 つのグラウンド基準は、すべてデバイス上で接続されています。第 6 章「 デジタル I/O 」の「 デジタル I/O 信号を接続する 」セクションを参照してください。
P0.<0..31>	D GND	入力または出力	ポート 0 デジタル I/O チャンネル —各信号を入力または出力として個別に構成できます。第 6 章「 デジタル I/O 」の「 デジタル I/O 信号を接続する 」セクションを参照してください。
APFI <0..1>	AO GND または AI GND	入力	アナログ PFI (プログラム可能な機能的インタフェース) チャンネル —各 APFI 信号は、AO <0..3> 用の AO 外部基準入力、AO 外部オフセット入力、またはアナログトリガ入力として使われます。アナログトリガ入力として使用される場合、APFI <0..1> は AI GND を基準とします。AO 外部オフセットまたは基準入力として使用される場合、APFI <0..1> は AO GND を基準とします。これらの機能は、すべてのデバイスで使用できるわけではありません。各デバイスの仕様を参照してください。第 11 章「 トリガ 」の「 APFI <0..1> 端子 」セクションを参照してください。
+5 V	D GND	出力	+5 V 電源 —これらの端子は、ヒューズ付き +5 V 電源を提供します。詳細については、「 +5 V 電源 」セクションを参照してください。

表 3-1. I/O コネクタ信号 (続き)

信号名	基準	方向	説明
PFI <0..7>/ P1.<0..7>	D GND	入力または出力	<p>プログラム可能な機能的インタフェースまたはポート 1 デジタル I/O チャンネル—これらの各端子は、PFI 端子またはデジタル I/O 端子として個別に構成できます。</p> <p>入力として構成する場合、各 PFI 端子は、AI、AO、DI、DO タイミング信号またはカウンタ/タイマ入力に外部ソースを供給するために使用されます。</p> <p>PFI 出力として構成する場合、さまざまな内部 AI、AO、DI、または DO タイミング信号を各 PFI 端子に接続し、外部出力させることができます。カウンタ/タイマ出力を各 PFI 端子に接続し、外部出力させることもできます。</p> <p>ポート 1 デジタル I/O 信号として構成する場合、各信号を入力または出力として構成できます。</p> <p>第 6 章「デジタル I/O」の「デジタル I/O 信号を接続する」セクション、または第 8 章「PFI」を参照してください。</p>

表 3-1. I/O コネクタ信号 (続き)

信号名	基準	方向	説明
PFI <8..15>/ P2.<0..7>	D GND	入力または出力	<p>プログラム可能な機能的インタフェースまたはポート 2 デジタル I/O チャンネル—これらの各端子は、PFI 端子またはデジタル I/O 端子として個別に構成できます。</p> <p>入力として構成する場合、各 PFI 端子は、AI、AO、DI、DO タイミング信号またはカウンタ / タイマ入力に外部ソースを供給するために使用されます。</p> <p>PFI 出力として構成する場合、さまざまな内部 AI、AO、DI、または DO タイミング信号を各 PFI 端子に接続し、外部出力させることができます。カウンタ / タイマ出力を各 PFI 端子に接続し、外部出力させることもできます。</p> <p>ポート 2 デジタル I/O 信号として構成する場合、各信号を入力または出力として構成できます。</p> <p>第 6 章「デジタル I/O」の「デジタル I/O 信号を接続する」セクション、または第 8 章「PFI」を参照してください。ほとんどの M シリーズデバイスのデフォルトの NI-DAQmx カウンタ / タイマピンを確認するには、表 7-6 「68 ピンデバイスのデフォルトの NI-DAQmx カウンタ / タイマピン」を参照してください。</p>
USER <1,2>	—	—	<p>ユーザ定義チャンネル— USB-62xx BNC デバイス上では、USER <1,2> BNC コネクタを使用して、選択したデジタルまたはタイミング I/O 信号に BNC コネクタを使用できます。USER <1,2> BNC コネクタは、内部で USER <1,2> ネジ留め式端子に接続されています。詳細については、「USER 1 および USER 2」セクションを参照してください。</p>

表 3-1. I/O コネクタ信号 (続き)

信号名	基準	方向	説明
CHS GND	—	—	シャーシグラウンド † この端子は USB-62xx BNC デバイスの金属ケースに接続します。ケーブルのシールドワイヤをグラウンド接続用に CHS GND に接続できます。第 1 章「はじめに」の「 USB デバイスシャーシグラウンド 」セクションを参照してください。
NC	—	—	接続なし —これらの端子に信号を接続しないでください。

* NI 6225 デバイスで NRSE モードを使用する場合、各 AI <16..63> 信号の基準は AI SENSE 2、そして各 AI <64..79> 信号では AI SENSE です。

† USB-62xx ネジ留め式端子では、シールドケーブルのシールドをグラウンド接続用にシャーシ接地用圧着端子に接続できます。シャーシ接地用圧着端子は、デバイスバージョンによっては利用可能でないものもあります。

+5 V 電源

I/O コネクタの +5 V 端子は、D GND を基準として +5 V を供給します。これらの端子は外部回路の電力供給に使用します。

新型の M シリーズデバイスには、電源を過電流状態から保護する従来型ヒューズが装備されています。このヒューズは、ユーザは交換できません。ヒューズが切れた場合は、NI にデバイスの修理を依頼してください。

旧型の M シリーズデバイスには、電源を過電流状態から保護するセルフリセットヒューズが装備されています。過電流状態が解消されると、数秒間のうちにこのヒューズが自動的にリセットします。セルフリセットヒューズおよび +5 V とグラウンド端子の接続に関する注意事項の詳細は、ni.com/info で Info Code に「pptc」と入力して表示される技術サポートデータベースのドキュメント「Self-Resetting Fuse Additional Information」を参照してください。

(USB-6281/6289 デバイス) すべての USB-628x デバイスには、電源を過電流状態から保護する、ユーザによる交換可能なソケット付ヒューズが装備されています。過電流状態が発生した場合は、+5 V 端子への配線を確認し、第 1 章「はじめに」の「[USB デバイスのヒューズ交換](#)」セクションで説明されているようにヒューズを交換してください。



注意 +5 V 電力端子は、M シリーズデバイスや他のデバイス上のアナログ / デジタルグラウンドまたは他の電圧ソースに絶対に接続しないでください。接続した場合、デバイスやコンピュータが破損する可能性があります。NI は、このような接続による破損の責任を負いかねます。

通常のデバイスの電力定格は、+4.75 ~ +5.25 VDC (1 A) です。

デバイスの電力定格を確認するには、デバイスの仕様書を参照してください。



メモ (NI PCIe-6251/6259 デバイス) M シリーズ PCI Express デバイスは、ディスクドライブ電源コネクタを使用しない場合、+5 V 電源から 1 A まで供給が可能です。詳細については、第 1 章「はじめに」の「M シリーズ PCI Express デバイスおよびディスクドライブ電源コネクタをセットアップする」セクションを参照してください。



メモ NI 6221 (37 ピン) デバイスには、+5 V 端子がありません。

USER 1 および USER 2

(NI USB-622x/625x BNC デバイス) USER BNC コネクタを使用すると、選択したデジタルまたはタイミング I/O に BNC コネクタを使用できます。図 3-1 に表示されているように、USER 1/USER 2 BNC コネクタは USER 1/USER 2 ネジ留め式端子に経路設定 (USB BNC デバイスに内部で) されています。

図 3-1. USER 1 および USER 2 BNC の接続

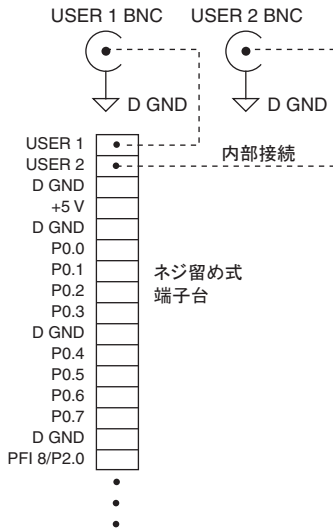
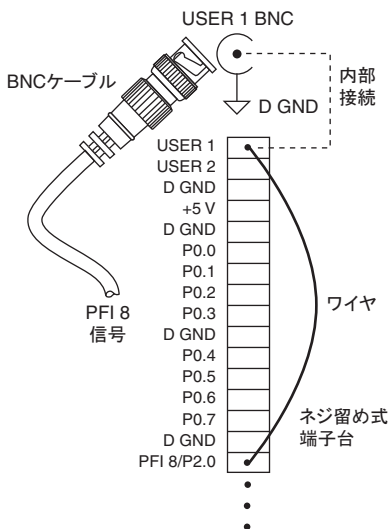


図 3-2 は、USER 1 および USER 2 BNC の使用方法の例を示しています。BNC から PFI 8 信号にアクセスするには、ネジ留め式端子台上の USER 1 をワイヤで PFI 8 に接続してください。

図 3-2. PFI 8 を USER 1 BNC に接続する



各 USER BNC の下には、信号名の印を付けたりラベルを貼るためのスペースがあります。

RTSI コネクタのピン配列

(PCI/PCIe-622x/625x/628x デバイス) RTSI コネクタについては、第 9 章「デジタル接続とクロック生成」の「RTSI コネクタのピン配列」セクションを参照してください。

LED パターン

(USB-622xx/625x/628x デバイス) M シリーズ USB デバイスの全モデルで、LED には ACTIVE および READY というラベルが付いています。ACTIVE LED は、バス上で動作があることを示します。READY LED は、デバイスが構成されているかどうかを示します。表 3-2 は、LED の動作を示しています。



メモ USB-62xx BNC デバイスには、上部パネルに POWER (+5 V) LED も装備されています。POWER (+5 V) LED は、デバイスの電源を示します。

表 3-2. LED パターン

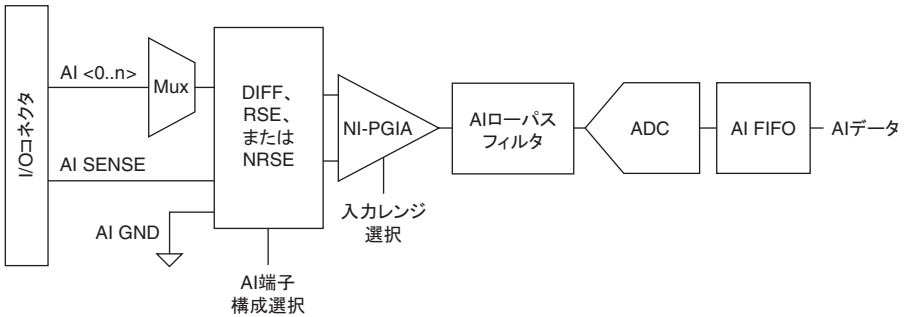
POWER (+5 V) LED*	ACTIVE LED	READY LED	USB デバイスの状態
オフ	オフ	オフ	デバイスに電源が投入されていません。
オン	オフ	オフ	(USB-62xx ネジ留め式端子 / マスターミネーションデバイス) デバイスの電源が入っていません。 (USB-62xx BNC デバイス) デバイスに電源は入っていますが、ホストコンピュータに接続されていません。
オン	オフ	オン	デバイスは構成されていますが、バス上で動作がありません。
オン	オン	オン	デバイスは構成されていて、バス上で動作があります。
オン	点滅	オン	

* USB-625x/628x BNC デバイスのみ。

アナログ入力

図 4-1 は、M シリーズデバイスのアナログ入力回路を示しています。

図 4-1. M シリーズアナログ入力回路



M シリーズアナログ入力回路に装備されている主なコンポーネントは以下のとおりです。

- I/O コネクタ**—アナログ入力信号は、I/O コネクタを介して M シリーズデバイスに接続できます。アナログ入力信号の正しい接続方法は、「[アナログ入力グラウンド基準設定](#)」セクションで説明されているようにアナログ入力グラウンド基準設定によって異なります。デバイス I/O コネクタのピン配列については、付録 A の「[モジュール / デバイス特有の情報](#)」も参照してください。
- MUX**—各 M シリーズデバイスには、1 つの A/D 変換器 (ADC) があります。マルチプレクサ (MUX) は、NI-PGIA を通じて一度に 1 つの AI チャンネルを ADC に経路設定します。
- グラウンド基準設定**—アナログ入力グラウンド基準設定回路は、差動、基準化シングルエンド、非基準化シングルエンド入力モードの中から選択します。各 AI チャンネルに対して異なるモードを使用できます。
- 計装用アンプ (NI-PGIA)** — NI プログラマブルゲイン計装用アンプ (NI-PGIA) は、すべての入力レンジにおいて整定時間を最小限に抑えることのできる、測定および計測クラスアンプです。NI-PGIA は、ADC の最高分解能を使用できるように、AI 信号を増幅または減衰します。

M シリーズデバイスは、NI-PGIA を使用することにより、狭い入力レンジで複数のチャンネルを高レートでサンプルするときでも高い確度を提供します。M シリーズデバイスは、チャンネルをあらゆる順番で最大変換レートでサンプリングでき、異なる入力レンジのサンプルで各チャンネルを個別にプログラムできます。

- **A/D 変換器**— A/D 変換器 (ADC) は、アナログ電圧をデジタル数値に変換することで AI 信号をデジタル化します。
- **AI FIFO**— M シリーズデバイスは、固定数または無限数のサンプルに対して単一および複数両方の A/D 変換を実行できます。大きな FIFO (first-in-first-out) バッファは、AI 集録中にデータを保持し、データの損失を防ぎます。M シリーズデバイスは、DMA、割り込み、またはプログラム I/O で複数の A/D 変換操作を行います。

アナログ入力レンジ

入力レンジは、指定された確度でアナログ入力チャンネルがデジタル化できる一連の入力電圧を表します。NI-PGIA は、入力レンジによって AI 信号を増幅または減衰します。M シリーズデバイスの各 AI チャンネルの入力レンジは、個別にプログラムできます。

入力レンジは M シリーズデバイスの AI チャンネルの分解能に影響します。分解能は 1 つの ADC コードの電圧を表します。たとえば、16 ビット ADC はアナログ入力を $65,536 (= 2^{16})$ コードの 1 つ、つまり 65,536 の使用可能なデジタル値の 1 つに変換します。これらの値は入力レンジ内に比較的均等に分布しています。そのため、-10 V ~ 10 V の入力レンジでは、16 ビット ADC の各コードの電圧は以下のようになります。

$$\frac{10\text{V} - (-10\text{V})}{2^{16}} = 305\mu\text{V}$$

M シリーズデバイスが使用するキャリブレーション方法では、一部のコード (通常、コードの 5%) が指定したレンジ外にある必要があります。このキャリブレーション方法では絶対確度は向上しますが、上記の公式で示されるよりも 5% ほど入力レンジの公称分解能値が大きくなります。

信号の予想される入力レンジに一致する入力レンジを選択します。入力レンジが大きいと大きな信号変化に対応できますが、電圧分解能が低下します。小さな入力レンジを選択すると電圧分解能は向上しますが、入力信号がレンジ外になる可能性があります。

設定レンジについては、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』を参照してください。

表 4-1 は、各 M シリーズデバイスの種類でサポートされている入力レンジと分解能を示しています。

表 4-1. M シリーズ入力レンジと公称分解能

M シリーズデバイス	入力レンジ	公称分解能 (5% オーバーレンジを想定)
NI 622x	-10 V ~ 10 V	320 μ V
	-5 V ~ 5 V	160 μ V
	-1 V ~ 1 V	32 μ V
	-200 mV ~ 200 mV	6.4 μ V
NI 625x	-10 V ~ 10 V	320 μ V
	-5 V ~ 5 V	160 μ V
	-2 V ~ 2 V	64 μ V
	-1 V ~ 1 V	32 μ V
	-500 mV ~ 500 mV	16 μ V
	-200 mV ~ 200 mV	6.4 μ V
	-100 mV ~ 100 mV	3.2 μ V
NI 628x	-10 V ~ 10 V	80.1 μ V
	-5 V ~ 5 V	40.1 μ V
	-2 V ~ 2 V	16.0 μ V
	-1 V ~ 1 V	8.01 μ V
	-500 mV ~ 500 mV	4.01 μ V
	-200 mV ~ 200 mV	1.60 μ V
	-100 mV ~ 100 mV	0.80 μ V

アナログ入力ローパスフィルタ

ローパスフィルタは、カットオフ周波数より低い信号をほとんど減衰させずに通し、カットオフ周波数より高い周波数の信号を減衰させます。カットオフ周波数は、出力振幅が 3 dB 減少した時の周波数として定義されます。ローパスフィルタはノイズを減衰してナイキスト周波数以上の信号のエイリアスを減らします。たとえば、対象の信号に 40 kHz より大きい周波数成分が含まれていない場合は、カットオフ周波数が 40 kHz のフィルタを使用すると、カットオフ域外の対象とならないノイズを減衰できます。ローパスフィルタのカットオフ周波数は、小信号帯域幅とも呼ばれます。小信号帯域幅は、各 DAQ デバイスの仕様書に記載されています。

一部のデバイスでは、フィルタカットオフは固定されています。その他のデバイスでは、このフィルタはプログラム可能で低周波数でも有効にできます。たとえば、NI 628x デバイスでは、カットオフ周波数が 40 kHz であるプログラム可能なフィルタを有効にできます。このプログラム可能なフィルタが有効でない場合、カットオフ周波数は 750 kHz に固定されています。カットオフがプログラム可能な場合は、低いカットオフを選択すると測定ノイズを小さくできます。ただし、仕様に表示されているように、カットオフ周波数が低いフィルタでは、デバイスの整定時間が長くなり最大変換レートが減少します。そのため、AI 変換と AI サンプルクロックのレートを減らす必要がある場合があります。低下したサンプルレートがアプリケーションで遅すぎる場合は、高い方のカットオフ周波数を選択します。

第 2 章「[DAQ システムの概要](#)」の「[ソフトウェアでデバイスをプログラミングする](#)」セクションで説明されているように、外部アクセサリを使って AI 信号に追加フィルタを追加します。

アナログ入力グラウンド基準設定

M シリーズデバイスは、アナログ入力グラウンド基準設定をサポートしています。

- **差動モード**— DIFF モードでは、M シリーズデバイスは 2 つの AI 信号間の電圧差を測定します。
- **基準化シングルエンドモード**— RSE モードでは、M シリーズデバイスは AI GND を基準として AI 信号の電圧を測定します。
- **非基準化シングルエンドモード**— NRSE モードでは、M シリーズデバイスは AI SENSE または AI SENSE 2 のいずれか 1 つを基準として AI 信号の電圧を測定します。

AI グラウンド基準設定は、AI 信号をどのように M シリーズデバイスに接続するかを決定します。詳細については、「[アナログ入力信号を接続する](#)」セクションを参照してください。

グラウンド基準設定はチャンネルごとにプログラムされます。たとえば、4 個の差動チャンネルと 8 個のシングルエンドチャンネルの 12 チャンネルをスキャンするようにデバイスを構成することも可能です。

M シリーズデバイスは、異なる信号を NI-PGIA に経路設定することで他のアナログ入力グランド基準設定を適用します。NI-PGIA は差動アンプです。つまり、NI-PGIA は 2 つの入力間の電圧の差を増幅（または減衰）します。NI-PGIA はこの増幅された電圧で ADC を駆動します。増幅（ゲイン）は、図 4-2 で示されているようにアナログ入力レンジにより決定されます。

図 4-2. NI-PGIA

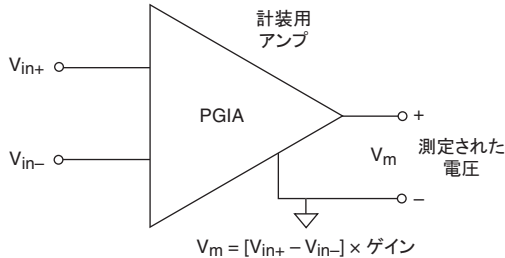


表 4-2 は、信号がどのように NI-PGIA に経路設定されているかを示しています。

表 4-2. NI-PGIA に経路設定される信号

AI グランド基準設定	NI-PGIA の正極入力 (V_{in+}) に経路設定される信号	NI-PGIA の負極入力 (V_{in-}) に経路設定される信号
RSE	AI <0..79>	AI GND
NRSE	AI <0..15>	AI SENSE
	AI <16..79>	AI SENSE 2*
DIFF	AI <0..7>	AI <8..15>
	AI <16..23>	AI <24..31>
	AI <32..39>	AI <40..47>
	AI <48..55>	AI <56..63>
	AI <64..71>	AI <72..79>

* NI 6225 デバイスで NRSE モードを使用する場合、各 AI <16..63> 信号の基準は AI SENSE 2、そして各 AI <64..79> 信号では AI SENSE です。

差動測定では、AI 0 および AI 8 が、差動アナログ入力チャンネル 0 の正および負の入力です。入力チャンネルを構成するすべての信号ペアの一覧については付録 A「モジュール / デバイス特有の情報」で各デバイスのピン配列図を参照してください。



注意 グラウンドを基準とする AI 信号（差動モードでは、入力端子ペア）の最大入力電圧定格は、デバイスの仕様書に記載されています。AI 信号の最大入力電圧を超えると、測定結果の信頼性が失われます。最大入力電圧を超えた場合、デバイスやコンピュータが破損する可能性もあります。ナショナルインスツルメンツは、ナショナルインスツルメンツは、このような信号接続を行ったことで生じる、いかなる損害の責任も負いません。

AI グラウンド基準設定は、AI 端子設定とも呼ばれます。

ソフトウェアで AI グラウンド基準設定を構成する

M シリーズデバイス上のチャンネルは、異なるグラウンド基準で集録するようにプログラムできます。

LabVIEW でマルチモードスキャンを有効にするには、NI-DAQmx API の「NI-DAQmx 仮想チャンネルを作成」VI を使用します。異なる入力モードで構成された各チャンネルまたはチャンネルのグループごとに、新しい VI を使用する必要があります。

図 4-3 では、チャンネル 0 は差動モード、チャンネル 1 は基準化シングルエンドモードに構成されています。

図 4-3. LabVIEW でマルチモードスキャンを有効にする



DAQ アシスタントを使って電圧測定の入力モードを構成するには、**端子設定**ドロップダウンリストを使用します。DAQ アシスタントについての詳細は、『DAQ アシスタントヘルプ』を参照してください。

NI-DAQmx C API を使用して電圧測定の入力モードを構成するには、**terminalConfig** プロパティを設定します。詳細については、『NI-DAQmx C Reference Help』を参照してください。

複数チャンネルスキャンに関する注意事項

M シリーズデバイスは、複数のチャンネルを高レートでスキャンして正確に信号をデジタル化できます。しかし、測定の高確度を保証するためには、測定システムを設計する際に考慮すべき事項がいくつかあります。

複数チャンネルスキャンアプリケーションでは、整定時間が確度に影響します。M シリーズデバイスが 1 つの AI チャンネルから別の AI チャンネルに切り替わるたびに、デバイスは新しいチャンネルの入力レンジで NI-PGIA を構成します。そして、NI-PGIA は新しい入力レンジのゲインで入力信号を増幅します。整定時間とは、入力

信号が ADC にサンプルされる前に NI-PGIA で増幅するためにかかる時間のことを指します。DAQ デバイスの整定時間はデバイスの仕様書に記載されています。

M シリーズデバイスは、整定時間を短くするように設計されています。しかし、さまざまな要因により整定時間が長くなり測定の確度が低下する場合があります。整定時間を短くするには、以下を実行する必要があります (重要な順に記載)。

1. **低インピーダンスソースを使用**—整定時間を短くするには、信号ソースのインピーダンスを $1\text{ k}\Omega$ 未満にする必要があります。ソースインピーダンスが大きいと NI-PGIA の整定時間が長くなるため、速いスキャンレートでの確度が低下します。

高インピーダンス信号をスキャンすると、電荷注入と呼ばれる現象により整定時間が長くなります。マルチプレクサはスイッチトキャパシタで作られたスイッチを内蔵しています。チャンネルの 1 つ、たとえばチャンネル 0 がマルチプレクサで選択されると、キャパシタは電荷を蓄積します。次のチャンネル、たとえばチャンネル 1 が選択されると、蓄積された電荷がチャンネル 1 を介して逆に漏れます。チャンネル 1 に接続されたソースの出カインピーダンスが高いと、チャンネル 1 の読み取り値はチャンネル 0 の電圧に部分的に影響されます。この影響はゴーストと呼ばれます。

ソースインピーダンスが高い場合、スキャンレートを減らすことで十分な整定時間を NI-PGIA に与えることができます。その他のオプションとして、DAQ デバイス側から見たインピーダンスを減らすために DAQ の外部に電圧フォロワ回路を使用することもできます。ni.com/info で Info Code に「rdbbis」と入力して表示される技術サポートデータベースのドキュメント、「Eliminate Ghosting on Adjacent Input Channels by Decreasing Source Impedance」を参照してください。

2. **短い高品質のケーブルを使用**—短い高品質のケーブルを使用することで、クロストークや伝送回線影響およびノイズなど、確度を下げるいくつかの要素を最小限に抑えることができます。ケーブルのキャパシタンスによっても整定時間は長くなります。

ナショナルインスツルメンツでは、AI 信号をデバイスに接続する際に、個別にシールドされた 2 m 以下のツイストペアワイヤを使用することを推奨しています。詳細については、「[アナログ入力信号を接続する](#)」セクションを参照してください。

3. **チャンネルのスキャン順を慎重に選択する**

- 入力レンジを大から小へ切り替えることを避ける—チャンネルを入力レンジ大のものから小のものへ切り替えると、整定時間が大幅に延びることがあります。

4 V 信号がチャンネル 0 に、1 mV 信号がチャンネル 1 に接続されているとします。チャンネル 0 の入力レンジは $-10\text{ V} \sim 10\text{ V}$ で、チャンネル 1 の入力レンジは $-200\text{ mV} \sim 200\text{ mV}$ です。

マルチプレクサがチャンネル 0 からチャンネル 1 に切り替わると、NI-PGIA への入力は 4 V から 1 mV に切り替わります。4 V から 1 mV への約 4 V ステップは、新しいフルスケールレンジの 1,000% です。16 ビットデバイスが

チャンネル 1 上で ± 200 mV フルススケールレンジの 0.0015% (15 ppm または 1 LSB) 内で整定するには、入力回路は ± 10 V レンジの 0.000031% (0.31 ppm または 1/50 LSB) 内に整定する必要があります。一部のデバイスでは、回路がこれだけ整定するにはかなりのマイクロ秒がかかります。

この影響を避けるために、大から小入力レンジへの遷移が頻繁に起きないようにチャンネルスキャン順を決める必要があります。

一般的に、NI-PGIA で入力レンジが小から大に切り替わる場合は、この余分な整定時間は必要ありません。

- 接地したチャンネルを信号チャンネルの間に挿入する一入力チャンネルをグラウンドに接続するのも、整定時間を改善する方法の一つです。そして、このチャンネルをスキャンリスト上の 2 つの信号チャンネル間に挿入します。接地したチャンネルの入力レンジは、スキャンリストで接地したチャンネルの後にスキャンする信号の入力レンジと一致する必要があります。

4 V 信号がチャンネル 0 に、1 mV 信号がチャンネル 1 に接続されている上記の例を再度取り上げてみます。チャンネル 0 の入力レンジは -10 V ~ 10 V で、チャンネル 1 の入力レンジは -200 mV ~ 200 mV であると想定します。

チャンネル 2 を AI GND (または、内部グラウンドを使用することもできます。『NI-DAQmx ヘルプ』の「内部チャンネル」を参照してください) に接続します。チャンネル 2 の入力レンジをチャンネル 1 と一致するように -200 mV ~ 200 mV に設定します。そして、チャンネルを 0、2、1 の順番でスキャンします。

入力が接地されている場合、NI-PGIA は新しい入力レンジ設定により速く適応するため、信号チャンネル間に接地したチャンネルを挿入することで整定時間が向上します。

- 隣接チャンネル間の電圧ステップを最小限に抑える一入力レンジが等しいチャンネル間をスキャンする場合、チャンネル間の電圧ステップが大きいほど整定時間が長くなります。信号の予想される入力レンジが分かっている場合は、スキャンリストで予測レンジの近い信号をグループ化します。

たとえば、システム上のすべてのチャンネルが -5 V ~ 5 V の入力レンジを使用するとします。チャンネル 0、2、および 4 の信号は、4.3 V ~ 5 V の間で変化します。チャンネル 1、3、および 5 の信号は、-4 V ~ 0 V の間で変化します。0、2、4、1、3、5 の順番でチャンネルをスキャンすると、0、1、2、3、4、5 の順番でスキャンするよりもより正確な結果を得ることができます。

4. **必要以上に高速なスキャンを避ける**—スキャン速度を下げてシステムを設計すると、より正確なレベルに整定する時間が NI-PGIA に与えられます。以下の 2 つの例を検討します。

- 例 1—多くの AI サンプルを平均化すると、ノイズの影響が低下するため、読み取りの確度が向上します。通常、平均化するポイントが多いほど、最終

結果の確度が高くなります。ただし、平均化するポイント数を減らして、スキャンレートを遅くすることもできます。

たとえば、10 個のチャンネルを 20 ms に渡ってサンプリングし、結果を平均化するとします。250 kS/s のスキャンレートでは、各チャンネルから 500 ポイントを集録できます。別の方法として、500 kS/s のスキャンレートで、各チャンネルから 1,000 ポイントを集録することもできます。両方にかかる時間は同じです。平均化されたサンプル数を (500 から 1,000 へ) 2 倍にすると、ノイズ効果が 1.4 (2 の平方根) 倍減少します。しかし、この例のように、サンプル数を 2 倍にすると、PGA が整定に使用できる時間は 4 μ s から 2 μ s に減少します。このため、システムのスキャンレートが遅い方が、測定結果の確度が高くなる場合もあります。

- 例 2—チャンネル間の時間的關係が重要ではない場合は、同じチャンネルから何回もサンプルを取るにより、スキャンの頻度を減らすことができます。たとえば、チャンネル 0 から 100 ポイント、チャンネル 1 から 100 ポイントの平均化が必要であるとします。1 つの方法では、チャンネル 0 から 1 ポイント読み取り、次にチャンネル 1 から 1 ポイント読み取るというように、2 つのチャンネルから交互に読み取ります。もう 1 つの方法では、チャンネル 0 から 100 ポイントをすべて読み取ってから、チャンネル 1 から 100 ポイントを読み取ります。この 2 番目の方法では、チャンネル間を交互する回数をはるかに少ないため、整定時間による影響が減ります。

アナログ入力のデータ収集方法

アナログ入力を測定するには、ソフトウェアタイミングまたはハードウェアタイミング集録のいずれかを使用できます。

ソフトウェアタイミング集録

ソフトウェアタイミング集録では、ソフトウェアが集録レートを制御します。各 ADC 変換を開始するための個別のコマンドが、ソフトウェアからハードウェアへ送られます。NI-DAQmx では、ソフトウェアタイミングによる集録はオンデマンドタイミングと呼ばれています。また、ソフトウェアタイミング集録は、即時集録またはスタティック集録とも呼ばれ、通常は単一のデータサンプルの読み取りに使用されません。

ハードウェアタイミング集録

ハードウェアタイミング集録では、ハードウェアのデジタル信号 (AI サンプルクロック) が集録レートを制御します。この信号は、デバイス内部で生成するか、外部から供給します。

ハードウェアタイミング集録は、ソフトウェアタイミング集録と比較していくつかの利点があります。

- サンプリングの間隔を大幅に短く設定可能。
- サンプリングの間隔が確定的。
- ハードウェアタイミング集録ではハードウェアトリガを使用可能。

ハードウェアタイミング集録では、バッファを使用する場合としない場合があります。バッファとは、これから生成されるサンプルを一時的にコンピュータ内に保持する場所です。

- **バッファ型**—バッファ型集録では、データは、DMA または割り込みを使用して DAQ デバイスのオンボード FIFO メモリから PC のバッファへ移されて、アプリケーションメモリに転送されます。バッファ型集録では、データが個々のポイントごとではなく大きなブロックごとにも移動されるため、バッファを使用しない場合よりも高速な転送レートを実現できます。

バッファ型 I/O 操作のプロパティの 1 つは、サンプルモードです。サンプルモードは有限または連続から選択できます。

- 有限サンプルモード集録では、指定した数だけのデータサンプルが集録されます。指定された数のサンプルが読み取られると、サンプル集録は停止します。基準トリガを使用する場合は、有限サンプルモードを使用する必要があります。
- 連続サンプルモードでは、サンプルの数は指定されません。指定したデータサンプル数を集録した後で停止する代わりに、連続集録ではユーザが処理を停止するまで続きます。連続集録は、ダブルバッファ型または循環バッファ型集録とも呼ばれます。

データがバス上で十分な速度で転送されない場合、FIFO は満杯になります。FIFO にあるデータは、ホストメモリに転送される前に新規の集録により上書きされます。この場合、デバイスはエラーを出します。連続操作では、ユーザのプログラムがデータ転送を維持できる速度で PC バッファからデータを読み取れない場合、バッファがオーバーフロー状態になり、エラーが発生する可能性があります。

- **非バッファ型**—非バッファ型集録では、データがデバイス上の FIFO から直接読み取られます。通常、ハードウェアタイミングの非バッファ型操作は、サンプル間の時間増分が周知の単一サンプルを読み取るために使用されます。



メモ (NI USB-62xx デバイス) USB M シリーズデバイスは、非バッファ型ハードウェアタイミング操作をサポートしていません。

アナログ入力トリガ

アナログ入力は、3つの異なるトリガアクションをサポートします。

- 開始トリガ
- 基準トリガ
- 一時停止トリガ

これらのトリガの詳細については、「AI 開始トリガ信号」、「AI 基準トリガ信号」、および「AI 一時停止トリガ信号」セクションを参照してください。

アナログトリガとデジタルトリガは、これらのアクションを発生させることができます。デジタルトリガはすべての M シリーズデバイスでサポートされていますが、アナログトリガは一部のデバイスではサポートされていません。各デバイスのトリガオプションの詳細については、デバイスの仕様書を参照してください。

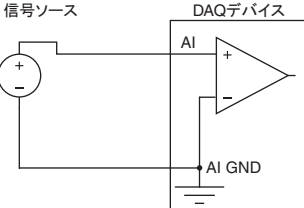
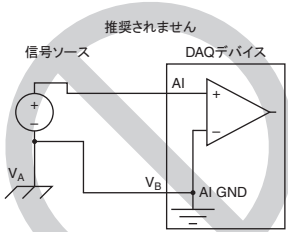
アナログ入力信号を接続する

表 4-3 は、信号ソースの両方のタイプの推奨入力構成の概要を示しています。

表 4-3. アナログ入力構成

AI グランド基準設定*	浮動型信号ソース (建物のグラウンドへの接続なし)	グラウンド基準型信号ソース†
	例 : <ul style="list-style-type: none"> • 接地なしの熱電対 • 絶縁出力用信号調節 • 電池使用のデバイス 	例 : <ul style="list-style-type: none"> • 非絶縁出力用プラグイン計測器
差動 (DIFF)		
非基準化シングルエンド (NRSE)		

表 4-3. アナログ入力構成

AI グランド基準設定*	浮動型信号ソース (建物のグラウンドへの接続なし)	グラウンド基準型信号ソース†
	例: • 接地なしの熱電対 • 絶縁出力用信号調節 • 電池使用のデバイス	例: • 非絶縁出力用プラグイン計測器
基準化シングルエンド (RSE)		
* RSE、NRSE、および DIFF モードおよびソフトウェアの注意点については、「 アナログ入力グラウンド基準設定 」セクションを参照してください。† 詳細については、「 グラウンド基準型信号ソースを接続する 」セクションを参照してください。		

浮動型信号ソースを接続する

浮動型信号ソースとは

浮動型信号ソースは、建物の接地装置には接続されていませんが、絶縁された接地基準点を持ちます。浮動型信号ソースの例としては、変圧器、熱電対、電池式デバイス、光アイソレータ、および絶縁アンプなどが挙げられます。絶縁出力を持つ計測器やデバイスは、浮動型信号ソースです。

浮動型信号ソースに差動 (DIFF) 接続を使用する条件

DIFF 入力接続は、チャンネルが以下の条件のいずれかを満たす場合に使用します。

- 入力信号のレベルが低い場合 (1 V 未満)。
- 信号とデバイスを接続する銅線が 3 m (10 ft) 以上の場合。
- 入力信号が個別のグラウンド基準ポイントまたは帰還信号を必要とする場合。
- 信号銅線がノイズの多い環境を通る場合。
- 2 つのアナログ入力チャンネル、AI+ および AI- を信号に使用できる場合。

DIFF 信号接続では、ノイズの集録を削減し、より多くのコモンモードノイズを除去できます。また、DIFF 信号接続を使用すると、NI-PGIA のコモンモード制限内で入力信号を浮動させることができます。

差動接続の詳細については、「[浮動型信号ソースに差動接続を使用する](#)」セクションを参照してください。

浮動型信号ソースに非基準化シングルエンド (NRSE) 接続を使用する条件

NRSE 入力接続は、入力信号が以下の条件を満たす場合にのみ使用します。

- 入力信号レベルが高い場合 (1 V を超える場合)。
- 信号とデバイスを接続する銅線が 3 m (10 ft) 未満の場合。

上記の条件を満たさない信号では、信号の整合性を高めるため、DIFF 入力接続を使用することが推奨されます。

シングルエンドモードでは、DIFF 構成と比較して、より多くの静電気および磁気ノイズが信号接続にカプリングされます。カプリングは、信号パスの差異によって起こります。磁気カプリングは、2 本の信号線間の領域に比例します。電気カプリングは、2 本の信号線間における電界の差異によって変動します。

このタイプの接続では、NI-PGIA は、信号のコモンモードノイズ、そして信号ソースとデバイスグランド間のグランド電位差の両方を除去します。

NRSE 接続の詳細については、「[浮動型信号ソースに非基準化シングルエンド \(NRSE\) 接続を使用する](#)」セクションを参照してください。

浮動型信号ソースに基準化シングルエンド (RSE) 接続を使用する条件

RSE 入力接続は、入力信号が以下の条件を満たす場合にのみ使用します。

- 入力信号が、RSE を使用する他の信号と基準ポイントを共有する場合。
- 入力信号レベルが高い場合 (1 V を超える場合)。
- 信号とデバイスを接続する銅線が 3 m (10 ft) 未満の場合。

上記の条件を満たさない信号では、信号の整合性を高めるため、DIFF 入力接続を使用することが推奨されます。

シングルエンドモードでは、DIFF 構成と比較して、より多くの静電気および磁気ノイズが信号接続にカプリングされます。カプリングは、信号パスの差異によって起こります。磁気カプリングは、2 本の信号線間の領域に比例します。電気カプリングは、2 本の信号線間における電界の差異によって変動します。

このタイプの接続では、NI-PGIA は、信号のコモンモードノイズ、そして信号ソースとデバイスグラウンド間のグラウンド電位差の両方を除去します。

RSE 接続の詳細については、「[浮動型信号ソースに標準化シングルエンド \(RSE\) 接続を使用する](#)」セクションを参照してください。

浮動型信号ソースに差動接続を使用する

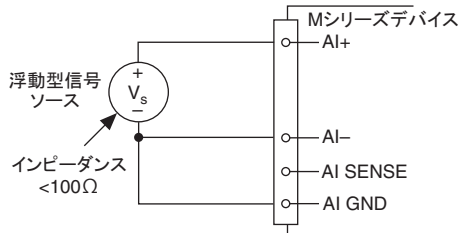
浮動ソースの負極のリードは、直接またはバイアス抵抗を介して AI GND に接続する必要があります。それを実行しないと、ソースが NI-PGIA の最大動作電圧範囲を超えて浮動し、DAQ デバイスが誤ったデータを返すことがあります。

ソースの基準を AI GND にする最も簡単な方法は、信号の正極を AI+ に接続し、信号の負極を抵抗を使用せずに AI GND と AI- の両方に接続することです。この接続は、低ソースインピーダンス (100 Ω 未満) のカプリングソースに使用できます。



メモ (NI USB-62xx BNC デバイス) USB BNC デバイスで浮動型信号ソースを測定するには、BNC コネクタの下にあるスイッチを FS の位置に動かします。

図 4-4. バイアス抵抗なしの浮動型信号ソースの差動接続



ただし、ソースインピーダンスが大きい場合、この接続は DIFF 信号パスのバランスを著しく崩します。正極ラインの電気的結合ノイズは、接地されている負極ラインにはカプリングされません。このノイズは、コモンモード信号ではなく DIFF モード信号として表れるため、データに表示されます。この場合、負極ラインを直接 AI GND に接続する代わりに、同等のソースインピーダンスの約 100 倍の抵抗を介して負極ラインを AI GND に接続します。この抵抗によって信号パスがほぼ均衡状態になり、同程度のノイズが両方の端子にカプリングします。これにより電気的結合ノイズをほぼ除去できます。この構成は、ソースに負荷をかけません (非常に高い NI-PGIA の入力インピーダンス以外)。

図 4-5. 単一バイアス抵抗を使用した浮動型信号ソースの差動接続

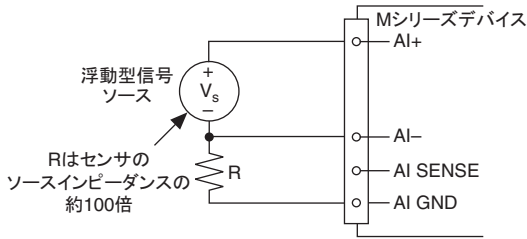
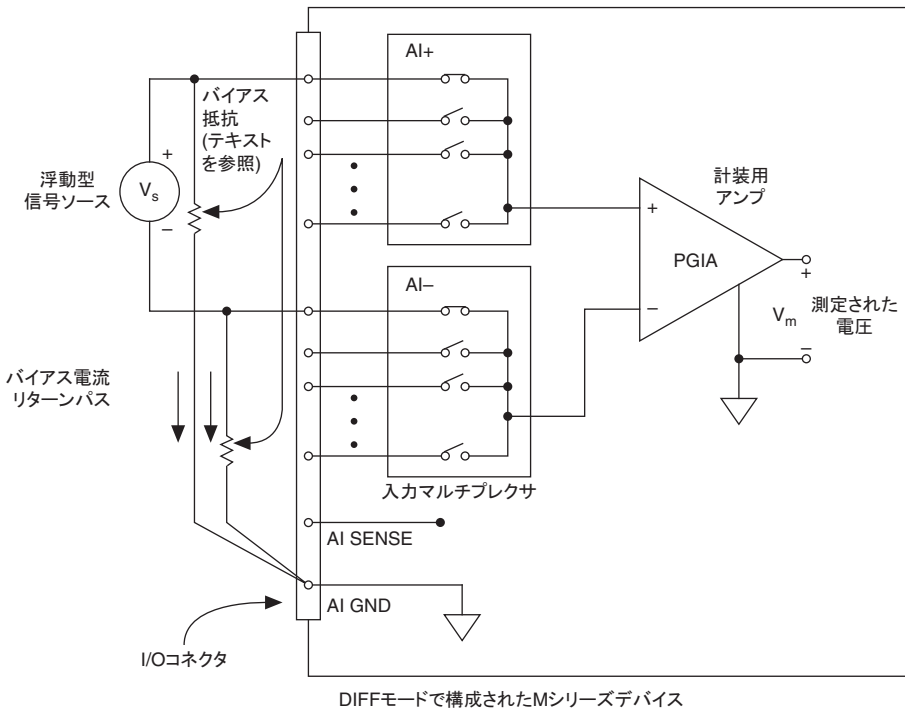


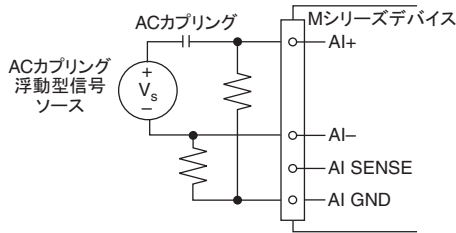
図 4-6 に示されているように、正極入力と AI GND の間に同じ値の他の抵抗を接続することによって、信号パスのバランスを完全に保つことができます。このようにバランスが完全に保たれた構成では、ノイズ除去はわずかに優れていますが、ソースに 2 つの直列抵抗 (和) の負荷をかけるという不利な点があります。たとえば、ソースインピーダンスが $2\text{ k}\Omega$ で 2 つの各抵抗が $100\text{ k}\Omega$ の場合、抵抗により $200\text{ k}\Omega$ の負荷がソースにかかり、 -1% のゲイン誤差が発生します。

図 4-6. バランスの取れたバイアス抵抗を使用した、浮動型信号ソースの差動接続



NI-PGIA が動作するには、その両入力にグランドへの DC 経路が必要です。ソースが AC カプリング (容量カプリング) の場合、NI-PGIA は正極入力と AI GND の間に抵抗を必要とします。ソースが低インピーダンスの場合は、ソースに大きな負荷がかからない程度に大きく、入力バイアス電流により大きな入力オフセット電圧を生成しない程度に小さい (通常、100 kΩ ~ 1 MΩ) 抵抗を選択します。この場合、負極入力を直接 AI GND に接続します。ソースが高出力インピーダンスの場合は、上記の方法で正極と負極の両入力に同じ値の抵抗を使用して、信号バスのバランスを取ります。図 4-7 で示されるように、ソースに負荷がかかることによって、ゲイン誤差が生じることに注意してください。

図 4-7. バランスの取れたバイアス抵抗を使用した、AC カプリング浮動ソースの差動接続



浮動型信号ソースに非基準化シングルエンド (NRSE) 接続を使用する

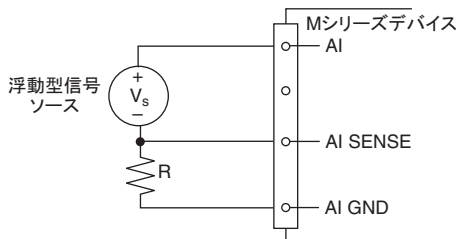
浮動型信号ソースは、直接またはバイアス抵抗を介して AI GND に接続する必要があります。それを実行しないと、ソースが NI-PGIA の最大動作電圧範囲を超えて浮動し、DAQ デバイスが誤ったデータを返すことがあります。



メモ (NI USB-62xx BNC デバイス) USB BNC デバイスで浮動型信号ソースを測定するには、BNC コネクタの下にあるスイッチを FS の位置に動かします。

図 4-8 は、NRSE モードで DAQ デバイ스에接続された浮動ソースを示しています。

図 4-8. 浮動型信号ソースの NRSE 接続



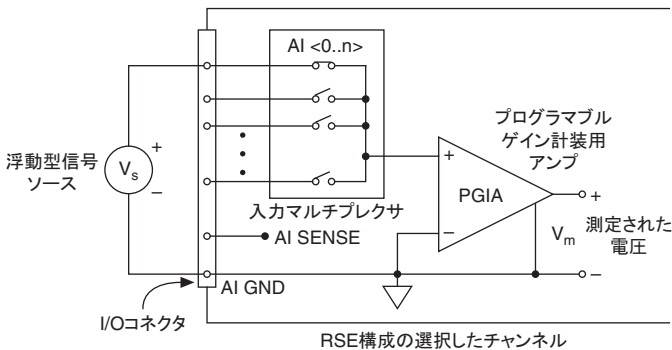
「浮動型信号ソースに差動接続を使用する」セクションで説明されているすべてのバイアス抵抗の構成は、NRSE のバイアス抵抗にも適用されます。0 ~ 2 個のバイアス抵抗の構成については、図 4-4、4-5、4-6、および 4-7 の AI- を AI SENSE に置き換えます。AI SENSE がソースから離れて接続されるため、NRSE モードのノイズ除去は、RSE モードよりも優れています。ただし、AI SENSE 接続は AI+ 信号とツイストペアケーブルで接続されるのではなく、すべてのチャンネルと共有されているため、NRSE モードのノイズ除去は、DIFF モードよりも劣ります。

チャンネルを RSE または NRSE 入力モードに構成するには DAQ アシスタントを使用します。DAQ アシスタントの詳細については、「ソフトウェアで AI グランド基準設定を構成する」セクションを参照してください。

浮動型信号ソースに基準化シングルエンド (RSE) 接続を使用する

図 4-9 は、浮動型信号ソースを RSE モードに構成した M シリーズデバイスに接続する方法を示しています。

図 4-9. 浮動型信号ソースの RSE 接続



メモ (NI USB-62xx BNC デバイス) USB BNC デバイスで浮動型信号ソースを測定するには、BNC コネクタの下にあるスイッチを FS の位置に動かします。

チャンネルを RSE または NRSE 入力モードに構成するには DAQ アシスタントをしようします。DAQ アシスタントの詳細については、「ソフトウェアで AI グランド基準設定を構成する」セクションを参照してください。

グランド基準型信号ソースを接続する

グランド基準型信号ソースとは

グランド基準型信号ソースは、建物のシステムグランドに接続されている信号ソースです。コンピュータがソースと同じ電力システムに接続されている場合、デバイスに対して共通のグランドポイントにすでに接続されています。建物の電源システムに接続されている計測器およびデバイスの非絶縁出力は、このカテゴリに含まれます。

同じ建物の電力システムに接続された 2 つの測定器のグランド電位差は、通常は 1 ~ 100 mV ですが、配電回路が適切に接続されていないと差がそれ以上になる場合があります。接地された信号ソースが正確に測定されないと、この差が測定誤差として表れる可能性があります。グランド電位差を測定信号から除去するには、接地信号ソースの接続手順に従ってください。

グランド基準型信号ソースに差動接続を使用する条件

DIFF 入力接続は、チャンネルが以下の条件のいずれかを満たす場合に使用します。

- 入力信号のレベルが低い場合 (1 V 未満)。
- 信号とデバイスを接続する銅線が 3 m (10 ft) 以上の場合。
- 入力信号が個別のグランド基準ポイントまたは帰還信号を必要とする場合。
- 信号銅線がノイズの多い環境を通る場合。
- 2 つのアナログ入力チャンネル、AI+ および AI- が使用可能な場合。

DIFF 信号接続では、ノイズの集録を削減し、より多くのコモンモードノイズを除去できます。DIFF 信号接続を使用すると、NI-PGIA のコモンモード制限内で入力信号を浮動させることができます。

差動接続の詳細については、「[グランド基準型信号ソースに差動接続を使用する](#)」セクションを参照してください。

グランド基準型信号ソースに非基準化シングルエンド (NRSE) 接続を使用する条件

非基準化シングルエンド入力接続は、入力信号が以下の条件を満たす場合のみに使用します。

- 入力信号レベルが高い場合 (1 V を超える場合)。
- 信号とデバイスを接続する銅線が 3 m (10 ft) 未満の場合。
- 入力信号が他の信号と基準点を共有できる場合。

上記の条件を満たさない信号では、信号の整合性を高めるため、DIFF 入力接続を使用することが推奨されます。

シングルエンドモードでは、DIFF 構成と比較して、より多くの静電気および磁気ノイズが信号接続にカプリングされます。カプリングは、信号パスの差異によって起こります。磁気カプリングは、2 本の信号線間の領域に比例します。電気カプリングは、2 本の信号線間における電界の差異によって変動します。

このタイプの接続では、NI-PGIA は、信号のコモンモードノイズ、そして信号ソースとデバイスグランド間のグランド電位差の両方を除去します。

NRSE 接続の詳細については、「[グランド基準型信号ソースに非基準化シングルエンド \(NRSE\) 接続を使用する](#)」セクションを参照してください。

グランド基準型信号ソースに基準化シングルエンド (RSE) 接続を使用する条件

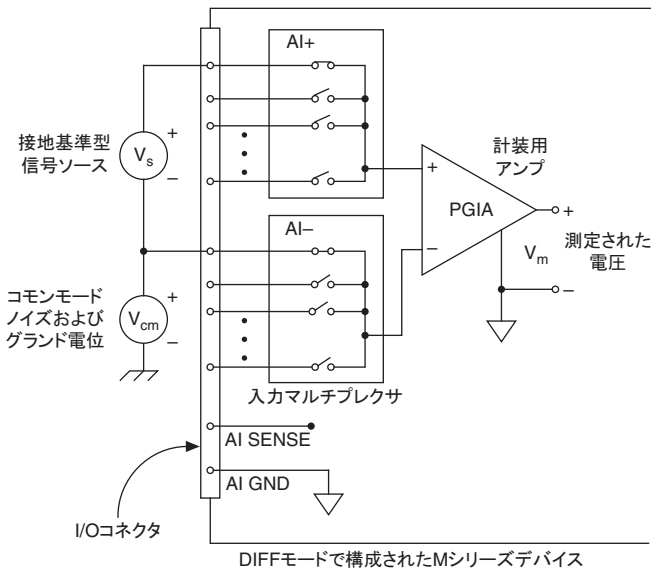
グランド基準型信号ソースには RSE 接続を使用しないでください。代わりに、NRSE または DIFF 接続を使用します。

表 4-3 の右下の四角枠内に示されているように、AI GND とセンサのグランド間に電位差がある場合があります。RSE モードでは、このグランドループによって測定誤差が発生します。

グランド基準型信号ソースに差動接続を使用する

図 4-10 は、接地基準型信号ソースを、DIFF モードで構成された M シリーズデバイスに接続する方法を示しています。

図 4-10. グランド基準型信号ソースの差動接続



メモ (NI USB-62xx BNC デバイス) USB BNC デバイスでグランド基準型信号ソースを測定するには、BNC コネクタの下にあるスイッチを GS の位置に動かします。

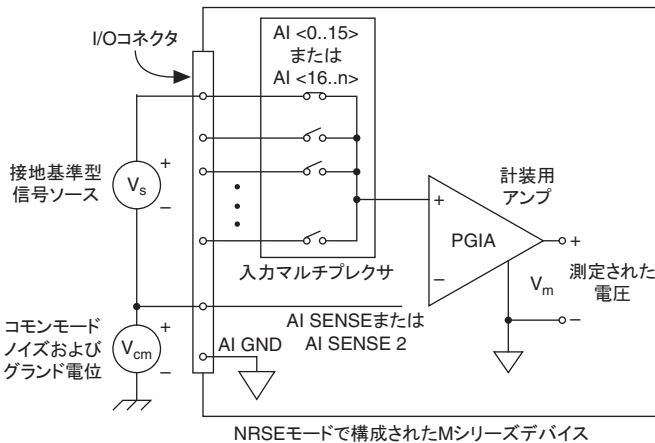
このタイプの接続では、NI-PGIA は、図で V_{cm} と示されている信号のコモンモードノイズ、そして信号ソースとデバイスグランド間のグランド電位差の両方を除去します。

AI+ と AI- は、共に AI GND の ± 11 V レンジ内である必要があります。

グラウンド基準型信号ソースに非基準化シングルエンド (NRSE) 接続を使用する

図 4-11 は、グラウンド基準型信号ソースを NRSE モードで接続する方法を示しています。

図 4-11. グラウンド基準型信号ソースにシングルエンド接続を使用する (NRSE 構成)



メモ (NI USB-62xx BNC デバイス) USB BNC デバイスでグラウンド基準型信号ソースを測定するには、BNC コネクタの下にあるスイッチを GS の位置に動かします。

AI+ と AI- は、共に AI GND の ± 11 V レンジ内である必要があります。

シングルエンド、グラウンド基準型信号ソースを測定するには、NRSE グラウンド基準設定を使用する必要があります。信号を AI 端子に接続し、信号ローカルグラウンド基準を AI SENSE に接続します。AI SENSE および AI SENSE 2 は、NI-PGIA の負極入力に内部で接続されています。このため、信号のグラウンドポイントは、NI-PGIA の負極入力に接続しています。

デバイスグラウンドと信号グラウンドの間に発生する電位差は、コモンモード信号として NI-PGIA の正極および負極入力の両方に表れ、この差異はアンプによって除去されます。RSE グラウンド基準設定のように、デバイスの入力回路がグラウンドを基準としている場合、このグラウンド電位差は測定された電圧に誤差として表れます。

チャンネルを RSE または NRSE 入力モードに構成するには DAQ アシスタントを使用します。DAQ アシスタントの詳細については、「[ソフトウェアで AI グラウンド基準設定を構成する](#)」セクションを参照してください。

配線に関する注意事項

信号ソースとデバイス間に信号線を引く際に適切な処置を施さない場合、環境ノイズがデバイスの測定精度に深刻な影響を与える可能性があります。以下は、主にデバイスへの AI 信号の経路に関する注意事項ですが、一般的な信号経路にも適用できます。

ノイズによる影響を最小化して測定の精度を最大化するためには、以下の対策が有効です。

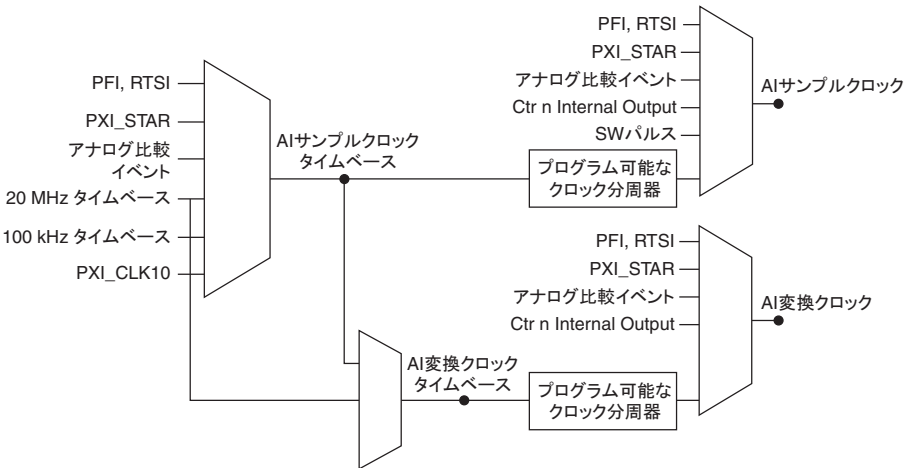
- DIFF AI 接続を使用して、コモンモードノイズを除去します。
- AI 信号をデバイスに接続する際に、個別にシールドされたツイストペアワイヤを使用します。この種類のワイヤでは、正極と負極の入力チャンネルに取り付けられた信号線がより合わせてあり、シールドで覆われています。そして、このシールドを一箇所でのみ信号ソースグラウンドに接続します。大規模な磁場または高電磁波妨害のある領域を通過する信号には、このようなタイプの接続が必要です。

詳細については、「アナログ信号の配線とノイズに関する注意事項」を参照してください。このドキュメントを参照するには、ni.com/info で Info Code に「rdfwn3」と入力してください。

アナログ入カタイミング信号

このセクションで説明されているすべてのタイミング機能を提供するため、M シリーズデバイスは柔軟なタイミングエンジンを備えています。図 4-12 は、アナログ入カタイミングエンジンが提供するすべてのタイミングオプションの概要を示しています。第 9 章「デジタル接続とクロック生成」の「クロック経路設定」セクションも参照してください。

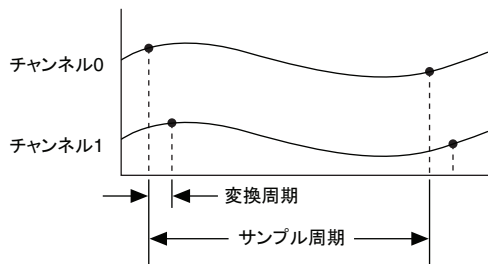
図 4-12. アナログ入力タイミングのオプション



M シリーズデバイスは、AI サンプルクロック (ai/SampleClock) および AI 変換クロック (ai/ConvertClock) を使用して間隔サンプリングを行います。図 4-13 が示すように、サンプル周期は、以下の式で定義され、AI サンプルクロック (ai/SampleClock) により制御されます。

$$1/\text{サンプル周期} = \text{サンプルレート}$$

図 4-13. 間隔サンプリング



変換周期は、以下の式で定義され、AI 変換クロックにより制御されます。

$$1/\text{変換周期} = \text{変換レート}$$

通常、このレートは、タスクのサンプルレートをタスク内のチャンネル数で乗算したレートです。

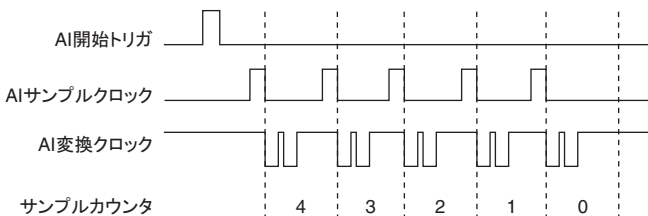


メモ サンプルレートは、デバイスで正確なデータを集録できる最大速度です。たとえば、M シリーズデバイスのサンプルレートが 250 kS/s の場

合、このサンプルレートは総計であるため、1 チャンネルでは 250 kS/s、2 チャンネルでは各チャンネルにつき 125 kS/s となります。

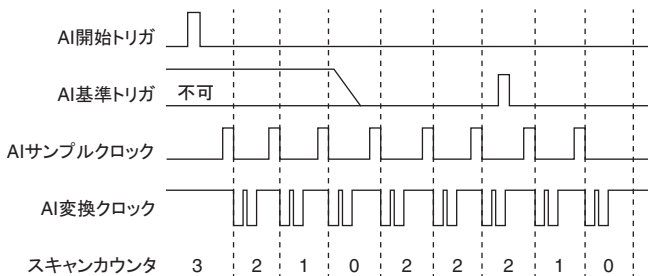
ポストトリガデータ収集を実行すると、トリガイベントを受信した後のデータのみを表示できます。図 4-14 は、標準的なポストトリガ DAQ シーケンスを示しています。サンプルカウンタに、指定されたポストトリガサンプル数がロードされます (この例では 5)。値は、目標のサンプル数が取得されるまで、AI サンプルクロックのパルスごとに減分します。

図 4-14. ポストトリガデータ収集の例



プレトリガデータ収集を実行すると、トリガ後に集録されたデータに加え、トリガ前に集録したデータも表示できます。図 4-15 は、標準的なプレトリガ DAQ シーケンスを示しています。AI 開始トリガ (ai/StartTrigger) は、ハードウェアまたはソフトウェアのいずれかの信号になります。AI 開始トリガがソフトウェアの開始トリガとして設定されている場合は、集録開始時に ai/StartTrigger ラインからパルスが出力されます。AI 開始トリガパルスが発生すると、サンプルカウンタにプレトリガサンプル数がロードされます (この例では 4)。値は、AI サンプルクロックの各パルスごとに減少します。その後、サンプルカウンタにポストトリガサンプル数がロードされます (この例では 3)。

図 4-15. プレトリガデータ収集の例



指定されたプレトリガサンプル数が集録される前に、AI 基準トリガ (ai/ReferenceTrigger) パルスが発生した場合、トリガパルスは無視されます。それ以外の場合は、AI 基準トリガパルスが発生すると、指定されたポストトリガサンプル数が集録されるまでサンプルカウンタ値が減少します。

M シリーズデバイスは、以下のアナログ入カタイミング信号の機能を備えています。

- 「AI サンプルクロック信号」
- 「AI サンプルクロックタイムベース信号」
- 「AI 変換クロック信号」
- 「AI 変換クロックタイムベース信号」
- 「AI ホールド完了イベント信号」
- 「AI 開始トリガ信号」
- 「AI 基準トリガ信号」
- 「AI 一時停止トリガ信号」

AI サンプルクロック信号

測定を開始するには、AI サンプルクロック (ai/SampleClock) 信号を使用します。M シリーズデバイスは、タスク内の各チャンネルの AI 信号を、各 AI サンプルクロックごとに一回サンプルします。測定データは、1 つ以上のサンプルで構成されていません。

AI サンプルクロックには、内部または外部ソースを指定できます。さらに、測定データのサンプルを、AI サンプルクロックの立ち上がりエッジと立ち下がりエッジのどちらで開始するかを指定することもできます。

内部ソースを使用する

以下のいずれかの内部信号を AI サンプルクロックとして使用できます。

- Counter *n* Internal Output
- AI サンプルクロックタイムベース (分周後)
- ホストソフトウェアにより開始されるパルス

プログラム可能な内部カウンタが、サンプルクロックタイムベースを分周します。

内部信号には、RTSI を介して AI サンプルクロックに経路設定できるものがいくつかあります。詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』の「MAX でのデバイス経路設定」を参照してください。

外部ソースを使用する

以下のいずれかの外部信号を AI サンプルクロックのソースとして使用します。

- PFI <0..15>
- RTSI <0..7>
- PXI_STAR
- アナログ比較イベント (アナログトリガ)

AI サンプルクロック信号を出力端子に経路設定する

AI サンプルクロック出力は、PFI <0..15> または RTSI <0..7> 端子のいずれにも経路設定できます。このパルスは常にアクティブ HIGH です。

出力には2つの動作のいずれかを指定できます。パルス動作では、AI サンプルクロックが発生する度に、DAQ デバイスが PFI 端子に短いパルスを発生します。

レベル動作では、DAQ デバイスはサンプル中に PFI 端子を HIGH に設定します。

すべての PFI 端子はデフォルトで入力として構成されています。

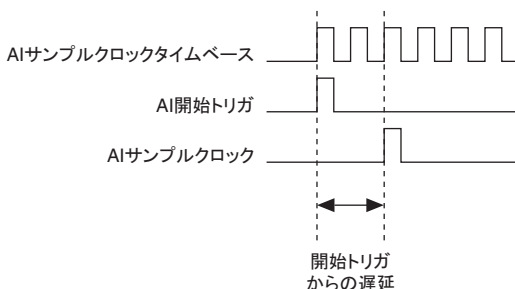
その他のタイミング要件

DAQ デバイスは、集録中にのみデータを集録します。デバイスは、測定データの集録が進行中でない間、AI サンプルクロックを無視します。AI 一時停止トリガ信号を使用すると、測定データの集録中、DAQ デバイスが AI サンプルクロックを無視するように設定することもできます。

外部ソースが選択されていない場合、デバイスは内部で AI サンプルクロックを生成します。このカウンタは、AI 開始トリガにより開始され、有限集録が完了すると、ソフトウェアまたはハードウェアにより停止されます。内部で生成された AI サンプルクロックを使用する場合、AI 開始トリガと最初の AI サンプルクロックパルス間の構成可能な遅延を指定することもできます。デフォルトでは、この遅延は AI サンプルクロックタイムベース信号の2ティックに設定されています。外部で生成された AI サンプルクロックを使用する場合は、AI 変換クロックのタイミング要件をクロック信号が満たしていることを確認する必要があります。この確認を怠ると、AI サンプルクロックパルスがマスクされ、サンプル間隔にエラーを引き起こす可能性があります。AI 変換クロックおよび AI サンプルクロック間のタイミング要件の詳細については、「AI 変換クロック信号」を参照してください。

図 4-16 は、AI サンプルクロックと AI 開始トリガの関係を示しています。

図 4-16. AI サンプルクロックと AI 開始トリガ



AI サンプルクロックタイムベース信号

AI サンプルクロックタイムベース (ai/SampleClockTimebase) 信号としては、以下の信号を経路設定できます。

- 20 MHz タイムベース
- 100 kHz タイムベース
- PXI_CLK10
- RTSI <0..7>
- PFI <0..15>
- PXI_STAR
- アナログ比較イベント (アナログトリガ)

AI サンプルクロックタイムベースは、I/O コネクタで出力として使用できません。AI サンプルクロックタイムベースは分周されて、AI サンプルクロックのソースとして使用可能な信号を提供します。AI サンプルクロックタイムベースの極性選択を、立ち上がりエッジまたは立ち下がりエッジに構成できます。

AI 変換クロック信号

単一のチャンネルで単一の A/D 変換を行うには、AI 変換クロック (ai/ConvertClock) 信号を使用します。1 個のサンプル (AI サンプルクロックにより制御される) は、1 個または複数の変換により構成されます。

AI 変換クロックのソースとしては、内部または外部信号を指定できます。さらに、測定データのサンプルを、AI 変換クロックの立ち上がりエッジと立ち下がりエッジのどちらで開始するかを指定することもできます。

NI-DAQmx は、A/D 変換器の速度に基づいて最速な変換レートを選択し、適切な整定時間を確保するため、各チャンネルの間に 10 μ s の遅延を追加します。この仕組みによって、各チャンネルでのほぼ同時のサンプリングが可能になり、また十分な整定時間が与えられます。AI サンプルクロックレートが速すぎて 10 μ s の遅延を追加できない場合、NI-DAQmx は AI 変換クロックがサンプル全体に渡って均一にパルスを生成できる変換レートを選択します。

変換レートは、**AI 変換クロックレート DAQmx タイミングプロパティ** ノードまたは関数を使用して明示的に指定することもできます。



メモ 変換レートをデバイスの最大レートより高く設定すると、エラーが発生します。

内部ソースを使用する

以下のいずれかの内部信号を AI 変換クロックとして使用できます。

- AI 変換クロックタイムベース (分周後)
- Counter *n* Internal Output

プログラム可能な内部カウンタは、AI 変換クロックタイムベースを分周して AI 変換クロックを生成します。カウンタは AI サンプルクロックによって開始され、0 になるまで継続し、AI 変換クロックを生成した後で再ロードし、このプロセスをサンプルが完了するまで繰り返します。その後、次の AI サンプルクロックパルスの準備のために再ロードします。

外部ソースを使用する

以下のいずれかの外部信号を AI 変換クロックのソースとして使用します。

- PFI <0..15>
- RTSI <0..7>
- PXI_STAR
- アナログ比較イベント (アナログトリガ)

AI 変換クロック信号を出力端子に経路設定する

AI 変換クロック (アクティブ LOW 信号としての) は、PFI <0..15> または RTSI <0..7> 端子のいずれにも経路設定できます。

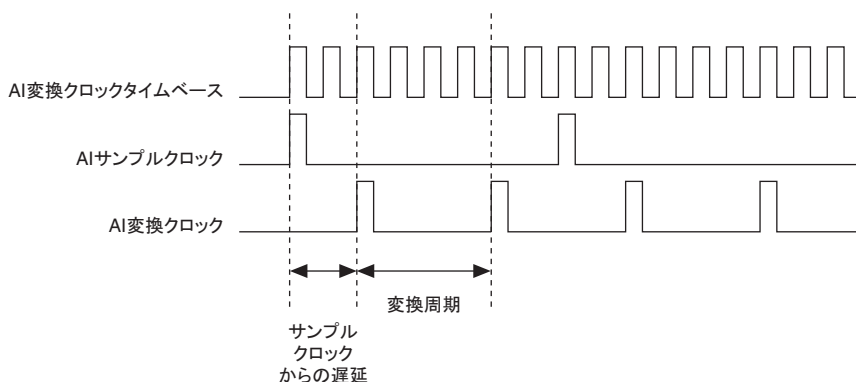
すべての PFI 端子はデフォルトで入力として構成されます。

サンプルクロックの遅延を変換クロックで使用する

内部で生成された AI 変換クロックを使用する場合、AI サンプルクロックと最初の AI 変換クロックパルス間の構成可能な遅延をサンプル内で指定することもできます。デフォルトでは、この遅延は AI 変換クロックタイムベースの 3 ティックです。

図 4-17 は、AI サンプルクロックと AI 変換クロックの関係を示しています。

図 4-17. AI サンプルクロックと AI 変換クロック



その他のタイミング要件

M シリーズデバイスのサンプルと変換レベルタイミングでは、適切なタイミング要件が満たされない限り、クロック信号は無視されます。たとえば、デバイスは、有効な AI 開始トリガ信号を受信するまで、AI サンプルクロックと AI 変換クロックの両方無視します。デバイスは、AI サンプルクロックパルスを一度認識すると、正しい数の AI 変換クロックパルスを受信するまで、それ以降の AI サンプルクロックパルスを無視します。

同様に、デバイスは AI サンプルクロックパルスを認識するまで、すべての AI 変換クロックパルスを無視します。デバイスは、正しい数の AI 変換クロックパルスを受信すると、次の AI サンプルクロックを受信するまで、それ以降の AI 変換クロックパルスを無視します。図 4-18、4-19、4-20、および 4-21 は、4 チャンネル集録のタイミングシーケンス (AI チャンネル 0、1、2、および 3 を使用) を示し、AI サンプルクロックと AI 変換クロックの適切および不適切なシーケンスを説明しています。

図 4-18. AI サンプルクロックパルスが無視されている
(AI サンプルクロックが変換クロックに対して速過ぎる場合)

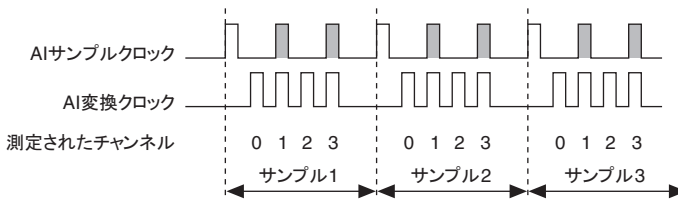


図 4-19. AI 変換クロックパルスが無視されている
(AI 変換クロックが AI サンプルクロックに対して速過ぎる場合)

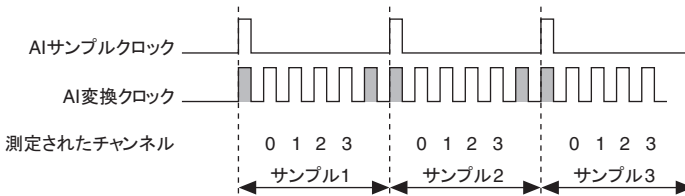


図 4-20. 不適切な AI サンプルクロックと AI 変換クロックの組み合わせ
(非周期的なサンプリングの原因となる)

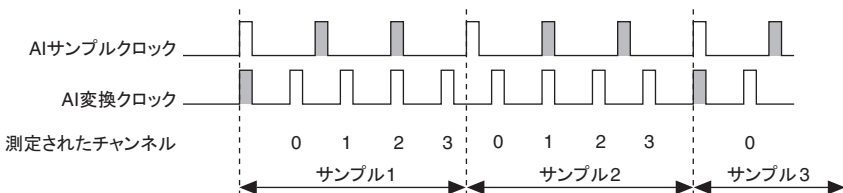
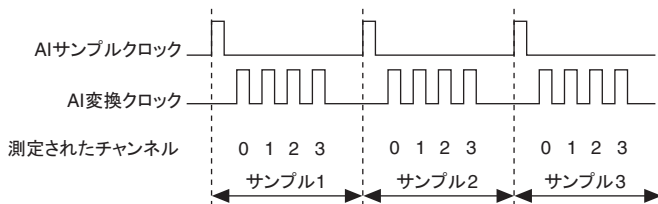
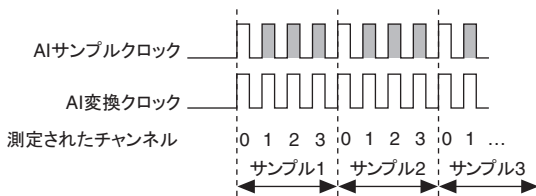


図 4-21. 適切な AI サンプルクロックと AI 変換クロックの組み合わせ



単一の外部信号を使用して、AI サンプルクロックと AI 変換クロックの両方を同時に駆動することも可能です。このモードでは、外部クロックの各ティックによって ADC で変換が起こります。図 4-22 は、タイミングの関係を示しています。

図 4-22. 単一の外部信号が両方のクロックを同時に駆動



AI 変換クロックタイムベース信号

AI 変換クロックタイムベース (ai/ConvertClockTimebase) 信号は分周されて、AI 変換クロックのソースとして使用可能な信号を提供します。AI 変換クロックタイムベースのソースとしては、以下のいずれかを使用します。

- AI サンプルクロックタイムベース
- 20 MHz タイムベース

AI 変換クロックタイムベースは、I/O コネクタで出力として使用できません。

AI ホールド完了イベント信号

AI ホールド完了イベント (ai/HoldCompleteEvent) 信号は、各 A/D 変換の開始後にパルスを生成します。AI ホールド完了イベント出力は、PFI <0..15> または RTSI <0..7> 端子のいずれにも経路設定できます。

AI ホールド完了イベントの極性はソフトウェアで選択できますが、通常は立ち上がりエッジによって外部 AI マルチプレクサのクロック制御を行うことで、入力信号がサンプリングされて次に移行可能なタイミングを示すように構成されています。

AI 開始トリガ信号

測定データの集録を開始するには、AI 開始トリガ (ai/StartTrigger) 信号を使用します。測定データは、1 つ以上のサンプルで構成されています。トリガを使用しない場合は、ソフトウェアコマンドによって測定を開始します。集録が開始したら、以下のいずれかの方法で集録が終了するように構成できます。

- 指定したサンプル数が集録されたとき (有限モードの場合)
- ハードウェアの基準トリガが発生したとき (有限モードの場合)
- ソフトウェアコマンドが発行されたとき (連続モードの場合)

開始トリガ (基準トリガではなく) を使用する集録は、ポストトリガ集録とも呼ばれます。

デジタルソースを使用する

デジタルソースで AI 開始トリガを使用する場合は、ソースとエッジを指定します。以下の信号をソースとして使用できます。

- PFI <0..15>
- RTSI <0..7>
- Counter *n* Internal Output
- PXI_STAR

また、DAQ デバイスのその他の内部信号の 1 つをソースとして使用することもできます。詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』の「MAX でのデバイス経路設定」を参照してください。

さらに、測定データの集録を AI 開始トリガの立ち上がりエッジと立ち下がりエッジのどちらで開始するかを指定することもできます。

アナログソースを使用する

アナログトリガソースを使用する場合、集録はアナログ比較イベント信号の最初の立ち上がりエッジで開始します。

AI 開始トリガを出力端子に経路設定する

AI 開始トリガ出力は、PFI <0..15> または RTSI <0..7> 端子のいずれにも経路設定できます。出力はアクティブ HIGH パルスです。すべての PFI 端子はデフォルトで入力として構成されています。

また、デバイスは AI 開始トリガを使用して DAQ のプレトリガ操作を行います。通常のプレトリガアプリケーションでは、ソフトウェアトリガが AI 開始トリガを生成します。AI 開始トリガおよび AI 基準トリガを DAQ のプレトリガ操作で使用する方法的詳細については、「[AI 基準トリガ信号](#)」セクションを参照してください。

AI 基準トリガ信号

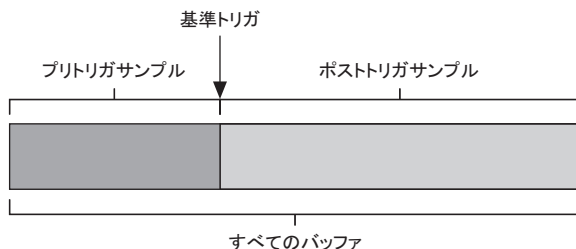
測定データの集録を停止するには、AI 基準トリガ (ai/ReferenceTrigger) 信号を使用します。基準トリガを使用するには、有限サイズのバッファとプレトリガサンプル数 (基準トリガの前に集録されるサンプル数) を指定します。集録されるポストトリガサンプル (基準トリガの後に集録されるサンプル) の数は、バッファサイズからプレトリガサンプルの数を引いた数です。

集録が開始されると、DAQ デバイスはバッファにサンプルを書き込みます。DAQ デバイスが指定された数のプレトリガサンプルをキャプチャすると、DAQ デバイスは基準トリガ条件の検索を開始します。DAQ デバイスが指定された数のプレトリガサンプルをキャプチャする前に基準トリガの条件が満たされた場合、その条件は無視されます。

バッファが一杯になると、DAQ デバイスは継続的にバッファ内の一番古いサンプルから順に破棄し、新しいサンプルを格納する場所を確保します。DAQ デバイスがまだ破棄していないバッファデータには、ある程度の制限はありますがアクセスできます。詳細については、技術サポートデータベースのドキュメント「Can a Pretriggered Analog Acquisition be Continuous?」を参照してください。この技術サポートデータベースのドキュメントを参照するには、ni.com/info で Info Code に「rdcanq」と入力してください。

基準トリガが発生すると、DAQ デバイスはバッファに必要な数のポストトリガサンプルが蓄積されるまでサンプルをバッファに書き込み続けます。図 4-23 は、最終バッファを示しています。

図 4-23. 基準トリガの最終バッファ



デジタルソースを使用する

デジタルソースで AI 基準トリガを使用する場合は、ソースとエッジを指定します。以下の信号をソースとして使用できます。

- PFI <0..15>
- RTSI <0..7>
- PXI_STAR

また、ソースは DAQ デバイスの内部信号の 1 つとして使用することもできます。詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』の「MAX でのデバイス経路設定」を参照してください。

さらに、測定データの集録を AI 基準トリガの立ち上がりエッジと立ち下がりエッジのどちらで停止するかを指定することもできます。

アナログソースを使用する

アナログトリガソースを使用する場合、集録はアナログ比較イベント信号の最初の立ち上がりエッジで停止します。

AI 基準トリガ信号を出力端子に経路設定する

AI 基準トリガ出力は、PFI <0..15> または RTSI <0..7> 端子のいずれにも経路設定できません。

すべての PFI 端子はデフォルトで入力として構成されます。

AI 一時停止トリガ信号

測定データの集録を一時停止または再開するには、AI 一時停止トリガ (ai/PauseTrigger) 信号を使用します。内部サンプルクロックは、外部トリガ信号がアクティブな間一時停止し、信号が非アクティブになると再開します。一時停止トリガのアクティブレベルは、HIGH または LOW のどちらかに指定できます。

デジタルソースを使用する

AI 一時停止トリガを使用するには、ソースと極性を指定します。以下の信号をソースとして使用できます。

- PFI <0..15>
- RTSI <0..7>
- PXI_STAR

また、ソースは DAQ デバイスの内部信号の 1 つとして使用することもできます。詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』の「MAX でのデバイス経路設定」を参照してください。

アナログソースを使用する

アナログトリガソースを使用する場合、内部サンプルクロックはアナログ比較イベント信号が LOW になると一時停止し、HIGH になると再開します (または HIGH になると一時停止し、LOW になると再開します)。

AI 一時停止トリガ信号を出力端子に経路設定する

AI 一時停止トリガは RTSI <0..7> に経路設定できます。



メモ 一時停止トリガは、ソースのレベルにのみ反応し、エッジは無視します。

AI アプリケーションソフトウェアについて

M シリーズデバイスは、次のアナログ入力アプリケーションで使用できます。

- シングルポイントアナログ入力
- 有限アナログ入力
- 連続アナログ入力

これらのアプリケーションは、DMA、割り込み、またはプログラム I/O データ転送メカニズムを通じて実行できます。一部のアプリケーションは、開始、基準、そして一時停止トリガも使用します。



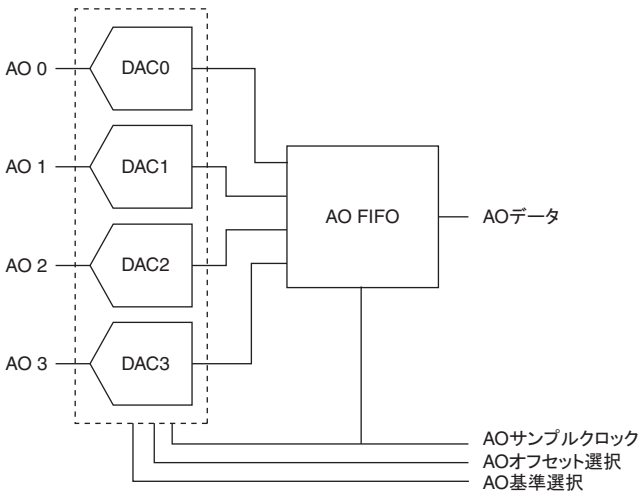
メモ ソフトウェアでアナログ入力アプリケーションおよびトリガをプログラミングする詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』を参照してください。

アナログ出力

多くの M シリーズデバイスは、アナログ出力機能を備えています。アナログ出力に対応する M シリーズデバイスには、単一のクロックで制御される、波形生成が可能な AO チャンネルが 2 個または 4 個あります。各デバイスの機能の詳細については、デバイスの仕様書を参照してください。

図 5-1 は、M シリーズデバイスのアナログ出力回路を示しています。

図 5-1. M シリーズアナログ出力回路



M シリーズアナログ出力回路に装備されている主なコンポーネントは、以下のとおりです。

- **DAC**— D/A 変換器 (DAC) は、デジタルコードをアナログ電圧に変換します。
- **AO FIFO**— AO FIFO は、アナログ出力波形生成を可能にします。これは、コンピュータと DAC 間の FIFO (First-In-First-Out) メモリバッファです。ホストコンピュータの介入なしで、波形ポイントを M シリーズデバイスにダウンロードすることを可能にします。
- **AO サンプルクロック**— AO サンプルクロック信号は、DAC FIFO からサンプルを読み取り、AO 電圧を生成します。
- **AO オフセットと AO 基準選択**— AO オフセットと AO 基準選択信号により、アナログ出力レンジを変更できます。

AO オフセットと AO 基準選択

AO オフセットと AO 基準選択信号を使用すると、AO レンジを設定できます。AO レンジは、デバイスが生成できる電圧を表します。DAC のデジタルコードは、AO レンジ内に均等に広がっています。このため、レンジが狭いほど、2 つの連続するコードの間の電圧出力の差異が小さくなり、AO の分解能が高くなります。したがって、AO の確度がより高くなります。

デバイスの AO レンジ:

(AO オフセット - AO 基準) と (AO オフセット + AO 基準) の間の全電圧

AO 基準に使用できる設定は、デバイスのモデルによって異なります。以下に記載されていないモデルについては、各デバイスの仕様を参照してください。

- **(NI 622x デバイス)** NI 622x デバイスでは、AO オフセットは常に 0 V (AO GND) です。AO 基準は常に 10 V です。よって、NI 622x デバイスでは、AO レンジ = ± 10 V です。
- **(NI 625x デバイス)** NI 625x デバイスでは、AO オフセットは常に 0 V (AO GND) です。各アナログ出力 (AO <0..3>) の AO 基準は、個々に以下のいずれかに設定できます。
 - ± 10 V
 - ± 5 V
 - $\pm \text{APFI} \langle 0,1 \rangle$

外部信号を APFI <0,1> に接続すると、AO 基準を提供できます。AO 基準には、正または負の電圧を指定できます。AO 基準が負の電圧の場合、AO 出力の極性は反転されます。APFI <0,1> の有効なレンジは、デバイスの仕様に一覧があります。

AO <0..3> 信号のいずれかを、別の AO 信号の AO 基準として使用できます。ただし、このチャンネルを外部で APFI 0 または APFI 1 に接続する必要があります。

- **(NI 628x デバイス)** NI 628x デバイスでは、各アナログ出力の AO オフセットは、個々に以下のいずれかに設定できます。
 - 0 V (AO GND)
 - 5 V
 - APFI <0,1>
 - AO <0..3>

外部信号を APFI <0,1> に接続すると、AO オフセットを提供できます。

AO <0..3> 信号のいずれかの出力を、別の AO <0..3> 信号の AO オフセットとして経路設定できます。たとえば、AO 0 は、AO 1 の AO オフセットとなるように経路設定できます。この経路設定は、デバイス上で行われるため、外部接続は必要ありません。

AO チャンネルは、自身のオフセットとしては経路設定できません。

NI 628x デバイスでは、各アナログ出力の AO 基準は、個々に以下のいずれかに設定できます。

- $\pm 10\text{ V}$
- $\pm 5\text{ V}$
- $\pm\text{APFI} \langle 0,1 \rangle$
- $\pm\text{AO} \langle 0..3 \rangle$

外部信号を APFI $\langle 0,1 \rangle$ に接続すると、AO 基準を提供できます。

AO $\langle 0..3 \rangle$ 信号のいずれかの出力を、別の AO $\langle 0..3 \rangle$ 信号の AO 基準として経路設定できます。たとえば、AO 0 は、AO 1 の AO 基準となるように経路設定できます。この経路設定は、デバイス上で行われるため、外部接続は必要ありません。

AO チャンネルは、自身の基準としては経路設定できません。

AO 基準には、正または負の電圧を指定できます。AO 基準が負の電圧の場合、AO 出力の極性は反転されます。



メモ 外部基準を使用する場合、出力信号はソフトウェアでキャリブレートされません。値を生成して電圧オフセットを測定し、ソフトウェアで出力をキャリブレートできます。

出力信号のグリッチを抑える

DAC を使用して波形を生成する場合、出力信号でグリッチが発生することがあります。これらのグリッチは、DAC の電圧が切り替わる時に解放されるチャージによって発生するものであり、正常です。最大グリッチは DAC コードの最大ビットが変化するときが発生します。周波数や出力信号の特性によっては、ローパスグリッチ除去フィルタを作成することにより、これらのグリッチをある程度除去できます。グリッチを抑える方法については、ni.com/support を参照してください。

アナログ出力データの生成方法

アナログ出力処理には、ソフトウェアタイミングまたはハードウェアタイミングによる生成のいずれかを使用できます。

ソフトウェアタイミング生成

ソフトウェアタイミングによる生成では、データを生成する速度をソフトウェアで制御します。ソフトウェアは、各 DAC 変換を開始するためにそれぞれ独立したコマンドをハードウェアに送ります。NI-DAQmx では、ソフトウェアタイミングによるデータ生成はオンデマンドタイミングと呼ばれています。ソフトウェアタイミングによる生成は、即時処理またはスタティック処理とも呼ばれます。通常は、固定 DC 電圧などの単一値の出力を書き込むために使用されます。

ハードウェアタイミングによる生成

ハードウェアタイミングによる生成では、ハードウェアのデジタル信号によってデータ生成速度を制御します。この信号は、デバイス内部で生成するか、外部から供給します。

ハードウェアタイミングは、ソフトウェアタイミングと比較していくつかの利点があります。

- サンプリングの間隔を大幅に短く設定可能。
- サンプリングの間隔が確定的。
- ハードウェアタイミング生成ではハードウェアトリガを使用可能。

ハードウェアタイミング集録では、バッファを使用する場合としない場合があります。バッファとは、これから生成されるサンプルを一時的にコンピュータ内に保持する場所です。

- **バッファ型**—バッファ型集録では、PCI/PCIe/PXI/PXIE デバイスまたは USB 信号ストリームの DMA または割り込みにより、データは PC バッファから DAQ デバイスのオンボード FIFO に移動されてから、DAC に 1 サンプルずつ書き込まれます。バッファ型集録では、データが個々のポイントごとではなく大きなブロックごとに移動されるため、バッファを使用しない場合よりも高速な転送レートを実現できます。

バッファ型 I/O 操作のプロパティの 1 つは、サンプルモードです。サンプルモードは有限または連続から選択できます。

- 有限サンプルモード生成では、特定のデータサンプルが指定した数だけ生成されます。指定された数のサンプルが書き込まれると、サンプル生成は停止します。
- 連続生成では、サンプルの数は指定されません。このモードでは、一定数のデータサンプルを生成した後には停止するのではなく、連続生成はユーザが操作を停止するまで続きます。連続生成では、書き込まれるデータを制御する方法がいくつかあります。これらの方法は、再生成モード、FIFO 再生成モード、非再生成モードです。
 - 再生成モードでは、バッファにすでにあるデータを繰り返し出力します。標準の再生成では、データは PC バッファから連続的に FIFO にダウンロードされ、出力されます。出力処理に干渉することなく、PC バッファに随時新しいデータを書き込めます。
 - FIFO 再生成モードでは、バッファ全体が FIFO にダウンロードされ、そこから再生成されます。データのダウンロードが完了すると、それ以降は FIFO に新しいデータを書き込めません。FIFO 再生成モードを使用するには、バッファ全体が FIFO サイズ以下である必要があります。FIFO 再生成モードの利点は、一度操作を開始するとメインホストメモリとやり取りする必要がなくなるため、過剰なバストラフィックによる問題が発生しなくなることです。

- 非再生成モードでは、古いデータは再利用されません。新しいデータを次々とバッファに書き込む必要があります。プログラムが新しいデータを書き込む速度よりもサンプルが生成される速度の方が速い場合、バッファでアンダーフローが発生し、エラーの原因となります。
- **非バッファ型**—非バッファ型集録では、データがデバイス上のDACに直接書き込まれます。通常、ハードウェアタイミングのバッファなし操作は、サンプル間の時間増分が周知で、待ち時間が適切な単一サンプルを書き込むために使用されます。



メモ (NI USB-62xx デバイス) USB M シリーズデバイスは、非バッファ型ハードウェアタイミング操作をサポートしていません。

アナログ出力トリガ

アナログ出力は、2つの異なるトリガアクションをサポートします。

- 開始トリガ
- 一時停止トリガ

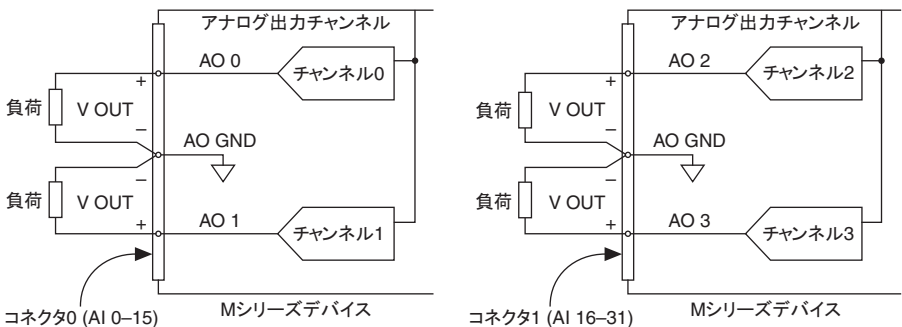
アナログトリガとデジタルトリガは、これらのアクションを発生させることができます。デジタルトリガはすべてのMシリーズデバイスでサポートされていますが、アナログトリガは一部のデバイスではサポートされていません。各デバイスのトリガオプションの詳細については、デバイスの仕様書を参照してください。これらのトリガアクションの詳細については、「[AO 開始トリガ信号](#)」および「[AO 一時停止トリガ信号](#)」セクションを参照してください。

アナログ出力信号を接続する

AO <0..3> は、AO チャンネル 0、1、2、および 3 の電圧出力信号です。AO GND は、AO <0..3> のグラウンド基準です。

図 5-2 は、デバイスへの AO 接続の方法を示しています。

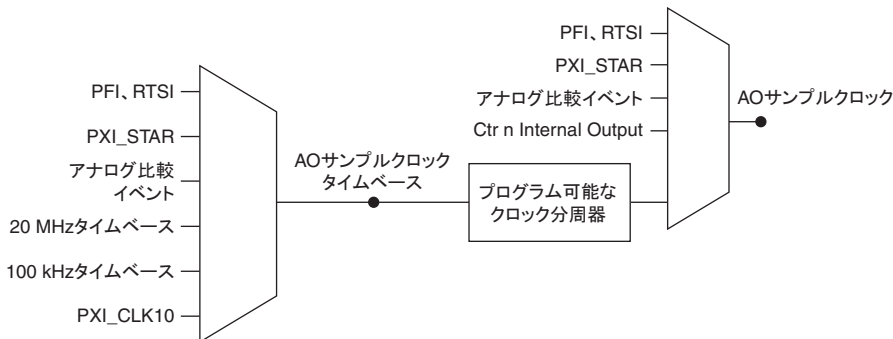
図 5-2. アナログ出力接続



アナログ出カタイミング信号

図 5-3 は、アナログ出カタイミングエンジンが提供するすべてのタイミングオプションの概要を示しています。

図 5-3. アナログ出カタイミングオプション



M シリーズデバイスは、以下の AO (波形生成) タイミング信号を備えています。

- 「AO 開始トリガ信号」
- 「AO 一時停止トリガ信号」
- 「AO サンプルクロック信号」
- 「AO サンプルクロックタイムベース信号」

AO 開始トリガ信号

波形生成を開始するには、AO 開始トリガ (ao/StartTrigger) 信号を使用します。トリガを使用しない場合は、ソフトウェアコマンドによって生成を開始します。

デジタルソースを使用する

AO 開始トリガを使用するには、ソースとエッジを指定します。ソースには、以下の信号のいずれかを使用できます。

- ホストソフトウェアにより開始されるパルス
- PFI <0..15>
- RTSI <0..7>
- AI 基準トリガ (ai/ReferenceTrigger)
- AI 開始トリガ (ai/StartTrigger)
- PXI_STAR

また、DAQ デバイスの内部信号の 1 つをソースとして使用することもできます。詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』の「MAX でのデバイス経路設定」を参照してください。

さらに、波形生成を AO 開始トリガの立ち上がりエッジと立ち下がりエッジのどちらで開始するかを指定することもできます。

アナログソースを使用する

アナログトリガソースを使用する場合、波形生成はアナログ比較イベント信号の最初の立ち上がりエッジで開始します。詳細については、第 11 章「トリガ」の「[アナログソースによるトリガ](#)」セクションを参照してください。

AO 開始トリガ信号を出力端子に経路設定する

AO 開始トリガ出力は、PFI <0..15> または RTSI <0..7> 端子のいずれにも経路設定できます。

出力はアクティブ HIGH パルスです。PFI 端子はデフォルトで入力として構成されています。

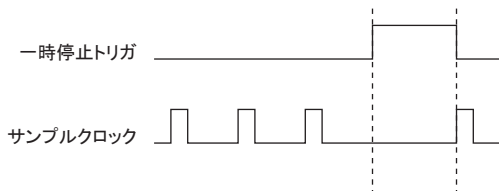
AO 一時停止トリガ信号

AO 一時停止トリガ (ao/PauseTrigger) 信号は、DAQ シーケンス内のサンプルをマスクオフするために使用します。つまり、AO 一時停止トリガがアクティブの時、サンプルは発生しません。

AO 一時停止トリガは、進行中のサンプルを停止しません。一時停止は次のサンプルが開始されるまで有効になりません。

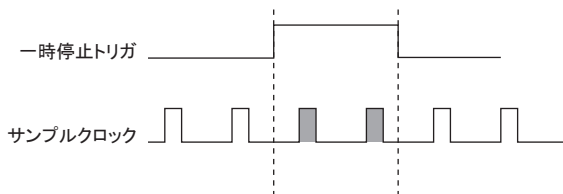
アナログ出力信号の生成は、一時停止トリガがアサートされるとすぐに停止します。サンプルクロックのソースがオンボードクロックの場合、信号生成は一時停止トリガがアサート解除されるとすぐに再開されます。図 5-4 を参照してください。

図 5-4. オンボードクロックソースによる AO 一時停止トリガ



オンボードクロック以外の信号をサンプルクロックのソースとして使用している場合は、一時停止トリガがアサート解除され、サンプルクロックの別のエッジが受信されるとすぐに信号生成が再開されます。図 5-5 を参照してください。

図 5-5. その他の信号ソースによる AO 一時停止トリガ



デジタルソースを使用する

AO 一時停止トリガを使用するには、ソースと極性を指定します。ソースには、以下の信号のいずれかを使用できます。

- PFI <0..15>
- RTSI <0..7>
- PXI_STAR

また、DAQ デバイスのその他の内部信号の 1 つをソースとして使用することもできます。詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』の「MAX でのデバイス経路設定」を参照してください。

また、AO 一時停止トリガが論理 HIGH レベルまたは LOW レベルのときにサンプルを一時停止するかどうかを指定することもできます。

アナログソースを使用する

アナログトリガソースを使用する場合は、アナログ比較イベント信号が HIGH のときにサンプリングが一時停止されます。詳細については、第 11 章「トリガ」の「アナログソースによるトリガ」セクションを参照してください。

AO 一時停止トリガ信号を出力端子に経路設定する

AO 一時停止トリガを RTSI <0..7> に経路設定できます。

AO サンプルクロック信号

AO サンプルを開始するには、AO サンプルクロック (ao/SampleClock) 信号を使用します。各サンプルは、すべての DAC の出力をアップデートします。AO サンプルクロックには、内部または外部ソースを指定できます。さらに、DAC のアップデートを AO サンプルクロックの立ち上がりエッジと立ち下がりエッジのどちらで開始するかを指定することもできます。

内部ソースを使用する

以下のいずれかの内部信号を AO サンプルクロックとして使用します。

- AO サンプルクロックタイムベース (分周後)
- Counter n Internal Output

プログラム可能な内部カウンタが、AO サンプルクロックタイムベース信号を分周します。

外部ソースを使用する

以下のいずれかの外部信号を AO サンプルクロックのソースとして使用します。

- PFI <0..15>
- RTSI <0..7>
- PXI_STAR
- アナログ比較イベント (アナログトリガ)

AO サンプルクロック信号を出力端子に経路設定する

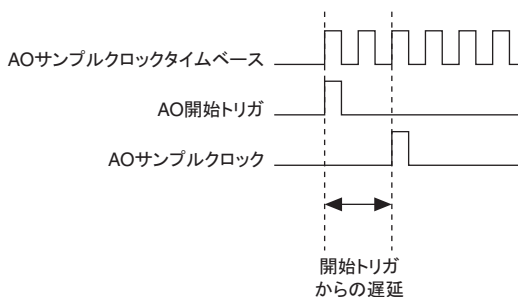
AO サンプルクロックは、アクティブ LOW 信号として、PFI <0..15> または RTSI <0..7> 端子のどれにでも経路設定できます。

その他のタイミング要件

外部ソースを選択しない場合、デバイス内のカウンタが AO サンプルクロックを生成します。カウンタは、AO 開始トリガにより開始され、有限生成の完了後にソフトウェアまたはハードウェアにより停止されます。内部で生成された AO サンプルクロックを使用する場合は、AO 開始トリガと最初の AO サンプルクロックパルス間の構成可能な遅延を指定することもできます。デフォルトでは、この遅延は AO サンプルクロックタイムベースの 2 ティックです。

図 5-6 は、AO サンプルクロックと AO 開始トリガの関係を示しています。

図 5-6. AO サンプルクロックと AO 開始トリガ



AO サンプルクロックタイムベース信号

AO サンプルクロックタイムベース (ao/SampleClockTimebase) 信号は分周されて、AO サンプルクロックのソースになります。

AO サンプルクロックタイムベース信号として以下の信号を経路設定できます。

- 20 MHz タイムベース
- 100 kHz タイムベース
- PXI_CLK10
- PFI <0..15>
- RTSI <0..7>
- PXI_STAR
- アナログ比較イベント (アナログトリガ)

AO サンプルクロックタイムベースは、I/O コネクタから出力するように構成できません。

外部サンプルクロック信号は、DAQ デバイス内部で分周することにより AO サンプルクロックタイムベース信号として使用可能です。外部サンプルクロック信号を使用する場合、分周を必要としない場合は、AO サンプルクロックタイムベースではなく AO サンプルクロックに経路接続する必要があります。

AO アプリケーションソフトウェアについて

M シリーズデバイスは、次のアナログ出力アプリケーションで使用できます。

- シングルポイント (オンデマンド) 生成
- 有限生成
- 連続生成
- 波形生成

これらの生成は、プログラム I/O、割り込み、または DMA データ転送メカニズムを通じて実行できます。一部のアプリケーションは、開始および一時停止トリガも使用します。



メモ ソフトウェアでアナログ出力アプリケーションおよびトリガをプログラミングする詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』を参照してください。

デジタル I/O

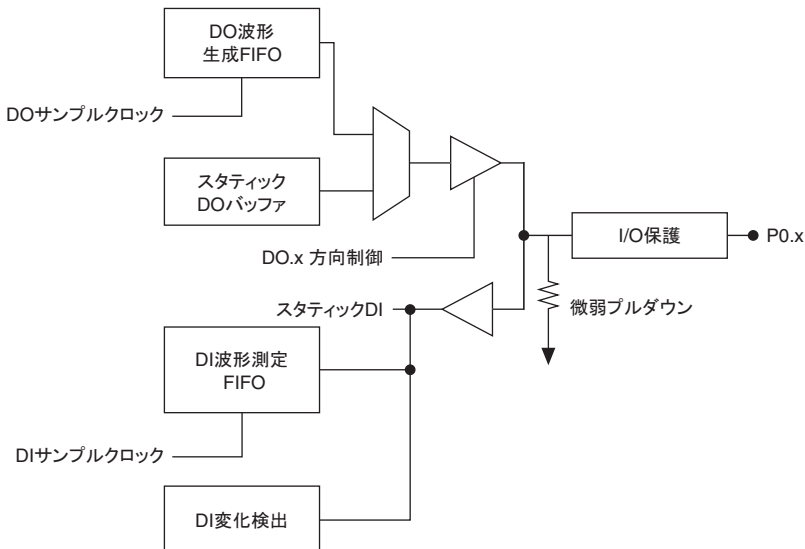
M シリーズデバイスのポート 0 には、最大 32 ラインの双方向 DIO 信号があります。さらに、M シリーズデバイスには、スタティック DIO 信号として機能できる最大 16 個の PFI 信号があります。

M シリーズデバイスは、ポート 0 で以下の DIO 機能をサポートしています。

- 最大 32 ラインの DIO
- 個別に制御できる各端子の方向と機能
- スタティックデジタル入出力
- 高速デジタル波形生成
- 高速デジタル波形集録
- DI 変化検出トリガ / 割り込み

図 6-1 は、1 個の DIO ラインの回路を示しています。各 DIO ラインは類似していません。以下のセクションは、DIO 回路のさまざまな部分の詳細を記載しています。

図 6-1. M シリーズのデジタル I/O 回路



DIO 端子は、M シリーズデバイスの I/O コネクタで、P0.<0..31> と名付けられています。

DIO ラインの電圧入力と出力レベルおよび電流駆動レベルは、各デバイスの仕様に記載されています。

スタティック DIO

M シリーズの各 DIO ラインは、スタティック DI または DO ラインとして使用できます。スタティック DIO は、デジタル信号の監視や制御に使用できます。各 DIO ラインは、デジタル入力 (DI) またはデジタル出力 (DO) として個々に構成できます。

スタティック DI ラインのサンプルと DO ラインのアップデートには、すべてソフトウェアタイミングが使用されます。

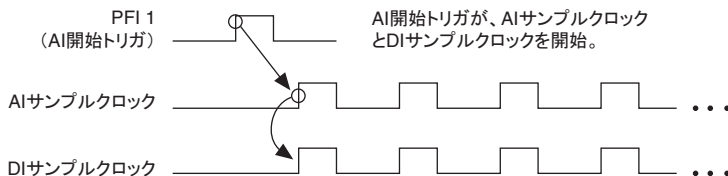
68 ピン M シリーズデバイスの P0.6 および P0.7 は、汎用カウンタ 0 および 1 のアップ/ダウン入力をそれぞれ制御することもできます。ただし、カウンタのアップ/ダウン入力の制御には PFI 信号を使用することが推奨されます。アップ/ダウン制御信号、Counter 0 Up_Down0 および Counter 1 Up_Down は入力のみで、DIO ラインの操作に影響を与えません。

デジタル波形トリガ

M シリーズデバイスには、デジタル波形を集録および生成するための独立した DI または DO 開始トリガはありません。DI または DO 操作をトリガするには、DI サンプルクロックまたは DO サンプルクロックのソースになる信号を最初を選択します。そして、ソース信号でパルスを開始するトリガを生成します。このトリガを生成する方法は、DI サンプルクロックまたは DO サンプルクロックのソースになる信号によって異なります。

たとえば、AI サンプルクロックを DI サンプルクロックのソースとして使用するとします。AI サンプルクロック (DI サンプルクロックのもとになるもの) でパルスを開始するには、AI 開始トリガを使用して、AI 操作の開始をトリガします。AI 開始トリガによって、M シリーズデバイスが AI サンプルクロックのパルスの生成を開始し、次に図 6-2 に示されているように、DI サンプルクロックのパルスが生成されます。

図 6-2. デジタル波形トリガ



同様に、AO サンプルクロックを DI サンプルクロックのソースとして使用する場合は、AO 開始トリガが AO と DI の両方の操作を開始します。

カウンタ出力は、DI サンプルクロックとして使用している場合は、カウンタの開始トリガが DI サンプルクロックを駆動するカウンタを有効にします。

DI サンプルクロックまたは DO サンプルクロックのソースとして外部信号 (PFI x など) を使用している場合は、外部信号をトリガする必要があります。

デジタル波形集録

デジタル波形は、ポート 0 DIO ラインで集録できます。DI 波形集録 FIFO はデジタルサンプルを格納します。M シリーズデバイスには、データを DI 波形集録 FIFO からシステムメモリに転送するための DMA コントローラがあります。DAQ デバイスは、DI サンプルクロック (クロック信号) の各立ち上がり / 立ち下がりエッジで DIO ラインをサンプリングします。

各 DIO ラインは、出力、スタティック入力、またはデジタル波形集録入力として構成できます。

M シリーズデバイスは、「[DI サンプルクロック信号](#)」デジタル入カタイミング信号を備えています。

DI サンプルクロック信号

DI サンプルクロック (di/SampleClock) 信号を使用して、P0.<0..31> 端子をサンプルし、結果を DI 波形集録 FIFO に保存します。M シリーズデバイスには、デジタル波形集録のためタイムベースを分周して、内部 DI サンプルクロックを生成する機能はありません。したがって、外部信号または他のサブシステムの内部信号の 1 つを DI サンプルクロックとして使用する必要があります。たとえば、AI サンプルクロックまたは AO サンプルクロックを DI サンプルクロックのソースとして共有し、デジタルサンプルとアナログサンプルの時間を相関させることができます。カウンタで必要なクロックが生成されるよう構成したり、外部信号を DI サンプルクロックのソースとして使用することで、AI、AO、DO 操作から独立するデジタル信号をサンプリングすることもできます。

DAQ デバイスは、FIFO が満杯のときに DI サンプルクロックを受信すると、ホストソフトウェアに対してオーバーフローエラーをレポートします。

内部ソースを使用する

内部ソースで DI サンプルクロックを使用するには、信号ソースと信号の極性を指定します。以下の信号をソースとして使用できます。

- AI サンプルクロック (ai/SampleClock)
- AI 変換クロック (ai/ConvertClock)
- AO サンプルクロック (ao/SampleClock)

- Counter n Internal Output
- 周波数出力
- DI 変化検出出力

内部信号には、RTSI を介して DI サンプルクロックに経路設定できるものがいくつかあります。詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「MAX でのデバイス経路設定」を参照してください。

外部ソースを使用する

次の信号を DI サンプルクロックとして経路設定できます。

- PFI <0..15>
- RTSI <0..7>
- PXI_STAR
- アナログ比較イベント (アナログトリガ)

DI サンプルクロックの立ち上がり / 立ち下がりエッジでデータをサンプリングできます。

DI サンプルクロックを出力端子に経路設定する

DI サンプルクロックは、任意の PFI 端子に経路設定できます。PFI 回路は、PFI 端子を駆動する前に DI サンプルクロックの極性を反転します。

デジタル波形生成

デジタル波形は、ポート 0 DIO ラインで生成できます。DO 波形生成 FIFO はデジタルサンプルを格納します。M シリーズデバイスには、データをシステムメモリから DI 波形集録 FIFO に移動するための DMA コントローラがあります。DAQ デバイスは、DO サンプルクロック (クロック信号) の各立ち上がり / 立ち下がりエッジで、サンプルを FIFO から DIO 端子に移動します。各 DIO 信号は、入力、スタティック出力、またはデジタル波形生成出力として構成できます。

FIFO は、再送信モードをサポートしています。再送信モードでは、FIFO のサンプルがすべてクロックアウトされると、FIFO は再度同じ順序ですべてのサンプルの出力を開始します。たとえば、FIFO にサンプルが 5 個が含まれている場合は、1 番、2 番、3 番、4 番、5 番、1 番、2 番、3 番、4 番、5 番、1 番、... というパターンで生成されます。

M シリーズデバイスは、「[DO サンプルクロック信号](#)」デジタル出カタイミング信号を備えています。

DO サンプルクロック信号

DO サンプルクロック (do/SampleClock) 信号を使用して、DO 波形生成 FIFO からの次のサンプルで DO 端子を更新します。M シリーズデバイスには、デジタル波形生成のためタイムベースを分周して、内部 DO サンプルクロックを生成する機能はありません。したがって、外部信号か他のサブシステムの内部信号の 1 つを DO サンプルクロックとして使用する必要があります。たとえば、AI サンプルクロックまたは AO サンプルクロックを DO サンプルクロックのソースとして共有し、デジタルサンプルとアナログサンプルの時間を相関させることができます。カウンタを使用して必要な DO サンプルクロックを生成したり、外部信号をクロックのソースとして使用することで、AI、AO、DI 操作から独立するデジタルデータを生成できます。

DAQ デバイスは、FIFO が空のときに DO サンプルクロックを受信すると、ホストソフトウェアに対してアンダーフローエラーをレポートします。

内部ソースを使用する

内部ソースで DO サンプルクロックを使用するには、信号ソースと信号の極性を指定します。以下の信号をソースとして使用できます。

- AI サンプルクロック (ai/SampleClock)
- AI 変換クロック (ai/ConvertClock)
- AO サンプルクロック (ao/SampleClock)
- Counter n Internal Output
- 周波数出力
- DI 変化検出出力

内部信号には、RTSI を介して DO サンプルクロックに経路設定できるものがいくつかあります。詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』の「MAX でのデバイス経路設定」を参照してください。

外部ソースを使用する

次の信号を DO サンプルクロックとして経路設定できます。

- PFI <0..15>
- RTSI <0..7>
- PXI_STAR
- アナログ比較イベント (アナログトリガ)

DO サンプルクロックの立ち上がり / 立ち下がりエッジでサンプルを生成できます。

DO サンプルクロックの 2 つのアクティブなエッジ間の時間が短くなり過ぎないように注意します。この時間が短すぎると、DO 波形生成 FIFO は次のサンプルを読み取ることができません。DAQ デバイスは、ホストソフトウェアにオーバーランエラーをレポートします。

DO サンプルクロックを出力端子に経路設定する

DO サンプルクロックは、任意の PFI 端子に経路設定できます。PFI 回路は、PFI 端子を駆動する前に DO サンプルクロックの極性を反転します。

I/O 保護

各 DIO および PFI 信号は、過電圧、低電圧、過電流の状態、および静電破壊から保護されています。ただし、以下のガイドラインに従って、これらの不良状態を回避する必要があります。

- PFI または DIO ラインを出力として構成する場合は、DIO ラインを外部信号ソースや、グラウンド、または電源に接続しないでください。
- PFI または DIO ラインを出力として構成する場合は、これらの信号に接続された負荷の電流要件を考慮する必要があります。DAQ デバイスの指定された電流出力制限を超えないでください。ナショナルインスツルメンツは、高電流駆動を必要とするデジタルアプリケーション用にいくつかの信号調節ソリューションを提供しています。
- PFI または DIO ラインを入力として構成する場合は、通常動作範囲外の電圧でラインを駆動しないでください。PFI または DIO ラインの動作範囲は、AI 信号の動作範囲よりも小さくなります。
- DAQ デバイスは、静電気放電に敏感なデバイスとして取り扱う必要があります。DAQ デバイスの操作や接続を行う際は、常に身体と装置に接地を施してください。

プログラム可能な電源投入時の状態

デフォルトで、システムの起動およびリセット時に、ハードウェアはすべての PFI および DIO ラインを高インピーダンス入力に設定します。DAQ デバイスは信号を HIGH または LOW で駆動しません。デバイスの仕様書に記載されているように、各ラインには微弱プルダウン抵抗が接続されています。

NI-DAQmx では、PFI および DIO ラインでプログラム可能な電源投入時の状態がサポートされています。ソフトウェアで P0、P1、および P2 ラインに起動時の任意の値をプログラムできます。PFI および DIO ラインは以下のように設定できます。

- 微弱プルダウン抵抗付きの高インピーダンス入力 (デフォルト)
- 0 を駆動する出力
- 1 を駆動する出力

NI-DAQmx または MAX で電源投入時の状態を設定する方法の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』を参照してください。

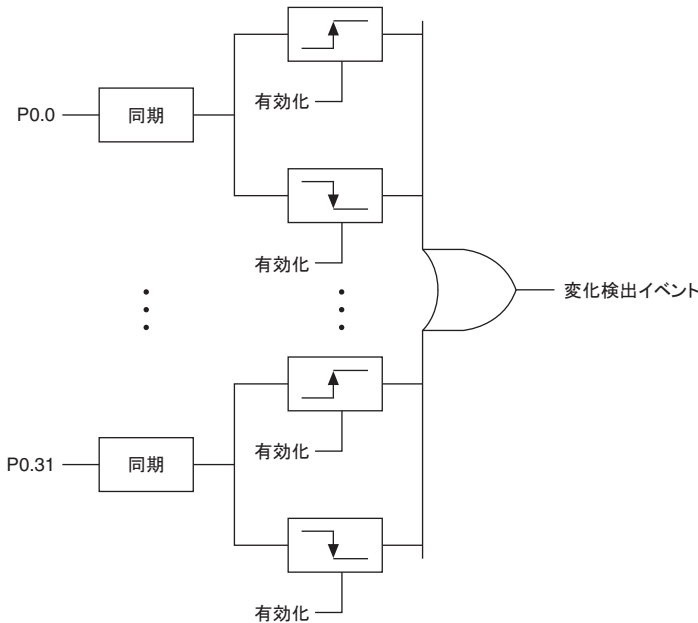


メモ M シリーズデバイスを使用して SCXI シャーシを制御する場合は、DIO ライン 0、1、2、および 4 が通信ラインとして使用されるため、これらの信号への悪影響を回避するためには、デフォルトの高インピーダンス状態のまま起動する必要があります。

DI 変化検出

DAQ デバイスは、DIO 信号の変更を検出するように構成できます。図 6-3 は、DIO 変化検出回路のブロック図を示しています。

図 6-3. DI 変化検出



メモ DI 変化検出は、NI-DAQmx 8.0 以降でサポートされています。

各 DIO ラインに対して、立ち上がりエッジ、立ち下がりエッジ、またはいずれかのエッジを検出するように DIO 変化検出回路を有効にできます。DAQ デバイスは、各 DI 信号を 80MHzTimebase に同期して、信号を変化検出器に送信します。回路は、各 DI 信号からの有効な変化検出器すべての出力に対して OR を実行します。この OR の結果は、変化検出イベント信号です。

変化検出イベントは、以下を実行できます。

- 任意の RTSI <0..7>、PFI <0..15>、または PXL_STAR 信号を駆動する
- DO サンプルクロックまたは DI サンプルクロックを駆動する
- 割り込みを生成する

また、変化検出イベント信号は、デジタル出力イベントの変化検出にも使用できます。

DI 変化検出アプリケーション

DIO 変化検出回路は、複数の DIO 信号のいずれかの状態が変化すると、ユーザプログラムに割り込みを送信できます。

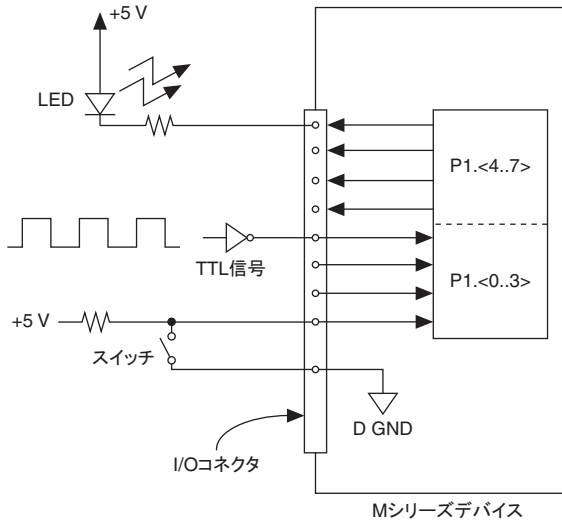
また、DIO 変化検出回路の出力を使用して、複数のデジタル信号の論理 OR で DI またはカウンタ集録をトリガすることもできます。単一のデジタル信号でのトリガの詳細については、第 11 章「トリガ」の「デジタルソースによるトリガ」セクションを参照してください。変化検出イベント信号をカウンタに経路設定することによって、サンプル間の相対的時間を得ることができます。

変化検出イベント信号を使用して、DO またはカウンタ生成をトリガすることもできます。

デジタル I/O 信号を接続する

DIO 信号、P0.<0..31>、P1.<0..7>、および P2.<0..7> は、D GND を基準にしています。各ラインは、入力または出力として個別にプログラムできます。図 6-4 では、P1.<0..3> がデジタル入力として、P1.<4..7> がデジタル出力として構成されています。デジタル入力アプリケーションは、TTL 信号の受信や外部デバイスの状態（上の図ではスイッチの状態など）の感知などを行います。デジタル出力アプリケーションは、TTL 信号の送信や外部デバイス（上の図では LED）の駆動などを行います。

図 6-4. デジタル I/O 接続



注意 各 M シリーズデバイスの仕様書に記載されている最大入力電圧を超えた場合、DAQ デバイスやコンピュータが損傷する可能性があります。ナショナルインスツルメンツは、このような信号接続を行ったことで生じる、いかなる損害の責任も負いません。

DIO アプリケーションソフトウェアについて

M シリーズデバイスは、次のデジタル I/O アプリケーションで使用できます。

- スタティックデジタル入力
- スタティックデジタル出力
- デジタル波形生成
- デジタル波形集録
- DI 変化検出

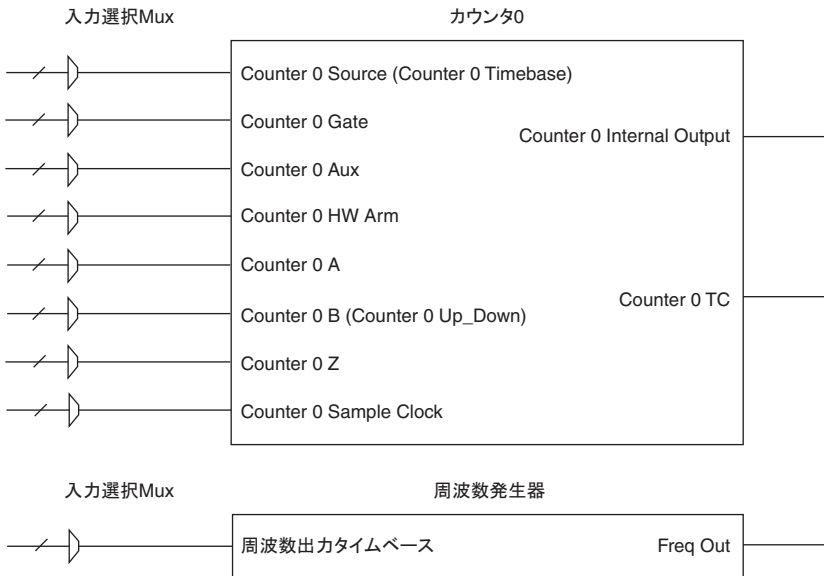


メモ ソフトウェアでデジタル I/O アプリケーションおよびトリガをプログラミングして実行する詳細な方法については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』を参照してください。

カウンタ

M シリーズデバイスには、汎用 32 ビットカウンタ / タイマが 2 個、周波数発生器が 1 個装備されています (図 7-1 を参照)。汎用カウンタ / タイマは、さまざまな計測アプリケーション、パルス発生アプリケーションで使用できます。

図 7-1. M シリーズカウンタ 0 と周波数発生器



カウンタには 7 個の入力信号がありますが、ほとんどのアプリケーションではその一部のみが使用されます。

カウンタ信号の接続の詳細については、「[デフォルトのカウンタ / タイマピン配列](#)」セクションを参照してください。

カウンタ入力アプリケーション

以下のセクションには、M シリーズデバイスで使用できるさまざまなカウンタ入力アプリケーションが記載されています。

- 「エッジをカウントする」
- 「パルス幅測定」
- 「周期測定」
- 「半周期測定」
- 「周波数測定」
- 「位置測定」
- 「2 信号エッジ間隔測定」

エッジをカウントする

エッジカウントアプリケーションでは、カウンタは、アームされるとそのカウンタのソースでエッジをカウントします。カウンタは、ソース入力での立ち上がりまたは立ち下がりエッジをカウントするように構成できます。「[カウント方向を制御する](#)」セクションで説明されているように、カウント方向（カウントアップまたはカウントダウン）も指定できます。

M シリーズデバイスでカウンタ値を読み取るには、次のエッジカウンタオプションを使用します。

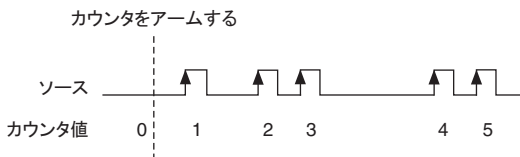
- 「[シングルポイント \(オンデマンド\) エッジカウント](#)」
- 「[バッファ型 \(サンプルクロック\) エッジカウント](#)」

シングルポイント (オンデマンド) エッジカウント

シングルポイント (オンデマンド) エッジカウントでは、カウンタは、アームされるとソース入力でエッジ数をカウントします。オンデマンドとは、ソフトウェアがカウント処理に干渉することなくカウンタの値をいつでも読み取れることを意味します。

図 7-2 は、シングルポイントのエッジカウントを示したものです。

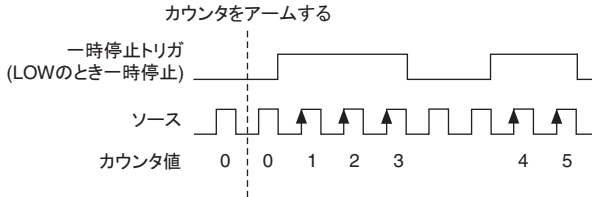
図 7-2. シングルポイント (オンデマンド) エッジカウント



カウンタは、一時停止トリガを使用して一時停止 (ゲート) することもできます。一時停止トリガがアクティブな場合、カウンタはソース入力のエッジを無視します。一時停止トリガがアクティブでない場合は、カウンタは通常どおりにエッジをカウントします。

一時停止トリガは、カウンタのゲート入力に経路設定できます。カウンタは、一時停止トリガが HIGH の場合または LOW の場合に、カウントを一時停止するように構成できます。図 7-3 は、一時停止トリガによるオンデマンドのエッジカウントの例を示したものです。

図 7-3. 一時停止トリガによるシングルポイント (オンデマンド) エッジカウント



バッファ型 (サンプルクロック) エッジカウント

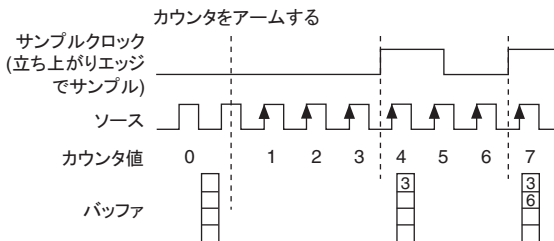
バッファ型エッジカウント (サンプルクロックによるエッジカウント) では、カウンタはアーム後にソース入力のエッジ数をカウントします。カウンタの値は、サンプルクロックの各アクティブエッジでサンプルされます。DMA コントローラはサンプル値をホストメモリに転送します。

返されるカウント値は、カウンタアームイベント以降の累積カウントです。つまり、サンプルクロックはカウンタをリセットしません。

カウンタサンプルクロックは、カウンタのゲート入力に経路設定できます。カウンタは、サンプルクロックの立ち上がりまたは立ち下がりエッジでデータをサンプリングするように構成できます。

図 7-4 は、バッファ型エッジカウントを示したものです。図が示すように、カウントはカウンタがアームされると開始されます。アームはゲートの最初のアクティブエッジより前に発生します。

図 7-4. バッファ型 (サンプルクロック) エッジカウント



カウント方向を制御する

エッジカウントアプリケーションでは、カウントダウン、カウントアップのどちらかを指定できます。カウンタは、以下のように指定できます。

- 常にカウントアップする
- 常にカウントダウンする
- Counter n の B 入力が HIGH のときカウントアップし、LOW のときカウントダウンする

カウンタ信号の接続の詳細については、「[デフォルトのカウンタ/ タイマピン配列](#)」セクションを参照してください。

パルス幅測定

パルス幅測定では、カウンタはゲート入力信号のパルスの幅を測定します。カウンタは、ゲート信号の HIGH パルスまたは LOW パルスの幅を測定するように構成できます。

カウンタのソース入力には、内部または外部周期クロック信号（周期が既知の場合）を経路設定できます。カウンタは、ゲート信号のパルスがアクティブな間にソース信号の立ち上がり（または立ち下がり）エッジの数をカウントします。

パルス幅は、ソース信号の周期にカウンタから返されたエッジ数を乗算して計算されます。

パルス幅測定は、パルス列が進行中の間にカウンタがアームされても正確です。カウンタは、パルスがアクティブな状態のときにアームされた場合、次回アクティブな状態に遷移するまで測定の開始を待機します。

M シリーズのパルス幅測定のオプションについては、以下のセクションを参照してください。

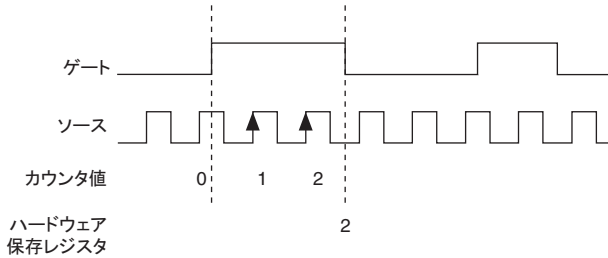
- [「単一パルス幅測定」](#)
- [「バッファ型パルス幅測定」](#)

単一パルス幅測定

単一パルス幅測定では、カウンタはゲート入力がアクティブな間、ソース入力のエッジ数をカウントします。ゲート入力が非アクティブになると、カウンタは、カウント値をハードウェアの保存レジスタに格納し、ゲートとソース入力の他のエッジを無視します。その後、ソフトウェアがこの格納されたカウント値を読み取ります。

図 7-5 は、単一パルス幅測定を示したものです。

図 7-5. 単一パルス幅測定



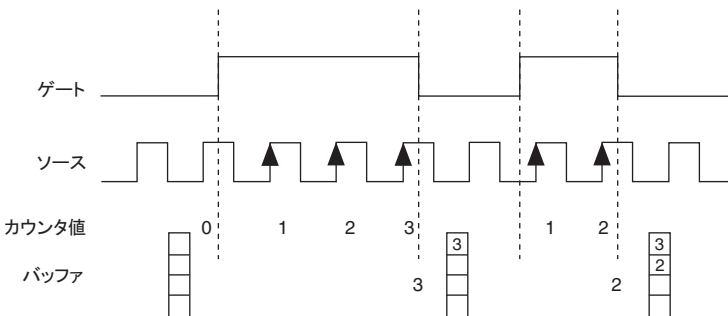
バッファ型パルス幅測定

バッファ型パルス幅測定は、単一パルス幅測定と似ていますが、複数パルスに渡って測定するという点が異なります。

カウンタはゲート入力がアクティブな間、ソース入力のエッジ数をカウントします。カウンタは、ゲート信号の各立ち下がりエッジで、ハードウェアの保存レジスタにカウンタ値を保存します。DMA コントローラは、この保存された値をホストメモリに転送します。

図 7-6 は、バッファ型パルス幅測定を示したものです。

図 7-6. バッファ型パルス幅測定



外部信号をソースとして使用する場合は、少なくとも1つのソースパルスがゲート信号の各アクティブエッジの間に発生する必要がある点に注意します。この条件を満たすことで、カウンタから必ず正しい値が返されます。この条件を満たせない場合は、「[重複カウント防止](#)」のセクションで説明する重複カウント防止を使用することが推奨されます。

カウンタ信号の接続の詳細については、「[デフォルトのカウンタ / タイマピン配列](#)」セクションを参照してください。

周期測定

周期測定では、カウンタは、アームされるとゲート入力信号の周期を測定します。カウンタは、ゲート入力信号の2つの立ち上がりエッジ間、または2つの立ち下がりエッジ間の周期を測定するように構成できます。

カウンタのソース入力には、内部または外部周期クロック信号（周期が既知の場合）を経路設定できます。カウンタは、ゲート信号の2つのアクティブエッジ間にあるソース入力で発生する立ち上がり（または立ち下がり）エッジの数をカウントします。

ゲート入力の周期は、ソース信号の周期にカウンタから返されたエッジ数を乗算して計算されます。

M シリーズの周期測定のオプションについては、以下のセクションを参照してください。

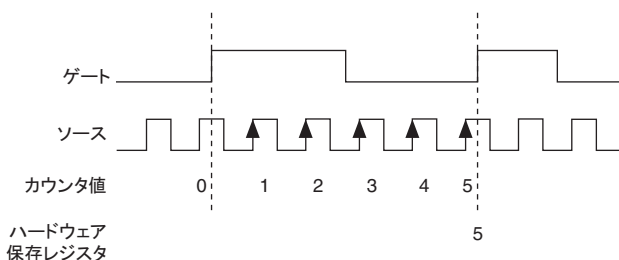
- 「[単一周期測定](#)」
- 「[バッファ型周期測定](#)」

単一周期測定

単一周期測定では、カウンタは、ゲート入力の2つのアクティブエッジ間にあるソース入力で発生する立ち上がりまたは立ち下がりエッジの数をカウントします。ゲート入力の2番目のアクティブエッジでは、カウンタはハードウェアの保存レジスタにカウントを格納し、ゲートとソース入力の他のエッジを無視します。その後、ソフトウェアが、格納されたカウント値を読み取ります。

図 7-7 は、単一周期測定を示したものです。

図 7-7. 単一周期測定



バッファ型周期測定

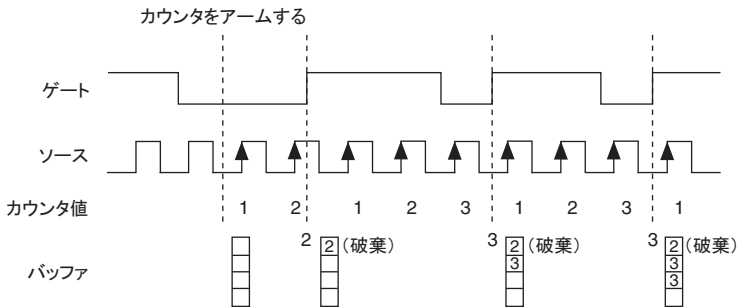
バッファ型周期測定は、単一周期測定と似ていますが、複数の周期を測定する点が異なります。

カウンタは、ゲート入力の 2 つのアクティブエッジの間にあるソース入力で発生する立ち上がり (または立ち下がり) エッジの数をカウントします。カウンタは、ゲート信号の各周期の終端で、ハードウェアの保存レジスタ内にカウント値を保存します。DMA コントローラは、この保存された値をホストメモリに転送します。

カウンタは、アームされると開始します。通常、アームは、ゲート入力の周期の半ばで発生します。したがって、ハードウェアの保存レジスタに保存される最初の値はゲート入力の周期全体を反映したものではありません。最初のポイントは、ほとんどのアプリケーションにおいて破棄する必要があります。

図 7-8 は、バッファ型周期測定を示したものです。

図 7-8. バッファ型周期測定



外部信号をソースとして使用する場合は、少なくとも 1 つのソースパルスがゲート信号の各アクティブエッジの間に発生する必要がある点に注意します。この条件を満たすことで、カウンタから必ず正しい値が返されます。この条件を満たせない場合は、「[重複カウント防止](#)」のセクションで説明する重複カウント防止を使用することが推奨されます。

カウンタ信号の接続の詳細については、「[デフォルトのカウンタ / タイマピン配列](#)」セクションを参照してください。

半周期測定

半周期測定では、カウンタは、アームされるとゲート入力信号の半周期を測定します。半周期は、ゲート入力での任意の2つの連続したエッジ間の時間です。

カウンタのソース入力には、内部または外部周期クロック信号（周期が既知の場合）を経路設定できます。カウンタは、ゲート信号の2つのエッジ間に発生するソース入力の立ち上がりまたは立ち下がりエッジの数をカウントします。

ゲート入力の半周期は、ソース信号の周期にカウンタから返されたエッジ数を乗算して計算されます。

M シリーズの半周期測定のオプションについては、以下のセクションを参照してください。

- [「単一半周期測定」](#)
- [「バッファ型半周期測定」](#)

単一半周期測定

単一半周期測定は、単一パルス幅測定と同じです。

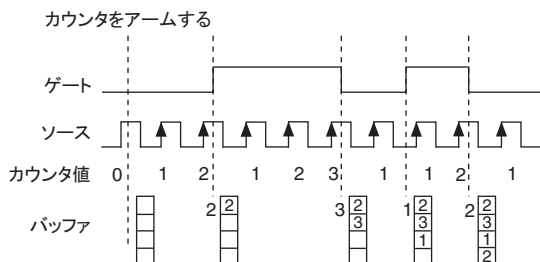
バッファ型半周期測定

バッファ型半周期測定では、カウンタは、ゲート信号の各エッジでハードウェアの保存レジスタ内にカウント値を保存します。DMA コントローラは、この保存された値をホストメモリに転送します。

カウンタは、アームされるとカウントを開始します。通常、アームはゲート入力のエッジ間で起こります。したがって、ハードウェアの保存レジスタに保存される最初の値は、ゲート入力の半周期全体を反映したものではありません。最初のポイントは、ほとんどのアプリケーションにおいて破棄する必要があります。

図 7-9 は、バッファ型半周期測定を示したものです。

図 7-9. バッファ型半周期測定



外部信号をソースとして使用する場合は、少なくとも 1 つのソースパルスがゲート信号の各アクティブエッジの間に発生する必要がある点に注意します。この条件を満たすことで、カウンタから必ず正しい値が返されます。この条件を満たせない場合は、「[重複カウンタ防止](#)」のセクションで説明する重複カウンタ防止を使用することが推奨されます。

カウンタ信号の接続の詳細については、「[デフォルトのカウンタ / タイマピン配列](#)」セクションを参照してください。

周波数測定

カウンタは、いくつかの方法で周期を測定できます。使用するアプリケーションにより、以下のいずれかの方法を選択できます。

- 「[1 つのカウンタによる低周波数](#)」
- 「[1 つのカウンタによる低周波数 \(平均\)](#)」
- 「[2 つのカウンタによる高周波数](#)」
- 「[2 つのカウンタによる広範囲周波数](#)」

これらの周期測定法の詳細な比較については、「[周波数測定方法を選択する](#)」セクションを参照してください。

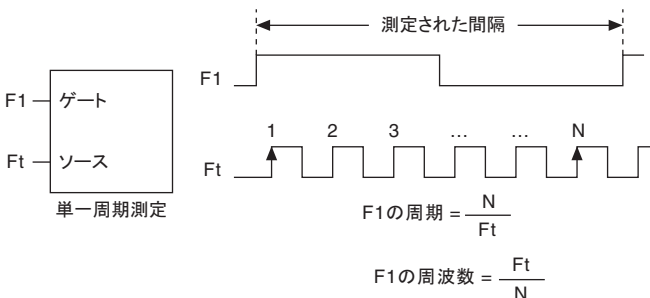
1 つのカウンタによる低周波数

この方法では、既知のタイムベースを使用して信号の 1 つの周期を測定します。この方法は、低周波数信号に適しています。

カウンタのゲートには、測定信号 (F1) を経路設定できます。カウンタのソースには、既知のタイムベース (Ft) を経路設定できます。既知のタイムベースには、たとえば 80MHzTimebase を使用できます。信号が 0.02 Hz 未満である可能性がある場合は、さらに低速な既知のタイムベースを使用してください。

カウンタは、ゲート信号の 1 つの周期を測定するように構成できます。F1 の周波数は周期の逆数です。図 7-10 は、この方法を図で示したものです。

図 7-10. 1 つのカウンタによる低周波数



1つのカウンタによる低周波数 (平均)

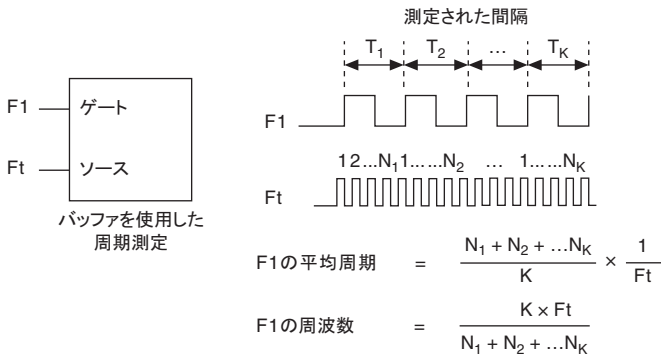
この方法では、既知のタイムベースを使用して信号のいくつかの周期を測定します。この方法は、低～中周波数の信号に適しています。

測定信号 (F1) をカウンタのゲートに経路設定できます。既知のタイムベース (Ft) はカウンタのソースに経路設定できます。既知のタイムベースには、たとえば 80MHzTimebase を使用できます。信号が 0.02 Hz 未満である可能性がある場合は、さらに低速な既知のタイムベースを使用してください。

カウンタは $N + 1$ 個のバッファ型周期測定を行うよう構成できます。前述の説明どおり、バッファの最初の周期測定値は破棄されることに注意してください。

残りの K 個の周期測定値の平均を求め、F1 の平均周期を決定します。F1 の周波数は平均周期の逆数です。図 7-11 は、この方法を図で示したものです。

図 7-11. 1つのカウンタによる低周波数 (平均)



2つのカウンタによる高周波数

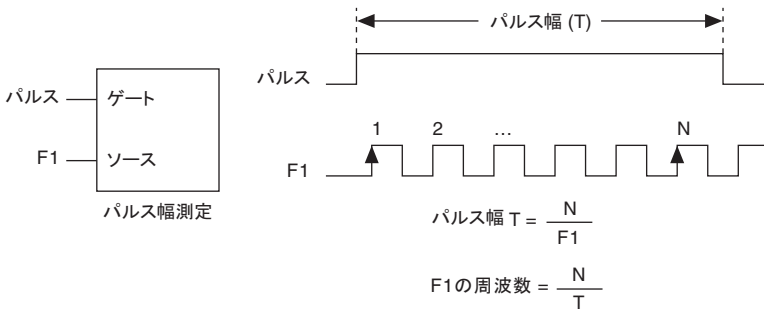
この方法では、信号を使って既知の幅を持つ1つのパルスを測定し、その結果から信号の周波数を生成します。この方法は、高周波数信号に適しています。

この方法では、既知の持続時間 (T) を持つパルスをカウンタのゲートに経路設定します。このパルスは、2番目のカウンタを使用して生成できます。または、パルスを外部で生成して PFI または RTSI 端子に接続することもできます。パルスを外部で生成する場合は、カウンタは1つのみ使用します。

測定信号 (F1) をカウンタのソースに経路設定します。カウンタは、単一パルス幅測定用に構成します。パルス幅 T が F1 の N 周期と測定される場合、F1 の周波数は N/T です。

図 7-12 は、この方法を図で示したものです。他のオプションとして、既知のパルスの代わりに既知の周期の幅を測定する方法もあります。

図 7-12. 2つのカウンタによる高周波数

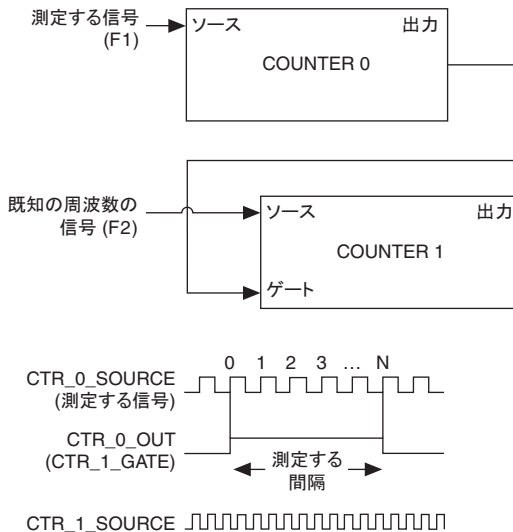


2つのカウンタによる広範囲周波数

カウンタを2個使用すると、高周波数または低周波数の信号を正確に測定できます。このテクニックは、逆周波数測定と呼ばれます。この方法では、測定する信号から長いパルスを生成します。そして、その長いパルスを既知のタイムベースで測定します。M シリーズは、この長いパルスを高速な入力信号よりも正確に測定できます。

図 7-13 のように、測定信号は、カウンタ 0 のソース入力に経路設定できます。その測定信号の周波数を $F1$ とします。Counter 0 を、ソース入力信号の N 周期である幅を持つ単一パルスを生成するよう構成します。

図 7-13. 2つのカウンタによる広範囲周波数



次に、Counter 0 Internal Output 信号をカウンタ 1 のゲート入力に経路設定します。カウンタ 1 ソース入力には、既知の周波数 (F2) の信号を経路設定できます。F2 を 80MHzTimebase とします。信号が 0.02 Hz 未満である可能性がある場合は、さらに低速な既知のタイムベースを使用してください。カウンタ 1 を単一パルス幅を測定するように構成します。結果が、パルス幅が F2 クロックの J 周期であるとしています。

Counter 0 では、パルスの長さが $N/F1$ と測定されます。Counter 1 では、同じパルスの長さが $J/F2$ と測定されます。したがって、F1 の周波数は $F1 = F2 * (N/J)$ によって求めることができます。

周波数測定方法を選択する

周波数測定の最適な方法は、測定信号の予想される周波数、必要な精度、使用するカウンタの数、測定時間など、いくつかの要素に基づきます。すべての周波数測定方法では、以下を前提とします。

f_x	エラーがない場合に測定される周波数
f_k	既知のソースまたはゲート周波数
測定時間 (T)	単一サンプルの測定にかかる時間
分周 (N)	測定する周波数を分周する整数 (広範囲 2 カウンタのみで使用)

これらの変数は、表 7-1 の概要で示されているように、各方法で以下のように適用されます。

- **1 カウンター**— 1 カウンタ測定では、既知のタイムベースがソース周波数 (f_k) に使用されます。測定時間は、測定する周波数の周期 ($1/f_x$) です。
- **1 カウンタ (平均)**— F1 の N 周期を測定することにより、測定値の精度が向上します。
- **2 カウンタ高周波数**— 2 カウンタ高周波数測定では、2 番目のカウンタが既知の測定時間を提供します。ゲート周波数は、 $1/\text{測定時間}$ に等しくなります。
- **2 カウンタ広範囲**— 2 カウンタ広範囲測定は、1 カウンタ測定と同じですが、信号の整数分周を行うことができます。内部タイムベースはソース周波数 (f_k) に使用されますが、測定時間は分周された信号の周期 N/f_x です。N は分周です。

表 7-1. 周波数測定方法

変数	1 カウンタ		2 カウンタ	
	—	平均	高周波数	広範囲
fk	既知のタイム ベース	既知のタイム ベース	$\frac{1}{\text{ゲート周期}}$	既知のタイム ベース
T	$\frac{1}{fx}$	$\frac{N+1}{fx}$	ゲート周期	$\frac{N}{fx}$
最大周波 数誤差 (Hz)	$fx \times \frac{fx}{fk - fx}$	$fx \times \frac{fx}{N \times fk - fx}$	fk	$fx \times \frac{fx}{N \times fk - fx}$
最大誤差 (%)	$\frac{fx}{fk - fx}$	$\frac{fx}{N \times fk - fx}$	$\frac{fk}{fx}$	$\frac{fx}{N \times fk - fx}$

メモ: 確度式ではクロックの安定性は考慮されていません。クロックの安定性については、各デバイスの仕様を参照してください。

最適な方法

最適な方法は、測定する周波数、周波数を監視するレート、および要求される確度により異なります。たとえば、50 kHz 信号を測定するとします。すべての測定の測定時間が同じに設定されている場合、結果は表 7-2 のようになります。

表 7-2. 50 kHz 周波数測定方法

変数	1 カウンタ		2 カウンタ	
	—	平均	高周波数	広範囲
fx	50,000	50,000	50,000	50,000
fk	100 M	100 M	1,000	100 M
測定時間 (ms)	0.02	1.02	1	1
N	—	50	—	50
最大周波数誤 差 (Hz)	25	0.5	1,000	0.5
最大誤差 (%)	0.05	0.001	2	0.001

これらの結果では、測定時間は1カウンタの方が短いですが、確度はサンプルクロックおよび2カウンタ広範囲測定が最も優れていることがわかります。もう1つの例として、表 7-3 に 5 MHz の結果が示されています。

表 7-3. 5 MHz 周波数測定方法

変数	1 カウンタ		2 カウンタ	
	—	平均	高周波数	広範囲
f_x	5 M	5 M	5 M	5 M
f_k	100 M	100 M	1,000	100 M
測定時間 (ms)	0.0002	1.0002	1	1
N	—	5,000	—	5,000
最大周波数誤差 (Hz)	263 k	50	1,000	50
最大誤差 (%)	5.26	0.001	0.02	0.001

- 1カウンタによる低周波数の測定は、多くのアプリケーションに適した方法です。ただし、周波数が高くなるにつれて測定値の確度が低くなります。
- 1カウンタによる測定(平均)は、高周波数および低周波数の信号を正確に測定します。この方法の利点は、カウンタを1つしか必要としない点です。この方法の欠点は、高周波数で N が大きい値の場合に、FIFO オーバーフローが発生する可能性があることです。この場合、測定時間が長くなり、PCI または PXI の帯域幅が消費されます。必要な帯域幅が他の測定により占有されていて使用不可能な場合、この方法では、測定に必要なすべてのサンプルが転送されない可能性があります。
- 高周波数に2つのカウンタを使用すると、高周波数信号を正確に測定できます。ただし、測定する信号の周波数が低くなるにつれて測定値の確度が低くなります。周波数が非常に低い場合は、アプリケーションに必要な確度を実現できない可能性があります。また、この方法は2つのカウンタを必要とするという欠点もあります(既知の幅の外部信号がない場合)。2つのカウンタによる高周波数測定の利点は、測定が既知の時間内に終了することです。
- 2つのカウンタを使用する広範囲の周波数測定では、高周波数および低周波数信号を正確に測定できます。ただし、2つのカウンタが必要であり、サンプル時間および誤差の割合が入力信号によって変動します。

表 7-4 は、周波数測定方法の比較を表したものです。

表 7-4. 周波数測定方法の比較

比較	1 カウンタ		2 カウンタ	
	—	平均	高周波数	広範囲
使用されるカウンタ数	1	1	1 または 2	2
返される測定値の数	1	多数	1	1
高周波数信号の正確な測定	不良	普通	良	良
低周波数信号の正確な測定	良	良	不良	良

カウンタ信号の接続の詳細については、「[デフォルトのカウンタ / タイマピン配列](#)」セクションを参照してください。

位置測定

カウンタを使用すると、位相差出力エンコーダまたは 2 パルスエンコーダによる位置測定を実行できます。角度位置は、X1、X2、および X4 角エンコーダで測定できます。直線位置は 2 パルスエンコーダで測定します。位置測定は、シングルポイント（オンデマンド）またはバッファ型（サンプルクロック）のどちらかを選択できます。位置測定を開始するには、カウンタをアームする必要があります。

M シリーズの位置測定のオプションについては、以下のセクションを参照してください。

- 「[位相差出力エンコーダによる測定](#)」
- 「[2 パルスエンコーダによる測定](#)」
- 「[バッファ型（サンプルクロック）位置測定](#)」

位相差出力エンコーダによる測定

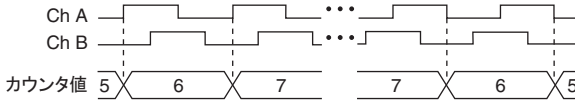
カウンタは、X1、X2、X4 エンコードを使用する位相差出力エンコーダ測定を実行できます。位相差出力エンコーダは、3 つのチャンネル（A、B、Z）まで設定できます。

- **X1 エンコード**—直交サイクルにおいてチャンネル A がチャンネル B より先行する場合、カウンタは増分します。直交サイクルにおいてチャンネル B がチャンネル A より先行する場合、カウンタは減分します。サイクルごとの増分値と減分値は、エンコードが X1、X2、X4 のいずれかによって異なります。

図 7-14 は、X1 エンコードの直交サイクルとその結果の増分値または減分値を示したものです。チャンネル A がチャンネル B より先行する場合、チャンネル A

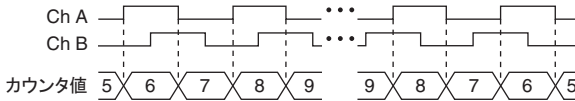
の立ち上がりエッジでカウンタの値が増分します。チャンネル B がチャンネル A よりも先行する場合、チャンネル A の立ち下がりエッジでカウンタの値が減分します。

図 7-14. X1 エンコード



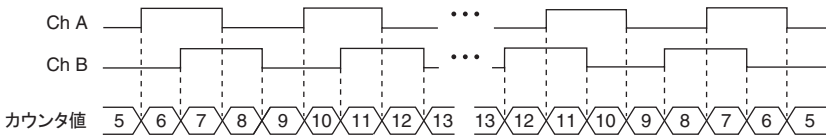
- X2 エンコード**— X2 エンコードでも同様の現象が見られますが、チャンネル A の各エッジでカウンタが増分または減分する点が異なります (増分 / 減分はどちらのチャンネルが先行するかで決まります)。図 7-15 のように、各サイクルによって、2 つの増分または 2 つの減分が発生します。

図 7-15. X2 エンコード



- X4 エンコード**— X4 エンコードでも、カウンタはチャンネル A と B の各エッジで増分または減分します。カウンタが増分するか減分するかは、どちらのチャンネルが先行するかで決まります。図 7-16 のように、各サイクルで、4 つの増分または 4 つの減分が発生します。

図 7-16. X4 エンコード



チャンネル Z の動作

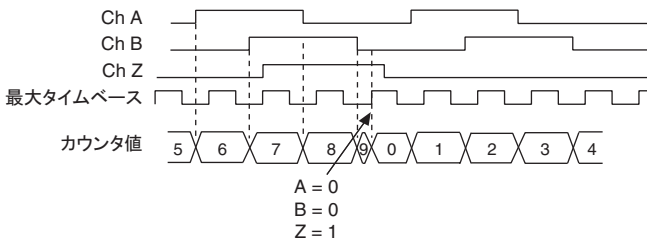
一部の位相差出力エンコーダには、指標チャンネルとも呼ばれる 3 番目のチャンネルであるチャンネル Z があります。チャンネル Z が HIGH レベルになると、直交サイクルの指定された位相で、指定された値がカウンタに再ロードされます。この再ロードは、直交サイクルの 4 つの位相のいずれかで実行されるようにプログラムできます。

チャンネル Z の動作 (HIGH になる条件、HIGH の持続時間) は、位相差出力エンコーダの設計によって異なります。チャンネル Z のチャンネル A/B に対するタイミングについては、各位相差出力エンコーダのドキュメントを参照してください。また、チャンネル Z は、再ロードの条件に指定する位相の少なくとも一部で HIGH になるよう設定する必要があります。たとえば、図 7-17 では、チャンネル A が HIGH でチャ

ンネル B が LOW である場合に、チャンネル Z が HIGH になることはありません。したがって、再ロードは別の位相で発生する必要があります。

図 7-17 では、再ロードはチャンネル A と B が両方 LOW となる位相で実行されます。再ロードは、この位相条件が True でチャンネル Z が HIGH であるときに実行されます。また、カウンタの増減は再ロードよりも優先されます。したがって、チャンネル B が LOW となって再ロードの位相に入る際は、最初にカウンタが増分します。再ロードは、再ロードの位相が True になってから、最大タイムベースの 1 周期以内に行われます。再ロード後は、カウンタはそれまでと同様のカウントを続行します。図は、X4 デコードでのチャンネル Z の再ロードを示しています。

図 7-17. X4 デコードでのチャンネル Z の再ロード

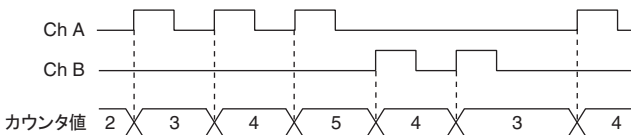


2 パルスエンコーダによる測定

カウンタは、2 つのチャンネル (A と B) を持つ 2 パルスエンコーダをサポートします。

カウンタは、チャンネル A の各立ち上がりエッジで増分し、チャンネル B の各立ち上がりエッジで減分します (図 7-18 を参照)。

図 7-18. 2 パルスエンコーダによる測定



カウンタ信号の接続の詳細については、「[デフォルトのカウンタ / タイマピン配列](#)」セクションを参照してください。

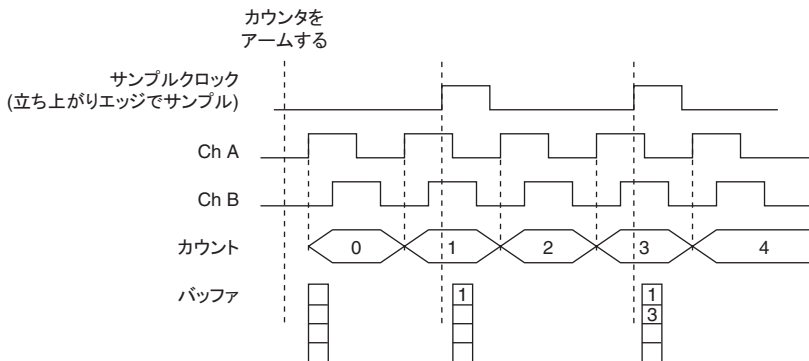
バッファ型 (サンプルクロック) 位置測定

バッファ型位置測定 (サンプルクロックを使用する位置測定) では、カウンタは、アームされると、使用されたエンコードに応じてカウンタを増分します。カウンタの値は、サンプルクロックの各アクティブエッジでサンプルされます。DMA コントローラはサンプル値をホストメモリに転送します。返されるカウント値は、カウンタアームイベント以降の累積カウントです。つまり、サンプルクロックはカウンタをリ

セットしません。カウンタのゲート入力には、カウンタサンプルクロックを経路設定できます。カウンタは、サンプルクロックの立ち上がりまたは立ち下がりエッジでデータをサンプリングするように構成できます。

図 7-19 は、バッファ型 X1 位置測定を示したものです。

図 7-19. バッファ型位置測定



2 信号エッジ間隔測定

2 信号エッジ間隔測定は、パルス幅測定に似ていますが、AUX とゲートという 2 つの測定信号を使用する点が異なります。AUX 入力のアクティブエッジでカウントが開始され、ゲート入力のアクティブエッジでカウントが終了します。2 信号エッジ間隔測定を開始するには、カウンタをアームする必要があります。

カウンタがアームされた状態で、AUX 入力でアクティブエッジが発生すると、カウンタはソースの立ち上がり (または立ち下がり) エッジの数をカウントします。AUX 入力のその他のエッジは無視されます。

ゲート入力のアクティブエッジを受信すると、カウンタはカウントを停止します。カウント値は、ハードウェアの保存レジスタに保存されます。

AUX 入力の立ち上がりエッジまたは立ち下がりエッジをアクティブエッジにするように構成できます。ゲート入力の立ち上がりエッジまたは立ち下がりエッジをアクティブエッジにするように構成できます。

このタイプの測定は、イベント数をカウントしたり、2 つの信号のエッジ間の時間を測定したりする場合に使用します。このタイプの測定は、開始 / 停止トリガ測定、第二ゲート測定、A ~ B 測定とも呼ばれます。

M シリーズのエッジ間隔測定のオプションについては、以下のセクションを参照してください。

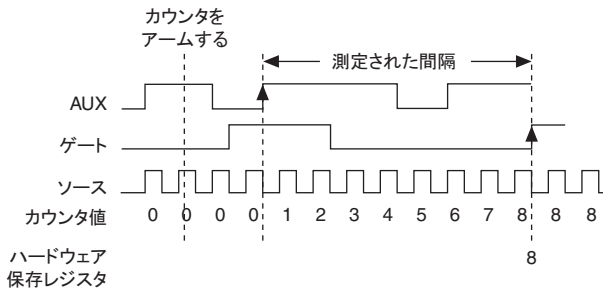
- [「単一 2 信号エッジ間隔測定」](#)
- [「バッファ型 2 信号エッジ間隔測定」](#)

単一 2 信号エッジ間隔測定

単一 2 信号エッジ間隔測定では、カウンタは、ゲート信号のアクティブエッジと AUX 信号のアクティブエッジ間にあるソース入力で発生する立ち上がり（または立ち下がり）エッジの数をカウントします。カウンタは、カウント値をハードウェアの保存レジスタに保存し、入力の他のエッジを無視します。その後、ソフトウェアがこの格納されたカウント値を読み取ります。

図 7-20 は、単一 2 信号エッジ間隔測定を示したものです。

図 7-20. 単一 2 信号エッジ間隔測定



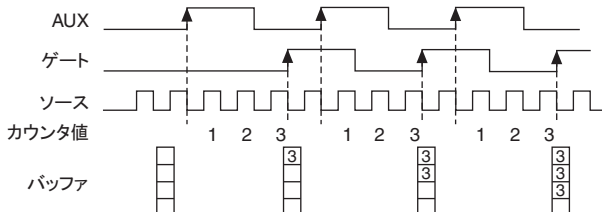
バッファ型 2 信号エッジ間隔測定

バッファ型と単一の 2 信号エッジ間隔測定は似ていますが、バッファ型測定では、複数の間隔を測定します。

カウンタは、ゲート信号のアクティブエッジと AUX 信号のアクティブエッジの間に発生するソース入力の立ち上がり（または立ち下がり）エッジの数をカウントします。カウント値は、ハードウェアの保存レジスタに保存されます。カウンタは、ゲート信号の次のアクティブエッジで、次の測定を開始します。DMA コントローラは、この保存された値をホストメモリに転送します。

図 7-21 は、バッファ型 2 信号エッジ間隔測定を示したものです。

図 7-21. バッファ型 2 信号エッジ間隔測定



カウンタ信号の接続の詳細については、「[デフォルトのカウンタ / タイマピン配列](#)」セクションを参照してください。

カウンタ出力アプリケーション

以下のセクションには、M シリーズデバイスで使用できるさまざまなカウンタ出力アプリケーションが記載されています。

- 「[簡易パルス生成](#)」
- 「[パルス列生成](#)」
- 「[周波数の生成](#)」
- 「[周波数分周](#)」
- 「[ETS のパルス生成](#)」

簡易パルス生成

M シリーズの簡易パルス生成のオプションについては、以下のセクションを参照してください。

- 「[単一パルス生成](#)」
- 「[開始トリガによる単一パルス生成](#)」
- 「[再トリガ可能な単一パルス生成](#)」

単一パルス生成

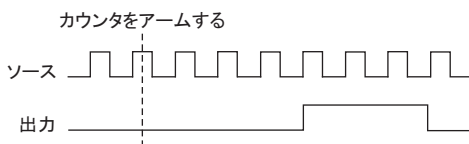
カウンタは、単一パルスを出力できます。パルスは、カウンタの Counter n Internal Output 信号から出力されます。

カウンタがアームされてからパルスが開始されるまでの遅延を指定できます。遅延は、ソース入力のアクティブエッジの数で測定されます。

パルス幅は指定できます。パルス幅も、ソース入力のアクティブエッジの数によって測定されます。ソース入力のアクティブエッジ（立ち上がりまたは立ち下がり）も指定可能です。

図 7-22 は、パルス遅延が 4、パルス幅が 3 のパルスの生成を示しています（ソースの立ち上がりエッジを使用）。

図 7-22. 単一パルス生成



開始トリガによる単一パルス生成

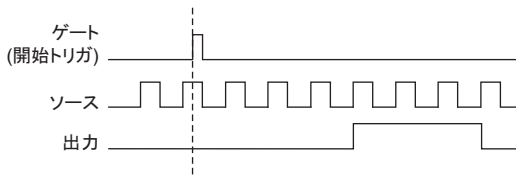
カウンタは、ハードウェアの開始トリガ信号の 1 つのパルスに対して単一パルスを出力できます。パルスは、カウンタの Counter n Internal Output 信号から出力されます。

開始トリガ信号は、カウンタのゲート入力に接続できます。開始トリガからパルスが開始されるまでの遅延を指定できます。パルス幅も指定できます。遅延とパルス幅は、ソース入力のアクティブエッジの数で測定されます。

開始トリガ信号のパルスが一度発生した後、カウンタはゲート入力を無視します。

図 7-23 は、パルス遅延が 4、パルス幅が 3 のパルスの生成を示しています (ソースの立ち上がりエッジを使用)。

図 7-23. 開始トリガによる単一パルス生成



再トリガ可能な単一パルス生成

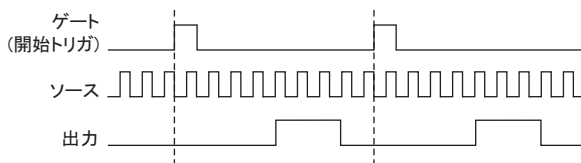
カウンタは、ハードウェアの開始トリガ信号の各パルスに対して単一パルスを出力できます。パルスは、Counter n Internal Output 信号に出力されます。

開始トリガ信号は、カウンタのゲート入力に接続できます。開始トリガから各パルスが開始されるまでの遅延を指定できます。パルス幅も指定できます。遅延とパルス幅は、ソース入力のアクティブエッジの数で測定されます。

カウンタは、パルスが生成されている間はゲート入力を無視します。パルス生成が完了すると、カウンタは次のパルス生成を開始するために次の開始トリガを待機します。

図 7-24 は、パルス遅延が 5、パルス幅が 3 のパルスの生成を示しています (ソースの立ち上がりエッジを使用)。

図 7-24. 再トリガ可能な単一パルス生成



カウンタ信号の接続の詳細については、「[デフォルトのカウンタ / タイマピン配列](#)」セクションを参照してください。

パルス列生成

M シリーズのパルス列生成のオプションについては、以下のセクションを参照してください。

- [「連続パルス列生成」](#)
- [「有限パルス列生成」](#)

連続パルス列生成

この機能は、プログラム可能な周波数とデューティサイクルによってパルス列を生成します。パルスは、Counter n Internal Output 信号に出力されます。

カウンタがアームされてからパルス列が開始されるまでの遅延を指定できます。遅延は、ソース入力のアクティブエッジの数で測定されます。

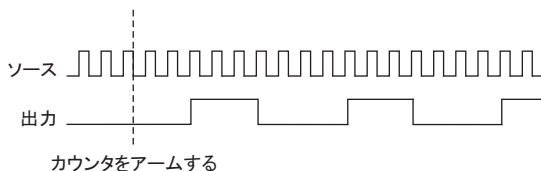
出力信号の HIGH パルスと LOW パルスの幅を指定できます。パルス幅は、ソース入力のアクティブエッジの数として測定することもできます。ソース入力のアクティブエッジ (立ち上がりまたは立ち下がり) も指定可能です。

カウンタは、アーム後またはハードウェア開始トリガに反応してすぐにパルス列の生成を開始します。開始トリガは、カウンタのゲート入力に接続できます。

また、カウンタのゲート入力を一時停止トリガとして使用することもできます (開始トリガとして使用されていない場合)。一時停止トリガがアクティブになると、カウンタはパルスの生成を一時停止します。

図 7-25 は、ソースの立ち上がりエッジを使用した連続パルス列の生成を示したものです。

図 7-25. 連続パルス列生成



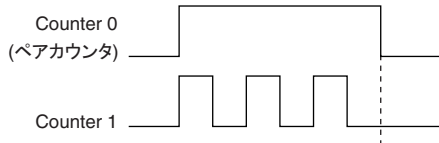
連続パルス列の生成は、周波数分周と呼ばれる場合もあります。出力信号の HIGH パルスと LOW パルスの幅が M 周期と N 周期の場合、Counter n Internal Output 信号の周波数はソース入力を $M + N$ の値で分周して得られる周波数と等しくなります。

カウンタ信号の接続の詳細については、「[デフォルトのカウンタ / タイマピン配列](#)」セクションを参照してください。

有限パルス列生成

この機能は、指定した継続時間のパルス列を生成します。このカウンタ操作を実行するには両方のカウンタが必要です。最初のカウンタ (この例では Counter 0) は、指定された幅のパルスを生成します。2 番目のカウンタ (Counter 1) は、最初のカウンタのパルスでゲートを使用するパルス列を生成します。経路設定は内部で行われます。図 7-26 は、有限パルス列タイミング図の例を示しています。

図 7-26. 有限パルス列タイミング図



周波数の生成

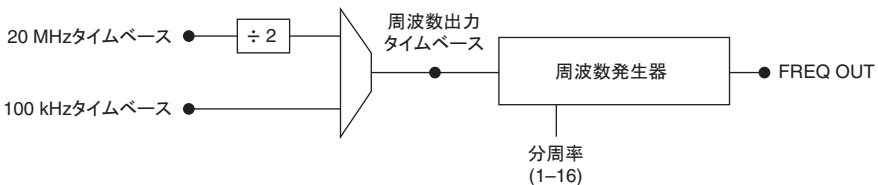
周波数を生成するには、パルス列生成モードでカウンタを使用するか、「[周波数発生器を使用する](#)」セクションに記載されている周波数発生回路を使用します。

周波数発生器を使用する

周波数発生器は、さまざまな周波数の方形波を生成できます。周波数発生器は、M シリーズ上の 2 つの汎用 32 ビットカウンタ / タイマモジュールとは独立して動作します。

図 7-27 は、周波数発生器のブロック図を示したものです。

図 7-27. 周波数発生器ブロック図

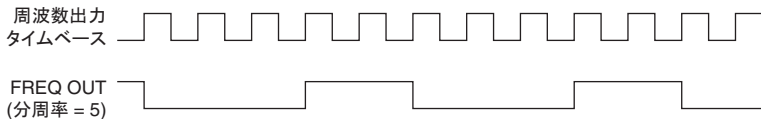


周波数発生器は、周波数出力信号を生成します。周波数出力信号は、周波数出力タイムベースを 1 から 16 のいずれかの数値で分周して得られる周波数です。周波数出力タイムベースは、2 で分周した 20 MHz タイムベース、または 100 kHz タイムベースのいずれかです。

周波数出力のデューティサイクルは、分周する数値が 1 か偶数の場合は 50% です。分周する数値が奇数の場合、その数値を D とすると、周波数出力は周波数出力タイムベースの $(D + 1)/2$ サイクルで LOW となり、 $(D - 1)/2$ サイクルで HIGH となります。

図 7-28 は、分周する値が 5 に設定されている場合の周波数発生器の出力波形を示したものです。

図 7-28. 周波数発生器の出力波形



周波数出力は、PFI <0..15> または RTSI <0..7> 端子のどれにでも接続できます。すべての PFI 端子が起動時に高インピーダンスに設定されます。FREQ OUT 信号は、DO サンプルクロックと DI サンプルクロックに経路設定することもできます。

ソフトウェアでは、カウンタをパルス列生成用にプログラムするように周波数発生器をプログラムできます。

カウンタ信号の接続の詳細については、「[デフォルトのカウンタ / タイマピン配列](#)」セクションを参照してください。

周波数分周

カウンタは、入力信号の分数となる周波数の信号を生成できます。この機能は、連続パルス列の生成と同じです。詳細については、「[連続パルス列生成](#)」セクションを参照してください。

カウンタ信号の接続の詳細については、「[デフォルトのカウンタ / タイマピン配列](#)」セクションを参照してください。

ETS のパルス生成

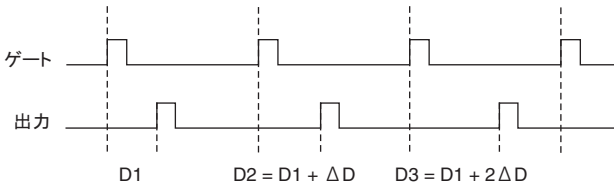
等価時間サンプリング (ETS) アプリケーションでは、ゲートのアクティブエッジの後に、カウンタが出力のパルスに指定された遅延を生成します。ゲートの各アクティブエッジの後、カウンタはゲートと出力上のパルス間の遅延を、指定された量ずつ累積的に増分します。そのため、ゲートと生成されるパルス間の遅延は引き続き増加します。

遅延値の増分は 0 ~ 255 に設定できます。たとえば、増分値を 10 に指定すると、アクティブゲートエッジおよび出力パルス間の遅延は、新規パルスが生成されるたびに 10 増加します。

トリガを受信するたびに、遅延が 100 でパルス幅が 200 のパルスを生成するように、カウンタをプログラムしたとします。そして、遅延増分を 10 に指定したとします。最初のトリガのパルス遅延は 100、2 番目は 110、3 番目は 120 となり、カウンタのアーミングが解除されるまでこのパターンが繰り返されます。ゲートエッジによってトリガされたパルスがまだ出力されている間にゲートエッジがトリガされた場合は、カウンタは新しい方を無視します。

カウンタの出力で生成された波形は、デジタル化システムがシステムのナイキスト周波数よりも高い周波数の反復波形をサンプル可能な、アンダーサンプリングのアプリケーションにタイミングを提供するために使用できます。図 7-29 は、ETS のパルス生成の例を示しています。トリガからパルスの遅延は、それ以降の各ゲートアクティブエッジの後で増加します。

図 7-29. ETS のパルス生成



カウンタ信号の接続の詳細については、「[デフォルトのカウンタ / タイマピン配列](#)」セクションを参照してください。

カウンタタイミング信号

M シリーズデバイスは、以下のカウンタタイミング信号の機能を持ちます。

- 「[Counter n Source 信号](#)」
- 「[Counter n Gate 信号](#)」
- 「[Counter n Aux 信号](#)」
- 「[Counter n A 信号](#)」
- 「[Counter n B 信号](#)」
- 「[Counter n Z 信号](#)」
- 「[Counter n Up_Down 信号](#)」
- 「[Counter n HW Arm 信号](#)」
- 「[Counter n Internal Output 信号](#)」
- 「[Counter n TC 信号](#)」
- 「[周波数出力信号](#)」

このセクションでは、 n はカウンタ 0 または 1 を指します。たとえば、Counter n Source は、Counter 0 Source (Counter 0 へのソース入力) と Counter 1 Source (Counter 1 へのソース入力) の 2 つの信号を指します。

Counter n Source 信号

カウンタが実行しているアプリケーションに応じて、Counter n Source 信号の選択したエッジでカウンタ値が増分または減分します。表 7-5 は、この端子が各アプリケーションでどのように使用されるかを示したものです。

表 7-5. カウンタアプリケーションと Counter n Source

アプリケーション	ソース端子の用途
パルス生成	カウンタタイムベース
1 カウンタ時間測定	カウンタタイムベース
2 カウンタ時間測定	入力端子
非バッファ型エッジカウント	入力端子
バッファ型エッジカウント	入力端子
2 エッジ間隔	カウンタタイムベース

信号を Counter n Source に経路設定する

各カウンタには、Counter n Source 信号に対する独立した入力セレクトがあります。Counter n Source 入力には、以下の信号を経路設定できます。

- 80 MHz タイムベース
- 20 MHz タイムベース
- 100 kHz タイムベース
- RTSI <0..7>
- PFI <0..15>
- PXI_CLK10
- PXI_STAR
- アナログ比較イベント

さらに、Counter 0 Source には、Counter 1 TC または Counter 1 Gate を経路設定できます。Counter 1 Source には、Counter 0 TC または Counter 0 Gate を経路設定できます。

ドライバソフトウェアによっては、一部のオプションを使用できないことがあります。

Counter n Source を出力端子に経路設定する

Counter n Source 出力は、PFI <0..15> または RTSI <0..7> 端子のどれにでも経路設定できます。すべての PFI は、起動時に高インピーダンスに設定されます。

Counter n Gate 信号

Counter n Gate 信号は、アプリケーションに応じて、カウンタの開始や停止、カウンタ値の保存などのさまざまな操作を実行できます。

信号を Counter n Gate に経路設定する

各カウンタには、Counter n Gate 信号に対する独立した入力セレクトがあります。Counter n Gate 入力には、以下の信号を経路設定できます。

- RTSI <0..7>
- PFI <0..15>
- AI 基準トリガ (ai/ReferenceTrigger)
- AI 開始トリガ (ai/StartTrigger)
- AI サンプルクロック (ai/SampleClock)
- AI 変換クロック (ai/ConvertClock)
- AO サンプルクロック (ao/SampleClock)
- DI サンプルクロック (di/SampleClock)
- DO サンプルクロック (do/SampleClock)
- PXI_STAR
- 変化検出イベント
- アナログ比較イベント

さらに、Counter 0 Gate には、Counter 1 Internal Output または Counter 1 Source を経路設定できます。Counter 1 Gate には、Counter 0 Internal Output または Counter 0 Source を経路設定できます。

ドライバソフトウェアによっては、一部のオプションを使用できないことがあります。

Counter n Gate を出力端子に経路設定する

Counter n Gate 出力は、PFI <0..15> または RTSI <0..7> 端子のどれにでも経路設定できます。すべての PFI は、起動時に高インピーダンスに設定されます。

Counter n Aux 信号

Counter n Aux 信号は、2 つの信号のエッジ間隔測定での最初のエッジを示します。

信号を Counter n Aux に経路設定する

各カウンタには、Counter n Aux 信号に対する独立した入力セレクトがあります。Counter n Aux 入力には、以下の信号を経路設定できます。

- RTSI <0..7>
- PFI <0..15>
- AI 基準トリガ (ai/ReferenceTrigger)
- AI 開始トリガ (ai/StartTrigger)
- PXI_STAR
- アナログ比較イベント

さらに、Counter 0 Aux には、Counter 1 Internal Output、Counter 1 Gate、Counter 1 Source、または Counter 0 Gate を経路設定できます。Counter 1 Aux には、Counter 0 Internal Output、Counter 0 Gate、Counter 0 Source、または Counter 1 Gate を経路設定できます。

ドライバソフトウェアによっては、一部のオプションを使用できないことがあります。

Counter n A、Counter n B、Counter n Z 信号

Counter n B は、エッジカウントアプリケーションでのカウント方向を制御します。位相差出力エンコーダまたは 2 パルスエンコーダを測定する場合、各カウンタの A、B、Z 入力を使用します。

信号を A、B、Z カウンタ入力に経路設定する

各カウンタには、A、B、Z 入力それぞれに対して独立した入力セレクトがあります。各入力には、以下の信号を経路設定できます。

- RTSI <0..7>
- PFI <0..15>
- PXI_STAR
- アナログ比較イベント

Counter n Z 信号を出力端子に接続する

Counter n Z は、RTSI <0..7> に経路接続できます。

Counter n Up_Down 信号

Counter n Up_Down 信号は、Counter n B 信号の別名です。

Counter n HW Arm 信号

Counter n HW Arm 信号を使用すると、カウンタの入力 / 出力機能を開始できます。

カウンタの入出力機能を開始するには、まずカウンタを有効にする (アームする) 必要があります。バッファ型半周期測定など一部のアプリケーションでは、カウンタは、アームされるとカウントを開始します。また、単一パルス幅測定などのアプリケーションでは、カウンタは、アームされるとゲート信号の待機を開始します。カウンタ出力操作は、開始トリガに加えてアーム信号も使用できます。

ソフトウェアによって、カウンタをアームするか、ハードウェア信号でカウンタがアームされるように構成することができます。このハードウェア信号は、ソフトウェアではアーム開始トリガと呼ばれます。ソフトウェアは、内部的にアーム開始トリガをカウンタの Counter n HW Arm 入力に経路設定します。

信号を Counter n HW Arm 入力に経路設定する

Counter n HW Arm 入力には、以下の信号を経路設定できます。

- RTSI <0..7>
- PFI <0..15>
- AI 基準トリガ (ai/ReferenceTrigger)
- AI 開始トリガ (ai/StartTrigger)
- PXI_STAR
- アナログ比較イベント

Counter 1 Internal Output を Counter 0 HW Arm に経路設定できます。Counter 0 Internal Output を Counter 1 HW Arm に経路設定できます。

ドライバソフトウェアによっては、一部のオプションを使用できないことがあります。

Counter n Internal Output と Counter n TC 信号

Counter n Internal Output 信号は、Counter n TC に応じて変化します。

2つのソフトウェア選択可能な出力オプションは、TC のパルス出力と TC のトグル出力です。出力極性は、どちらのオプションもソフトウェアで選択できます。

パルスまたはパルス列生成タスクで、カウンタは Counter n Internal Output 信号上のパルスを駆動します。Counter n Internal Output 信号は、内部的に経路を設定してカウンタ / タイマ入力または AI、AO、DI、DO タイミング信号の外部ソースになります。

Counter n Internal Output を出力端子に経路設定する

Counter n Internal Output は、PFI <0..15> または RTSI <0..7> 端子のどれにでも経路設定できます。すべての PFI は、起動時に高インピーダンスに設定されます。

周波数出力信号

周波数出力 (FREQ OUT) 信号は、周波数出力発生器の出力です。

周波数出力を端子に経路設定する

周波数出力は、任意の PFI <0..15> 端子に経路設定できます。すべての PFI は、起動時に高インピーダンスに設定されます。FREQ OUT 信号は、DO サンプルクロックと DI サンプルクロックに経路設定することもできます。

デフォルトのカウンタ / タイマピン配列

NI DAQmx では、表 7-6 で示されているように、カウンタ / タイマ入力および出力はデフォルトで PFI ピンに経路設定されます。PCI-6221 (37 ピン)、USB-62xx ネジ留め式端子、USB-62xx BNC デバイスのデフォルトの NI-DAQmx カウンタ / タイマピンを確認するには、付録 A の「モジュール / デバイス特有の情報」を参照してください。

表 7-6. 68 ピンデバイスのデフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトコネクタ 0 ピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)

NI-DAQmx のカウンタ / タイマ信号には、これらのデフォルトを使用するか、他のソースおよび出力先を選択することができます。一般的なカウンタ測定および生成で信号を接続する方法については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「カウンタ信号を接続する」を参照してください。M シリーズのカウンタ機能のデフォルト PFI ラインについては、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「物理チャンネル」を参照してください。

カウンタトリガ

カウンタは、3 つの異なるトリガ動作をサポートしています。

- **アーム開始トリガ**—カウンタの入出力機能を開始するには、まずカウンタを有効にする（アームする）必要があります。ソフトウェアによって、カウンタをアームするか、ハードウェア信号でカウンタがアームされるように構成できます。このハードウェア信号は、ソフトウェアでアーム開始トリガと呼ばれます。ソフトウェアは、内部的にアーム開始トリガをカウンタの Counter n HW Arm 入力に経路設定します。アーム開始 .D エッジ . エッジは、M シリーズのデバイスとモジュールではサポートされていません。

カウンタ出力操作では、開始 / 一時停止トリガに加え、アーム開始トリガを使用できます。カウンタ入力操作では、アーム開始トリガを開始トリガと同様に使用できます。アーム開始トリガを使用すると、複数のカウンタ入出力タスクを同期化できます。

アーム開始トリガを使用する際は、アーム開始トリガソースを Counter n HW Arm 信号に経路設定します。

- **開始トリガ**—カウンタ出力操作では、開始トリガによって有限 / 連続パルス生成を開始するように構成できます。連続生成が一度トリガされると、ソフトウェアでユーザが操作を停止するまでパルスの生成は続行されます。有限生成では、指定されたパルス数が生成され、再トリガ属性を使用しない限り、生成は停止します。再トリガ属性を使用すると、次の開始トリガによって生成が再開されます。カウンタ入力操作では、アーム開始トリガを開始トリガと同様に使用できます。開始トリガを使用する際は、開始トリガソースをそのカウンタの Counter n Gate 信号入力に経路設定します。

- **一時停止トリガ**—一時停止トリガは、エッジカウントアプリケーションや連続パルス生成アプリケーションで使用できます。エッジカウント集録では、カウンタは外部トリガ信号が LOW になるとエッジカウントを停止し、HIGH になると再開するか、あるいは、HIGH になると停止し、LOW になると再開します。連続パルス生成では、カウンタは外部トリガ信号が LOW になるとパルス生成を停止し、HIGH になると再開するか、あるいは、HIGH になると停止し、LOW になると再開します。

一時停止トリガを使用する際は、一時停止トリガソースをそのカウンタの Counter n Gate 信号入力に経路設定します。

その他のカウンタの機能

以下のセクションには、M シリーズデバイスで使用できるその他のカウンタ機能の一覧が記載されています。

カウンタをカスケード接続する

各カウンタの Counter n Internal Output 信号と Counter n TC 信号は、それぞれもう一方のカウンタのゲート入力に内部接続できます。2つのカウンタをカスケード接続することで、64ビットカウンタを効果的に作成できます。カウンタをカスケード接続することで、他のアプリケーションを有効にすることもできます。たとえば、周波数測定の確度を向上させるには、「[2つのカウンタによる広範囲周波数](#)」セクションで説明されているような逆周波数測定を使用します。

カウンタフィルタ

各 PFI、RTSI、または PXI_STAR 信号に対して、プログラム可能なデバウンスフィルタを適用できます。フィルタを適用すると、デバイスはフィルタクロックの各立ち上がりエッジで入力信号をサンプリングします。M シリーズデバイスは、オンボード発振器を使用して周波数が 40 MHz のフィルタクロックを生成します。



メモ NI-DAQmx は、カウンタ入力に対するフィルタのみをサポートしません。

入力信号の LOW から HIGH への遷移の例を説明します。HIGH から LOW へも、類似した方法で遷移します。

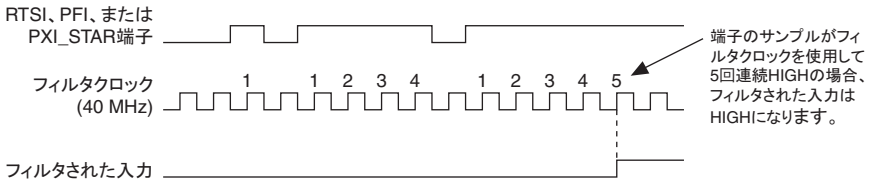
たとえば、入力端子が長い間 LOW レベルであったとします。その後、その入力端子が HIGH に変化し、何度かグリッチが発生したとします。フィルタクロックによって連続した N 個のエッジで HIGH 信号がサンプリングされると、LOW から HIGH への遷移は回路の他の部分に伝播します。 N の値は、フィルタの設定によって表 7-7 のように決定されます。

表 7-7. フィルタ

フィルタ設定	N (信号をパスするために必要なフィルタクロック数)	フィルタを確実に通過するパルス幅	フィルタを確実に通過しないパルス幅
125 ns	5	125 ns	100 ns
6.425 μ s	257	6.425 μ s	6.400 μ s
2.56 ms	~ 101,800	2.56 ms	2.54 ms
無効	—	—	—

各入力に対するフィルタの設定は、個別に構成できます。起動時、フィルタは無効です。図 7-30 は、フィルタを 125 ns ($N = 5$) に設定した場合の入力での LOW から HIGH への遷移を示しています。

図 7-30. フィルタの例



フィルタを有効にすると、入力信号にジッタが発生します。125 ns と 6.425 μ s のフィルタ設定では、最大 25 ns のジッタが発生します。2.56 ms のフィルタ設定では、最大 10.025 μ s のジッタが発生します。

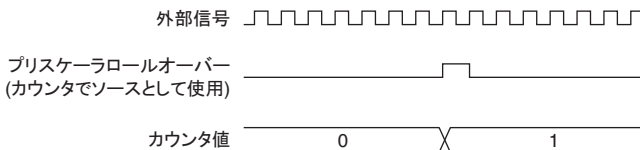
PFI 入力 が RTSI に直接経路設定されている場合、または RTSI 入力 が PFI に直接経路設定されている場合、M シリーズデバイスはフィルタされた入力信号を使用しません。

デジタルフィルタおよびカウンタの詳細については、技術サポートデータベースのドキュメント「Debounce Digital Filtering With NI 62xx M Series and cDAQ」を参照してください。この技術サポートデータベースのドキュメントを参照するには、ni.com/info で Info Code に「`rddfms`」と入力してください。

プリスケール

プリスケールを使用すると、カウンタの最大タイムベースより高速な信号をカウントできます。M シリーズデバイスでは、各カウンタにおいて 8X と 2X のプリスケールを使用できます (プリスケールは無効にできます)。各プリスケールは、8 (または 2) までカウントしてロールオーバーする小型で簡単なカウンタから構成されています。このカウンタは、この小型のカウンタのロールオーバー回数をカウントするだけの大型のカウンタよりも高速に実行できます。したがって、プリスケールはソースにおいて周波数分周を実行し、受け入れ信号の 8 分の 1 (または 2 分の 1) の周波数を出力します。

図 7-31. プリスケール



プリスケールは、連続的な繰り返し信号の周波数を測定するために使用されます。プリスケールカウンタは読み取り不可能なため、前回のロールオーバーから何回エッジが発生したか確認できません。プリスケールは、7 つ (または 1 つ) までの誤差が許

容できることを条件に、イベントカウントの目的で使用できます。プリスケールは、カウンタソースが外部信号である場合に使用できます。また、プリスケールはカウンタのソースが内部タイムベース (80 MHzTimebase、20 MHzTimebase、100 kHzTimebase) の場合は使用できません。

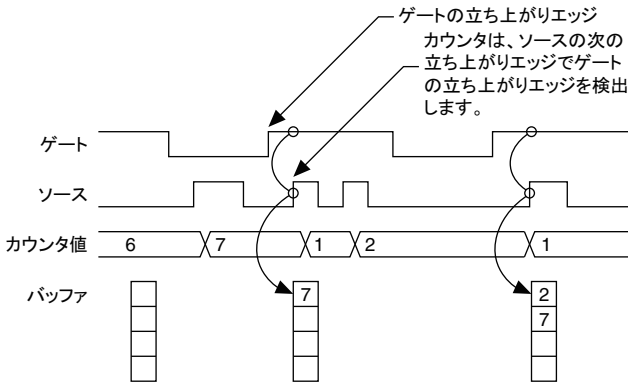
重複カウント防止

重複カウント防止 (または同期カウントモード) を使用すると、低速または非周期的な外部ソースを使用するアプリケーションで、カウンタから正しいデータを得ることができます。重複カウント防止は、周波数や周期を測定するバッファ型カウンタアプリケーションにのみ適用できます。バッファ型アプリケーションでは、カウンタはゲート信号の立ち上がりエッジ間で発生する外部ソースのパルス回数を保存する必要があります。

正しく動作するアプリケーションの例 (重複カウントなし)

図 7-32 は、周期測定のソースである外部バッファ信号を表しています。

図 7-32. 重複カウント防止の例



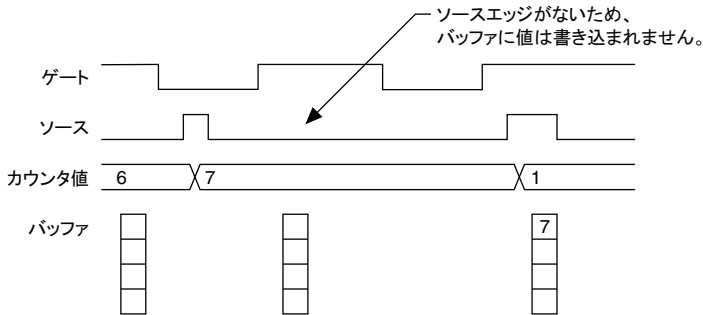
ゲートの最初の立ち上がりエッジで、現在のカウンタである 7 が保存されます。ゲートの次の立ち上がりエッジで、カウンタは 2 を保存します。これは、ゲートの前回の立ち上がりエッジの後にソースでパルスが 2 回発生したためです。

カウンタは、ゲート信号をソース信号と使用して、同期化またはサンプリングするため、次のソースパルスが発生するまでゲートの立ち上がりエッジを検出しません。この例では、カウンタは、ゲートの立ち上がりエッジの後に発生する最初のソースの立ち上がりエッジでバッファに値を保存します。カウンタがゲート信号を同期化する正確なタイミングは、同期モードに応じて異なります。同期モードの詳細については、「同期モード」のセクションを参照してください。

正しく動作しないアプリケーションの例 (重複カウント)

図 7-33 では、ゲートの最初の立ち上がりエッジの後にソースでパルスが発生していないため、カウンタはバッファに正しいデータを書き込みません。

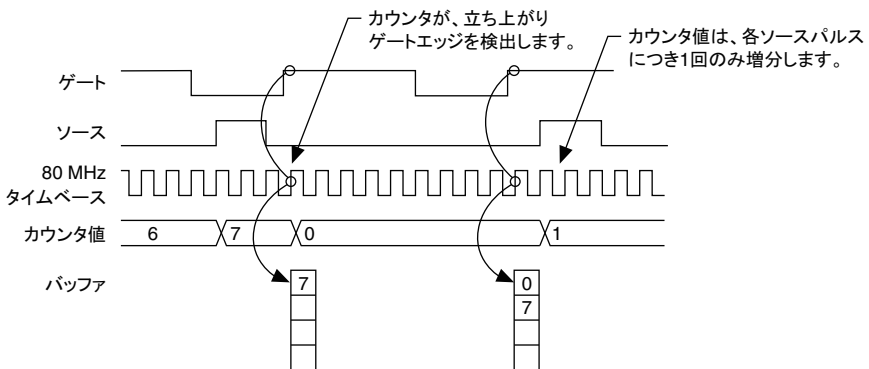
図 7-33. 重複カウント防止の例



重複カウントを防止するアプリケーションの例

重複カウント防止を有効にすると、カウンタはソース信号とゲート信号を 80 MHz タイムベースに同期化します。タイムベースに同期化することにより、ソースにパルスが発生しなくてもカウンタがゲートのエッジを検出できるようになります。これにより、ゲート信号の合間にソースでエッジが発生しなくてもバッファに正確なカウントが保存されます (図 7-34 を参照)。

図 7-34. 重複カウント防止の例



カウンタは、長いソースパルスに対しても、一度だけ増分します。

通常、カウンタ値と Counter n Internal Output 信号はソース信号に同期して変化します。重複カウント防止を有効にすると、カウンタ値と Counter n Internal Output 信号は 80 MHz タイムベースに同期して変化します。

重複カウント防止は、ソース信号の周波数が 20 MHz 以下の場合にのみ使用することに注意してください。

重複カウント防止を使用する条件

重複カウント防止は、次の条件を満たす場合に使用する必要があります。

- カウンタ測定を実行している。
- 外部信号 (PFI x など) をカウンタソースとして使用している。
- 外部ソースの周波数が 20 MHz 以下である。
- 80 MHz タイムベースと同期して変化するカウンタ値と出力を使用できる。

上記の条件を満たさない場合は、重複カウント防止を使用しないでください。

NI-DAQmx で重複カウント防止を有効にする

NI-DAQmx で重複カウント防止を有効にするには、**重複カウント防止**属性 / プロパティを設定できます。**重複カウント防止**属性 / プロパティの設定方法については、使用している API のヘルプを参照してください。

同期モード

32 ビットカウンタは、ソース信号に同期してカウントアップまたはカウントダウンします。ゲート信号やその他のカウンタ入力は、ソース信号に対して非同期的です。このため、M シリーズデバイスは、これらの信号を内部カウンタへ渡す前に同期化します。

M シリーズデバイスは、以下の 3 つの同期方法のいずれかを使用します。

- 「80 MHz ソースモード」
- 「その他の内部ソースモード」
- 「外部ソースモード」

DAQmx では、以下を実行する場合、デバイスは、80 MHz ソースモードを使用します。

- 位置測定の実行
- 重複カウント防止の選択

それ以外の場合は、Counter n Source を駆動する信号に応じてモードが決定されま
す。表 7-8 は、各モードの条件を示しています。

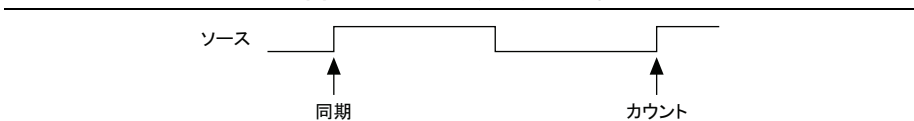
表 7-8. 同期モードの条件

重複カウント防止 が有効	測定の種類	Counter n Source の駆動信号	同期モード
はい	任意	任意	80 MHz ソース
いいえ	位置測定	任意	80 MHz ソース
いいえ	任意	80 MHz タイム ベース	80 MHz ソース
いいえ	位置測定以外のす べての測定	20 MHz タイム ベース、100 kHz タイムベース、ま たは PXL_CLK10	その他の内部 ソース
いいえ	位置測定以外のす べての測定	その他の信号 (PFI または RTSI など)	外部ソース

80 MHz ソースモード

80 MHz ソースモードでは、図 7-35 で示すように、デバイスは信号をソースの立ち上
がりエッジで同期化し、その次の立ち上がりエッジをカウントします。

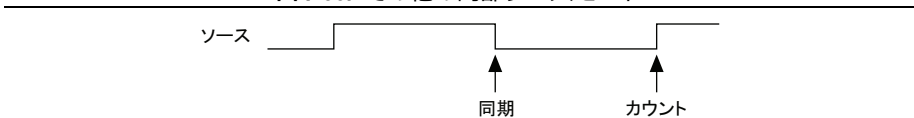
図 7-35. 80 MHz ソースモード



その他の内部ソースモード

その他の内部ソースモードでは、図 7-36 で示すように、デバイスは信号をソースの
立ち下がりエッジで同期化し、その次の立ち上がりエッジをカウントします。

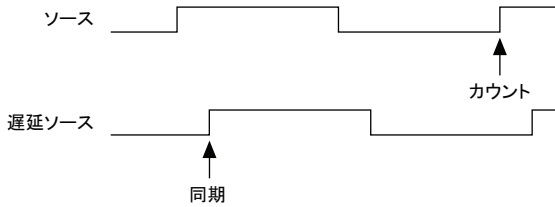
図 7-36. その他の内部ソースモード



外部ソースモード

外部ソースモードでは、デバイスは、ソース信号を数ナノ秒遅延させることによって、遅延したソース信号を生成します。図 7-37 で示すように、デバイスは信号をソース信号の立ち上がりエッジで同期化し、遅延ソース信号の次の立ち上がりエッジをカウントします。

図 7-37. 外部ソースモード



PFI

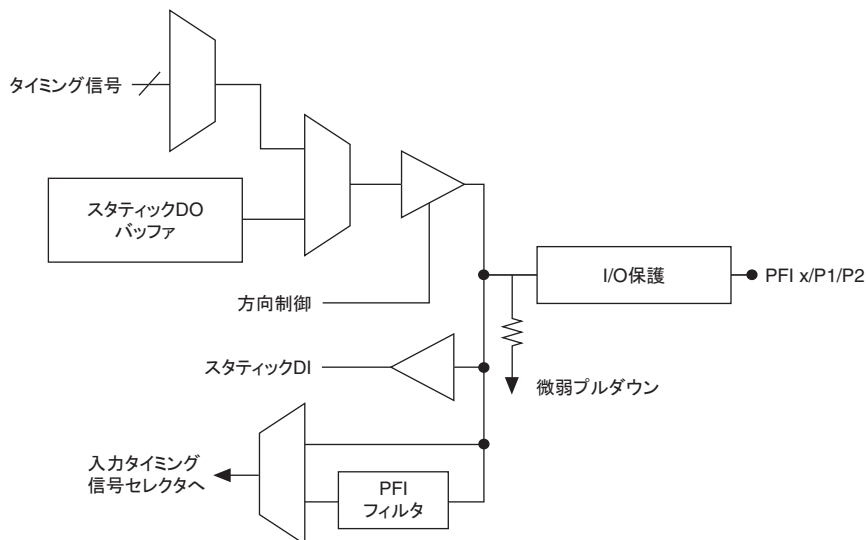
M シリーズデバイスは、最大 16 個の PFI (プログラム可能な機能的インタフェース) 信号を備えています。さらに、M シリーズデバイスには、最大 32 ラインの双方向 DIO 信号があります。

各 PFI は、以下のように個別に構成できます。

- スタティックデジタル入力
- スタティックデジタル出力
- AI、AO、DI、DO へのタイミング入力信号、またはカウンタ / タイマ機能
- AI、AO、DI、DO からのタイミング出力信号、またはカウンタ / タイマ機能

各 PFI 入力には、プログラム可能なデバウンスフィルタもあります。図 8-1 は、1 つの PFI ラインの回路を示したものです。各 PFI ラインは類似しています。

図 8-1. M シリーズ PFI 回路



端子は、タイミング入力または出力として使用される場合、PFI x と呼ばれます (x は 0 ~ 15 の整数)。端子は、スタティックデジタル入力または出力として使用される場合、P1. x または P2. x と呼ばれます。I/O コネクタでは、各端子は PFI x /P1 または PFI x /P2 とラベル付けされています。

PFI 信号の電圧入力と出力レベルおよび電流駆動レベルは、各デバイスの仕様に記載されています。

PFI 端子をタイミング入力信号として使用する

PFI 端子を使用して、外部タイミング信号をさまざまな M シリーズ機能に経路設定します。各 PFI 端子は、以下の信号に経路設定できます。

- AI 変換クロック (ai/ConvertClock)
- AI サンプルクロック (ai/SampleClock)
- AI 開始トリガ (ai/StartTrigger)
- AI 基準トリガ (ai/ReferenceTrigger)
- AI 一時停止トリガ (ai/PauseTrigger)
- AI サンプルクロックタイムベース (ai/SampleClockTimebase)
- AO 開始トリガ (ao/StartTrigger)
- AO サンプルクロック (ao/SampleClock)
- AO サンプルクロックタイムベース (ao/SampleClockTimebase)
- AO 一時停止トリガ (ao/PauseTrigger)
- ソース、ゲート、Aux、HW_Arm、A、B、Z のいずれかのカウンタのカウンタ入力信号
- DI サンプルクロック (di/SampleClock)
- DO サンプルクロック (do/SampleClock)

PFI 入力の極性、および入力のエッジセンシティブ / レベルセンシティブの設定は、ほとんどの機能で構成可能です。

PFI 端子を使用してタイミング出力信号をエクスポートする

出力として構成された任意の PFI 端子には、以下のタイミング信号を経路設定できません。

- AI 変換クロック * (ai/ConvertClock)
- AI ホールド完了イベント (ai/HoldCompleteEvent)
- AI 基準トリガ (ai/ReferenceTrigger)
- AI サンプルクロック (ai/SampleClock)
- AI 開始トリガ (ai/StartTrigger)
- AO サンプルクロック * (ao/SampleClock)
- AO 開始トリガ (ao/StartTrigger)
- Counter *n* Source
- Counter *n* Gate
- Counter *n* Internal Output
- 周波数出力
- PXI_STAR
- RTSI <0..7>
- アナログ比較イベント
- 変化検出イベント
- DI サンプルクロック * (di/SampleClock)
- DO サンプルクロック * (do/SampleClock)



メモ * の付いた信号は、端子で使用される前に反転します。これらの信号はアクティブ LOW です。

PFI 端子をスタティックデジタル I/O として使用する

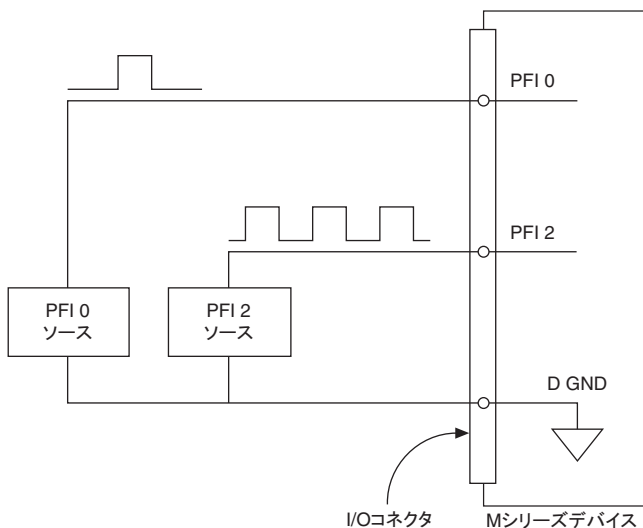
各 PFI は、スタティックデジタル入力またはスタティックデジタル出力として個々に構成できます。端子は、スタティックデジタル入力または出力として使用される場合、P1.*x* または P2.*x* と呼ばれます。I/O コネクタでは、各端子は PFI *x*/P1.*x* または PFI *x*/P2.*x* とラベル付けされています。

さらに、M シリーズデバイスには、最大 32 ラインの双方向 DIO 信号があります。

PFI 入力信号を接続する

すべての PFI 入力接続は、D GND を基準とします。図 8-2 は、この基準と外部 PFI 0 ソースおよび外部 PFI 2 ソースを 2 つの PFI 端子に接続する方法を示しています。

図 8-2. PFI 入力信号の接続



PFI フィルタ

各 PFI、RTSI、または PXL_STAR 信号には、プログラム可能なデバウンスフィルタを適用できます。フィルタを適用すると、デバイスはフィルタクロックの各立ち上がりエッジで入力信号をサンプリングします。M シリーズデバイスは、オンボード発振器を使用して周波数が 40 MHz のフィルタクロックを生成します。



メモ NI-DAQmx は、カウンタ入力に対するフィルタのみをサポートしません。

入力信号の LOW から HIGH への遷移の例を説明します。HIGH から LOW へも、類似した方法で遷移します。

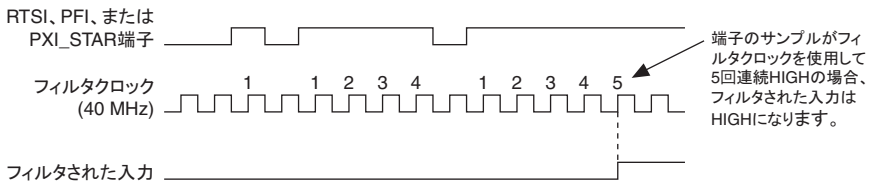
たとえば、入力端子が長い間 LOW レベルであったとします。その後、その入力端子が HIGH に変化し、何度かグリッチが発生したとします。フィルタクロックによって連続した N 個のエッジで HIGH 信号がサンプリングされると、LOW から HIGH への遷移は、回路の他の部分に伝播します。N の値は、フィルタの設定によって表 8-1 のように決定されます。

表 8-1. フィルタ

フィルタ設定	N (信号をパスするために必要なフィルタクロック数)	フィルタを確実に通過するパルス幅	フィルタを確実に通過しないパルス幅
125 ns	5	125 ns	100 ns
6.425 μ s	257	6.425 μ s	6.400 μ s
2.56 ms	~ 101,800	2.56 ms	2.54 ms
無効	—	—	—

各入力に対するフィルタの設定は、個別に構成できます。起動時、フィルタは無効です。図 8-3 は、フィルタを 125 ns (N = 5) に設定した場合の入力での LOW から HIGH への遷移を示しています。

図 8-3. フィルタの例



フィルタを有効にすると、入力信号にジッタが発生します。125 ns と 6.425 μ s のフィルタ設定では、最大 25 ns のジッタが発生します。2.56 ms のフィルタ設定では、最大 10.025 μ s のジッタが発生します。

PFI 入力 が RTSI に直接経路設定されている場合、または RTSI 入力 が PFI に直接経路設定されている場合、M シリーズデバイスはフィルタされた入力信号を使用しません。

デジタルフィルタおよびカウンタの詳細については、技術サポートデータベースのドキュメント「Debounce Digital Filtering with NI 62xx M Series and cDAQ」を参照してください。この技術サポートデータベースのドキュメントを参照するには、ni.com/info で Info Code に「rddfms」と入力してください。

I/O 保護

各 DIO および PFI 信号は、過電圧、低電圧、過電流の状態、および静電破壊 (ESD) から保護されています。ただし、以下のガイドラインに従って、これらの不良状態を回避する必要があります。

- PFI または DIO ラインを出力として構成する場合は、DIO ラインを外部信号ソースや、グラウンド、または電源に接続しないでください。
- PFI または DIO ラインを出力として構成する場合は、これらの信号に接続された負荷の電流要件を考慮する必要があります。DAQ デバイスの指定された電流出力制限を超えないでください。ナショナルインスツルメンツは、高電流駆動を必要とするデジタルアプリケーション用にいくつかの信号調節ソリューションを提供しています。
- PFI または DIO ラインを入力として構成する場合は、通常動作範囲外の電圧でラインを駆動しないでください。PFI または DIO ラインの動作範囲は、AI 信号の動作半よりも小さくなります。
- DAQ デバイスは、静電気放電に敏感なデバイスとして取り扱う必要があります。DAQ デバイスの操作や接続を行う際は、常に身体と装置に接地を施してください。

プログラム可能な電源投入時の状態

システムの起動およびリセット時、ハードウェアは、すべての PFI および DIO ラインを高インピーダンス入力にデフォルトで設定します。DAQ デバイスは、信号 HIGH または LOW を駆動しません。デバイスの仕様書に記載されているように、各ラインには微弱プルダウン抵抗が接続されています。

NI-DAQmx では、PFI および DIO ラインでプログラム可能な電源投入時の状態がサポートされています。ソフトウェアで P0、P1、および P2 ラインに起動時の任意の値をプログラムできます。PFI および DIO ラインは以下のように設定できます。

- 微弱プルダウン抵抗付きの高インピーダンス入力 (デフォルト)
- 0 を駆動する出力
- 1 を駆動する出力

NI-DAQmx または MAX で電源投入時の状態を設定する方法の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』を参照してください。



メモ M シリーズデバイスを使用して SCXI シャーシを制御する場合は、DIO ライン 0、1、2、および 4 が通信ラインとして使用されるため、これらの信号への悪影響を回避するためには、デフォルトの高インピーダンス状態のまま起動する必要があります。

デジタル接続とクロック生成

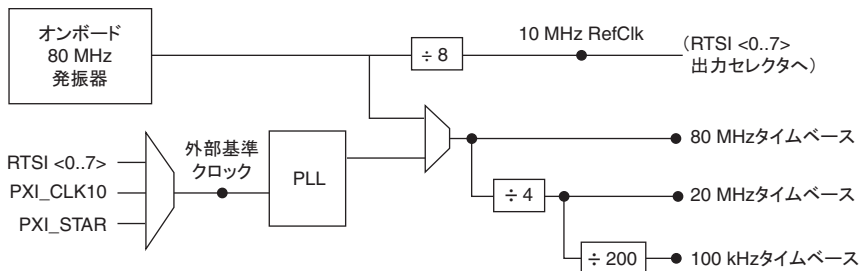
デジタル経路設定回路の主な機能は以下のとおりです。

- バスインタフェースと集録 / 生成サブシステム (アナログ I/O、デジタル I/O、カウンタ) の間のデータの流れを制御します。デジタル経路設定回路は、可能であれば FIFO を各サブシステムで使用して効率的にデータを移動します。
- タイミング信号と制御信号を経路設定します。集録 / 生成サブシステムは、これらの信号によって集録と生成を制御します。これらの信号は次のソースから受け入れることができます。
 - M シリーズデバイス
 - RTSI を介するシステムのその他のデバイス
 - PFI 端子を介するユーザの入力
 - PXI_STAR 端子を介するユーザの入力
- M シリーズデバイスでメインクロック信号の経路設定および生成を行います。

クロック経路設定

図 9-1 は、M シリーズデバイスのクロック経路設定回路を示しています。

図 9-1. M シリーズクロック経路設定回路



80 MHz タイムベース

80 MHz タイムベースは、32 ビット汎用カウンタ / タイマへのソース入力として使用できます。

80 MHz タイムベースは、以下のソースから生成されます。

- オンボード発振器
- 外部信号 (外部基準クロックを使用)

20 MHz タイムベース

20 MHz タイムベースは、通常、さまざまな AI/AO タイミング信号を生成します。20 MHz タイムベースは、32 ビット汎用カウンタ / タイマへのソース入力としても使用できます。

20 MHz タイムベースは、80 MHz タイムベースを分周して生成されます。

100 kHz タイムベース

100 kHz タイムベースは、さまざまな AI/AO タイミング信号の生成に使用できます。100 kHz タイムベースは、32 ビット汎用カウンタ / タイマへのソース入力としても使用できます。

100 kHz タイムベースは、20 MHz タイムベースを 200 で分周して生成されます。

外部基準クロック

外部基準クロックは、M シリーズデバイスで内部タイムベース (80 MHz タイムベース、20 MHz タイムベース、および 100 kHz タイムベース) のソースとして使用できます。外部基準クロックを使用することによって、内部タイムベースを外部クロックに同期できます。

外部基準クロックは、以下の信号を経路設定して駆動できます。

- RTSI <0..7>
- PXI_CLK10
- PXI_STAR

外部基準クロックは、位相ロックループ (PLL) への入力です。PLL は、内部タイムベースを生成します。

10 MHz 基準クロック

10 MHz 基準クロックを使用すると、その他のデバイスを M シリーズデバイスに同期できます。10 MHz 基準クロックは、RTSI <0..7> 端子に経路設定できます。RTSI バスに接続された他のデバイスは、この信号をクロック入力として使用できます。

10 MHz 基準クロックは、オンボード発振器を分周することによって生成されます。

複数のデバイスを同期する

以下のセクションには、複数の M シリーズデバイスの同期に関する情報が記載されています。

PXI/PXI Express モジュール

PXI システムでは、デバイスを PXI_CLK10 に同期できます。このアプリケーションでは、PXI シャーシがイニシエータの役割をします。各 PXI/PXI Express モジュールは、PXI_CLK10 をその外部基準クロックに経路設定します。

PXI システムでのもう 1 つのオプションは、PXI_STAR を使用することです。Star トリガコントローラデバイスは、イニシエータとして機能し、クロック信号で PXI_STAR を駆動します。各ターゲットデバイスは、PXI_STAR を外部基準クロックに経路設定します。

PCI/PCI Express デバイス

RTSI バスおよび PFI バスと M シリーズ PCI/PCI Express デバイスの経路設定機能と使用する場合、アプリケーションにより、複数のデバイスを同期する方法はいくつかあります。

複数のデバイスを共通のタイムベースに同期するには、1 つのデバイスをイニシエータとして選択しタイムベースを生成します。イニシエータデバイスは、10 MHz 基準クロックを RTSI <0..7> 端子または PFI <0..15> 端子に経路設定します。

すべてのデバイス（イニシエータデバイスを含む）は、RTSI または PFI から 10 MHz 基準クロックを受け取ります。この信号は、外部基準クロックになります。各デバイスの PLL は、外部基準クロックに同期された内部タイムベースを生成します。

すべてのデバイスが共通のタイムベースを使用するか、基準とすると、それらのデバイスで操作を同期し、RTSI バスまたは PFI バスを通じて共通の開始トリガを送信し、サンプルクロックレートを同じ値に設定できます。

USB デバイス

PFI バスと USB M シリーズデバイスの経路設定機能と使用する場合、アプリケーションにより、複数のデバイスを同期する方法はいくつかあります。

複数のデバイスを共通のタイムベースに同期するには、1 つのデバイスをイニシエータとして選択しタイムベースを生成します。イニシエータデバイスは、10 MHz 基準クロックを PFI <0..15> 端子に経路設定します。

すべてのデバイス（イニシエータデバイスを含む）は、PFI から 10 MHz 基準クロックを受け取ります。この信号は、外部基準クロックになります。各デバイスの PLL は、外部基準クロックに同期された内部タイムベースを生成します。

すべてのデバイスが共通のタイムベースを使用するか、基準とすると、それらのデバイスで操作を同期し、PFI バスを通じて共通の開始トリガを送信し、サンプルクロックを同じ値に設定できます。

リアルタイムシステムインテグレーション (RTSI)

リアルタイムシステムインテグレーション (RTSI) は、デバイス間で転送される一連の信号であり、以下を実行できます。

- 共通のクロック（またはタイムベース）を使用して、複数のデバイスでタイミングエンジンを駆動する
- デバイス間でトリガ信号を共有する

RTSI は、ナショナルインスツルメンツの DAQ、モーション、ビジョン、および CAN デバイスの多くでサポートされています。



メモ RTSI は、USB デバイスではサポートされていません。

PCI/PCI Express システムでは、RTSI バスは、RTSI バスインタフェースとリボンケーブルで構成されています。このバスは、コンピュータ内の DAQ、ビジョン、モーション、および CAN の最高 5 個のデバイス上の機能間でタイミングとトリガ信号を接続できます。

PXI/PXI Express システムでは、RTSI バスは、RTSI バスインタフェースと PXI バックプレーンの PXI トリガ信号で構成されています。このバスは、システム内の DAQ の 7 個のデバイス上の複数の機能間でタイミングとトリガ信号を接続できます。

RTSI コネクタのピン配列

(PCI/PCI Express デバイス) 図 9-2 は RTSI コネクタのピン配列を示し、表 9-1 は RTSI 信号を説明しています。

図 9-2. M シリーズ PCI/PCI Express デバイスの RTSI ピン配列

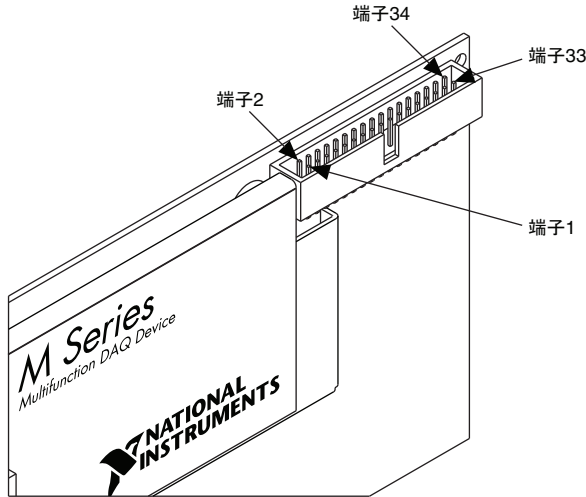


表 9-1. RTSI 信号

RTSI バス信号	端子
RTSI 7	34
RTSI 6	32
RTSI 5	30
RTSI 4	28
RTSI 3	26
RTSI 2	24
RTSI 1	22
RTSI 0	20
接続なし。これらの端子には信号を接続しないでください。	1 ~ 18
D GND	19、21、23、25、27、29、31、33

RTSI を出力として使用する

RTSI <0..7> は、双方向の端子です。出力として、以下の信号を RTSI 端子に駆動できません。

- AI 開始トリガ (ai/StartTrigger)
- AI 基準トリガ (ai/ReferenceTrigger)
- AI 変換クロック * (ai/ConvertClock)
- AI サンプルクロック (ai/SampleClock)
- AI 一時停止トリガ (ai/PauseTrigger)
- AO サンプルクロック * (ao/SampleClock)
- AO 開始トリガ (ao/StartTrigger)
- AO 一時停止トリガ (ao/PauseTrigger)
- 10 MHz 基準クロック
- Counter n Source、Gate、Z、Internal Output
- 変化検出イベント
- アナログ比較イベント
- FREQ OUT
- PFI <0..5>



メモ * の付いた信号は、RTSI 端子で駆動される前に反転します。

RTSI 端子をタイミング入力信号として使用する

RTSI 端子を使用して、外部タイミング信号をさまざまな M シリーズ機能に経路設定できます。各 RTSI 端子は、以下の信号に経路設定できます。

- AI 変換クロック (ai/ConvertClock)
- AI サンプルクロック (ai/SampleClock)
- AI 開始トリガ (ai/StartTrigger)
- AI 基準トリガ (ai/ReferenceTrigger)
- AI 一時停止トリガ (ai/PauseTrigger)
- AI サンプルクロックタイムベース (ai/SampleClockTimebase)
- AO 開始トリガ (ao/StartTrigger)
- AO サンプルクロック (ao/SampleClock)
- AO サンプルクロックタイムベース (ao/SampleClockTimebase)
- AO 一時停止トリガ (ao/PauseTrigger)
- いずれかのカウンタの入力信号—ソース、ゲート、Aux、HW_Arm、A、B、Z

- DI サンプルクロック (di/SampleClock)
- DO サンプルクロック (do/SampleClock)

PFI 入力の極性、および入力のエッジセンシティブ / レベルセンシティブの設定は、ほとんどの機能で構成可能です。

RTSI フィルタ

各 PFI、RTSI、または PXI_STAR 信号には、プログラム可能なデバウンスフィルタを適用できます。フィルタを適用すると、デバイスはフィルタクロックの各立ち上がりエッジで入力信号をサンプリングします。M シリーズデバイスは、オンボード発振器を使用して周波数が 40 MHz のフィルタクロックを生成します。



メモ NI-DAQmx は、カウンタ入力に対するフィルタのみをサポートしません。

入力信号の LOW から HIGH への遷移の例を説明します。HIGH から LOW へも、同様に遷移します。

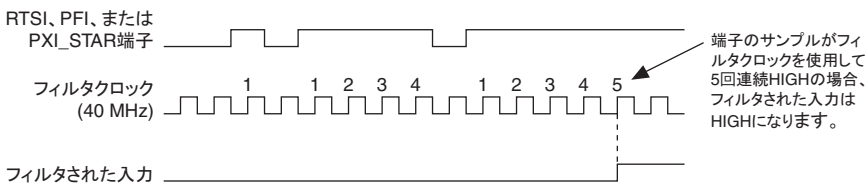
たとえば、入力端子がしばらく LOW レベルであったとします。その後、その入力端子が HIGH に変化し、何度かグリッチが発生したとします。フィルタクロックによって連続した N 個のエッジで HIGH 信号がサンプリングされると、LOW から HIGH への遷移が回路の他の部分に伝播します。N の値は、フィルタの設定によって表 9-2 のように決定されます。

表 9-2. フィルタ

フィルタ設定	N (信号をパスするために必要なフィルタクロック数)	フィルタを確実に通過するパルス幅	フィルタを確実に通過しないパルス幅
125 ns	5	125 ns	100 ns
6.425 μ s	257	6.425 μ s	6.400 μ s
2.56 ms	~ 101,800	2.56 ms	2.54 ms
無効	—	—	—

各入力に対するフィルタの設定は、個別に構成できます。起動時、フィルタは無効です。図 9-3 は、フィルタを 125 ns (N = 5) に設定した場合の入力での LOW から HIGH への遷移を示しています。

図 9-3. フィルタの例



フィルタを有効にすると、入力信号にジッタが発生します。125 ns と 6.425 μ s のフィルタ設定では、最大 25 ns のジッタが発生します。2.56 ms のフィルタ設定では、最大 10.025 μ s のジッタが発生します。

PFI 入力が RTSI に直接経路設定されている場合、または RTSI 入力が PFI に直接経路設定されている場合は、M シリーズデバイスはフィルタされた入力信号を使用しません。

デジタルフィルタおよびカウンタの詳細については、技術サポートデータベースのドキュメント「Debounce Digital Filtering with NI 62xx M Series and cDAQ」を参照してください。この技術サポートデータベースのドキュメントを参照するには、ni.com/info で Info Code に「rddfms」と入力してください。

PXI クロックおよびトリガ信号

PXI クロックおよびトリガ信号は PXI/PXI Express デバイスのみで使用できます。

PXI_CLK10

PXI_CLK10 は、PXI 測定または制御システムで複数モジュールの同期に使用する、共通の歪みの少ない 10 MHz 基準クロックです。PXI_CLK10 は、PXI バックプレーンで、PXI シャーシの各周辺スロットに対して個々に生成されます。

PXI トリガ

PXI シャーシは、システム内の各モジュールに 8 個のバストリガラインを提供します。トリガは 1 個のモジュールから他のモジュールへ渡すこともできるため、監視下または制御下にある非同期外部イベントに正確なタイミングで応答できます。トリガは、いくつかの異なる PXI 周辺モジュールの操作を同期するために使用できます。

M シリーズデバイスでは、PXI トリガの 8 個のラインは RTSI <0..7> と同様の働きをします。

8 個以上のスロットがある PXI シャーシでは、PXI トリガラインが複数の独立したバスに分割される場合があることに注意してください。詳細については、各シャーシの関連ドキュメントを参照してください。

PXI_STAR トリガ

PXI システムでは、Star トリガバスは、最初の周辺スロット (システムスロットに隣接するスロット) とその他の周辺スロット間に専用のトリガラインを実装します。Star トリガは、複数のデバイスを同期したり、デバイス間で共通トリガを共有したりするために使用できます。

Star トリガコントローラは、この最初の周辺スロットに取り付けることができ、トリガ信号をその他の周辺モジュールに提供します。この機能を必要としないシステムは、この最初の周辺スロットに任意の標準周辺モジュールを取り付けることができます。

M シリーズデバイスは、Star トリガコントローラから Star トリガ信号 (PXI_STAR) を受け取ります。PXI_STAR は、外部ソースとして多くの AI、AO、およびカウンタ信号に使用できます。

M シリーズデバイスは Star トリガコントローラではありません。M シリーズデバイスは、PXI システムの最初の周辺スロットで使用できますが、システムは Star トリガの機能は使用できません。

PXI_STAR フィルタ

各 PFI、RTSI、または PXI_STAR 信号に対して、プログラム可能なデバウンスフィルタを適用できます。フィルタを適用すると、使用するデバイスはフィルタクロックの各立ち上がりエッジで入力信号をサンプリングします。M シリーズデバイスは、オンボード発振器を使用して周波数が 40 MHz のフィルタクロックを生成します。



メモ NI-DAQmx は、カウンタ入力に対するフィルタのみをサポートします。

入力信号の LOW から HIGH への遷移の例を説明します。HIGH から LOW へも、同様に遷移します。

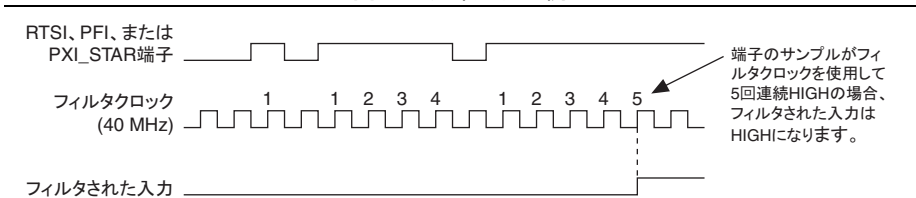
たとえば、入力端子がしばらく LOW レベルであったとします。その後、その入力端子が HIGH に変化し、何度かグリッチが発生したとします。フィルタクロックによって連続した N 個のエッジで HIGH 信号がサンプリングされると、LOW から HIGH への遷移が回路の他の部分に伝播します。N の値は、フィルタの設定によって表 9-3 のように決定されます。

表 9-3. フィルタ

フィルタ設定	N (信号をパスするために必要なフィルタクロック数)	フィルタを確実に通過するパルス幅	フィルタを確実に通過しないパルス幅
125 ns	5	125 ns	100 ns
6.425 μ s	257	6.425 μ s	6.400 μ s
2.56 ms	~ 101,800	2.56 ms	2.54 ms
無効	—	—	—

各入力に対するフィルタの設定は、個別に構成できます。起動時にはフィルタは無効になります。図 9-4 は、フィルタを 125 ns (N = 5) に設定した場合の入力での LOW から HIGH への遷移を示しています。

図 9-4. フィルタの例



フィルタを有効にすると、入力信号にジッタが発生します。125 ns と 6.425 μ s のフィルタ設定では、最大 25 ns のジッタが発生します。2.56 ms のフィルタ設定では、最大 10.025 μ s のジッタが発生します。

PFI 入力が RTSI に直接経路設定されている場合、または RTSI 入力が PFI に直接経路設定されている場合は、M シリーズデバイスではフィルタされた入力信号を使用しません。

デジタルフィルタおよびカウンタの詳細については、技術サポートデータベースのドキュメント「[Debounce Digital Filtering with NI 62xx M Series and cDAQ](#)」を参照してください。この技術サポートデータベースのドキュメントを参照するには、ni.com/info で Info Code に「`rddfms`」と入力してください。

バスインタフェース

M シリーズのバスインタフェース回路は、ホストメモリと測定 / 集録回路間でデータを効率的に転送します。M シリーズデバイスは、以下のプラットフォームで使用できます。

- PCI
- PCI Express
- PXI
- PXI Express
- USB

M シリーズデバイスは、完全なプラグアンドプレイ操作ができるようにジャンパがありません。オペレーティングシステムが、ベースアドレス、割り込みレベル、およびその他のリソースを自動的に割り当てます。

NI M シリーズの PCI/PCIe/PXI/PXIe デバイスは、PCI-MITE テクノロジを取り入れ、高性能な PCI インタフェースを実装します。M シリーズ USB デバイスは、USB-STC2 の技術を内蔵することによって、Hi-Speed USB インタフェースを実装しています。

データの転送方法

M シリーズデバイスのバスインタフェースデータ転送については、以下のセクションを参照してください。

PCI/PCI Express デバイスおよび PXI/PXI Express モジュールデータの転送方法

PCI バスを介してデータを転送するには、主に以下の方法があります。

- **ダイレクトメモリアクセス (DMA)**— DMA は、デバイスとコンピュータメモリ間で CPU を関与させずにデータを転送する方法です。このため、使用可能な転送方法の中では、DMA が一番速いデータ転送方法です。NI では、高速な処理能力の実現、そしてシステム稼働率の向上のために、DMA ハードウェアおよびソフトウェアの技術を使用しています。DMA は、PCI、PCI Express、PXI、および PXI Express デバイスおよびモジュールのデフォルトのデータ転送方法です。

NI M シリーズ PCI/PCIe/PXI/PXle デバイスは、6 個の完全に独立した DMA コントローラを搭載しており、高性能なデータブロック転送を実現します。各測定と集録ブロックに、DMA コントローラを 1 個ずつ使用できます。

- アナログ入力
- アナログ出力
- カウンタ 0
- カウンタ 1
- デジタル波形生成 (デジタル出力)
- デジタル波形集録 (デジタル入力)

DMA コントローラの各チャンネルには、1 つの FIFO、およびその FIFO を埋めるプロセスと空にする独立したプロセスがあります。これにより、転送に関わるバスが操作を独立して実行し、最適なパフォーマンスを生み出します。データはポート間で同時に転送されます。DMA コントローラは、FIFO との間のバースト転送をサポートしています。

各 DMA コントローラは、PCI/PXI バスの利用率を最適化するいくつかの機能をサポートしています。DMA コントローラは、FIFO を介してデータをパックおよびアンパックします。この機能によって、DMA コントローラは DAQ 回路への複数の 16 ビット転送を PCI 上でひとつの 32 ビットバースト転送に組み合わせることができます。また、DMA コントローラは、PCI/PXI 上のアラインされていないメモリバッファを自動的に処理します。

- **割り込み要求 (IRQ)**— IRQ は、CPU を介してデータ転送要求を実行します。デバイスはデータ転送の準備が完了すると CPU に通知します。データの転送速度は、CPU が割り込み要求を実行できるレートに緊密に関係しています。CPU が割り込みに対処できるレートより速いレートで割り込みを使用してデータを転送しようとする、システムがフリーズする場合があります。
- **プログラム I/O**—プログラム I/O は、ユーザのプログラムがデータの転送を行うデータ転送方法です。プログラムにおける読み取りまたは書き込みの各呼び出しにより、データ転送が開始されます。プログラム I/O は、通常、ソフトウェアタイミング (オンデマンド) 操作に使用されます。詳細については、第 5 章「[アナログ出力](#)」の「[アナログ出力データの生成方法](#)」セクションを参照してください。



メモ PCI、PCI Express、PXI、および PXI Express M シリーズデバイスでは、各計測および集録回路 (AI、AO など) に専用の DMA チャンネルがあります。ほとんどのアプリケーションでは、すべてのデータ転送に DMA が使用されます。ただし、NI-DAQmx では DMA を無効にし、割り込みを使用できます。NI-DAQmx を使用して、DMA と割り込み間でデータの転送方法を変更するには、**データ転送方法 (Data Transfer Mechanism)** プロパティノードを使用します。

USB デバイスのデータ転送方法

USB バスを介してデータを転送するには、主に以下の方法があります。

- USB 信号ストリーム**— USB 信号ストリームは、NI デバイス上のマイクロコントローラの介入なしで、USB バルク転送を使用して、デバイスとコンピュータのメモリの間でデータを転送する方法です。NI では、高速な処理能力の実現、そして USB デバイスでのシステム稼働率の向上のために、USB 信号ストリームハードウェアおよびソフトウェアの技術を使用しています。

M シリーズ USB デバイスには、高性能なデータブロック転送のために、4 個の完全に独立した USB 信号ストリームが搭載されています。これらのチャンネルは、最初に要請する 4 つの測定 / 集録回路に割り当てられます。

- プログラム I/O**—プログラム I/O は、ユーザのプログラムがデータの転送を行うデータ転送方法です。プログラムにおける読み取りまたは書き込みの各呼び出しにより、データ転送が開始されます。プログラム I/O は、通常、ソフトウェアタイミング (オンデマンド) 操作に使用されます。詳細については、第 5 章「[アナログ出力](#)」の「[アナログ出力データの生成方法](#)」セクションを参照してください。



メモ USB 信号ストリームチャンネルは、最初に要請する 4 つの測定 / 集録回路に割り当てられます。USB 信号ストリームを使用できない場合は、データ転送方法をプログラム I/O に設定する必要があります。そうしないと、ドライバがエラーを返します。USB 信号ストリームとプログラム I/O の間でデータの転送方法を変更するには、NI-DAQmx の [データ転送方法](#) ロパティノード関数を使用します。

PXI に関する注意事項

PXI クロックおよびトリガ信号は PXI デバイスのみで使用できます。

PXI クロックおよびトリガ信号

PXI クロックおよびトリガ信号の詳細については、第 9 章「[デジタル接続とクロック生成](#)」の「[PXI_CLK10](#)」、「[PXI トリガ](#)」、「[PXI_STAR トリガ](#)」、および「[PXI_STAR フィルタ](#)」の各セクションを参照してください。

PXI および PXI Express

NI PXI M シリーズデバイスは、PXI シャーシおよび PXI Express ハイブリッドシャーシのほぼすべてのスロットに取り付けることができます。NI PXI Express M シリーズデバイスは、PXI Express シャーシの任意の PXI Express スロットに取り付けることができます。

PXI 仕様は、PXI System Alliance (www.pxisa.org) によって作成されています (英語)。PXI 仕様の用語を使用した場合、一部の NI PXI M シリーズデバイスは 3U Hybrid Slot-Compatible PXI-1 Peripheral Module です。PXI M シリーズデバイスがハイブリッドスロットと互換性があるかを確認するには、各デバイスの仕様を参照してください。

3U とは、(背の高い 6U モジュールとは対照的に) 高さ 100 mm のデバイスを指します。

Hybrid slot-compatible (ハイブリッドスロット互換) は、デバイスが取り付けられる場所を定義します。PXI M シリーズデバイスは、以下のシャーシおよびスロットに取り付けることができます。

- **PXI シャーシ**— PXI M シリーズデバイスは、PXI シャーシの任意のスロットに取り付けられます。
- **PXI Express シャーシ¹**— PXI M シリーズデバイスは、以下の PXI Express シャーシスロットに取り付けられます。
 - PXI-1 スロット—すべての PXI モジュールの取り付けが可能です。
 - PXI ハイブリッドスロット—ハイブリッドスロットと互換性がある PXI モジュールまたは PXI Express モジュールの取り付けが可能です。
 - PXI Express スロット—PXI Express モジュールの取り付けが可能です。

PXI-1 デバイスは、PCI 信号を使用して、ホストコントローラに通信します (PCI Express 信号とは対照的)。

周辺デバイスは、周辺スロットに取り付けられ、システムコントローラではありません。

¹ 一部の PXI M シリーズデバイスには、2 つの型があります。1 つは PXI ハイブリッドスロットで動作し、もう 1 つはデバイスが一番右のスロットにある場合に SCXI 制御用のローカルバスをサポートします。詳細については、各デバイスの仕様を参照してください。

PXI を CompactPCI と使用する

PXI 対応製品を標準 CompactPCI 製品と使用することは、『PXI ハードウェア仕様改定 2.1』で提供される重要な機能です。PXI 対応プラグインモジュールを標準の CompactPCI シャーシで使用した場合、PXI 特定の機能は使用できませんが、基本的なプラグインデバイスの機能は使用できます。たとえば、PXI M シリーズデバイスの RTSI バスは、PXI シャーシでは使用できますが、CompactPCI シャーシでは使用できません。

CompactPCI の仕様では、ベンダが CompactPCI バスで基本的な PCI インタフェースと共存するサブバスを開発することが許可されています。互換性のある操作は、異なるサブバスを持つ CompactPCI デバイス間、もしくはサブバスを持つ CompactPCI デバイスと PXI 間では保証されません。CompactPCI の標準実装にはこれらのサブバスは含まれません。PXI M シリーズデバイスは、「PICMG CompactPCI 2.0 R3.0」のコア仕様に準拠する標準 CompactPCI シャーシで動作します。

PXI 特定の機能は、CompactPCI バスの J2 コネクタに実装されています。PXI デバイスは、そのデバイスによって使用されているラインを駆動しないサブバスを持つ任意の CompactPCI シャーシと互換性があります。サブバスがこれらのラインを駆動できる場合でも、PXI デバイスはサブバスの端子がデフォルトで無効になっていて、有効にしない限り互換性があります。



注意 これらのラインがサブバスによって駆動されると損傷する場合があります。NI は、不適切な信号の接続による損傷の責任を負いません。

トリガ

トリガとは、データ収集の開始や停止などの動作を発生させる信号を指します。トリガを構成するには、トリガの生成方法とトリガによる動作を指定します。すべての M シリーズデバイスは、内部ソフトウェアトリガと外部デジタルトリガの両方をサポートしています。また、アナログトリガをサポートするデバイスもあります。デバイスの各サブシステムに対してトリガが実行可能な動作については、以下のセクションを参照してください。

- 第 4 章「アナログ入力」の「アナログ入力トリガ」セクション
- 第 5 章「アナログ出力」の「アナログ出力トリガ」セクション
- 第 7 章「カウンタ」の「カウンタトリガ」セクション



メモ M シリーズデバイスの中には、アナログトリガをサポートしないものもあります。トリガの互換性の詳細については、各デバイスの仕様書を参照してください。

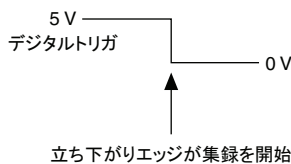
デジタルソースによるトリガ

DAQ デバイスは、デジタル信号でトリガを生成できます。ソースとエッジを指定する必要があります。デジタルソースとしては、PFI、RTSI、または PXI_STAR を使用できます。

エッジは、デジタル信号の立ち上がりエッジまたは立ち下がりエッジのどちらかを選択できます。立ち上がりエッジは、LOW 論理レベルから HIGH 論理レベルへの遷移です。立ち下がりエッジは HIGH から LOW の遷移です。

図 11-1 は、立ち下がりエッジのトリガを示しています。

図 11-1. 立ち下がりエッジトリガ



また、デジタルソースからのトリガに応じて動作を実行するように、DAQ デバイスをプログラムすることもできます。動作は以下に影響を与える場合があります。

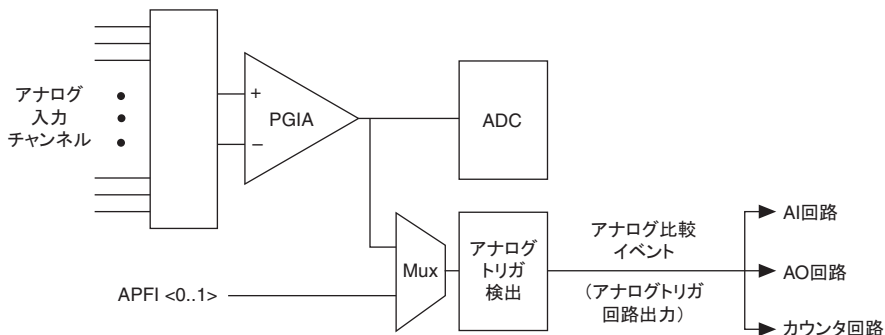
- アナログ入力集録
- アナログ出力生成
- カウンタ動作
- デジタル波形の集録 / 生成

アナログソースによるトリガ

一部の M シリーズデバイスでは、アナログ信号でトリガを生成できます。詳細なデバイスのトリガオプションの情報については、各デバイスの仕様書を参照してください。

図 11-2 は、アナログトリガ回路を示しています。

図 11-2. アナログトリガ回路



ソースとアナログトリガタイプを指定する必要があります。ソースは、APFI <0,1> 端子またはアナログ入力チャンネルのいずれかです。

APFI <0,1> 端子

APFI <0,1> 端子のいずれかをアナログトリガとして使用する場合、低インピーダンス信号ソース (1 kΩ 未満のソースインピーダンス) で端子を駆動する必要があります。APFI <0,1> が未接続の場合は、隣接する端子からのクロストークに影響され、不正なトリガが発生することがあります。第 5 章「[アナログ出力](#)」の「[AO オフセットと AO 基準選択](#)」セクションで説明されているように、APFI <0,1> 端子は、AO 外部基準入力などの他の機能に使用されることもあることに注意してください。

アナログ入力チャンネル

任意のアナログ入力チャンネルを選択して、NI-PGIA を駆動します。NI-PGIA は、入力グランド基準設定および入力レンジに応じて信号を増幅します。この後、NI-PGIA の出力はアナログトリガ検出回路を駆動します。NI-PGIA を使用すると、入力信号の極めて小さい電圧変化でトリガできます。

DAQ デバイスが、AI チャンネルをソースとするアナログトリガを待機している間、AI マルチプレクサは、別の AI チャンネルを NI-PGIA に経路設定してはいけません。他のチャンネルが NI-PGIA に経路設定されていると、目的のチャンネル上のトリガを受け損ねる可能性があります。また、他のチャンネルで発生したトリガを誤って受信してしまう可能性があります。

このため、トリガソースとして AI チャンネルを使用する場合には、いくつかの制約があります。アナログ開始トリガを使用する場合、トリガチャンネルはチャンネルリストの最初のチャンネルである必要があります。アナログ基準または一時停止トリガを使用し、アナログチャンネルがトリガのソースである場合、チャンネルリストに載せることができるチャンネルは 1 つのみです。

アナログトリガの動作

アナログトリガ検出回路の出力は、アナログ比較イベント信号です。アナログ比較イベント信号に応じて動作を実行するよう DAQ デバイスをプログラムできます。動作は以下に影響を与える場合があります。

- アナログ入力集録
- アナログ出力生成
- カウンタ動作

アナログ比較イベントを出力端子に経路設定する

アナログ比較イベントは、PFI <0..15> または RTSI <0..7> 端子のどれにでも経路設定できます。

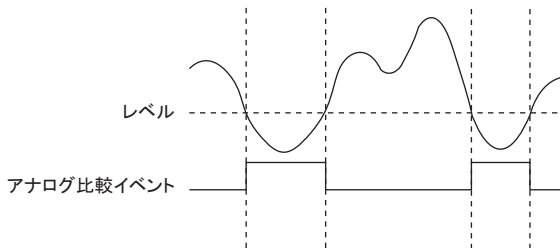
アナログトリガの種類

アナログトリガ回路を異なるトリガモードに構成します。

- **アナログエッジトリガー**—アナログトリガ回路を構成して、アナログ信号が指定したレベルよりも下または上になるタイミングを読み取ります。

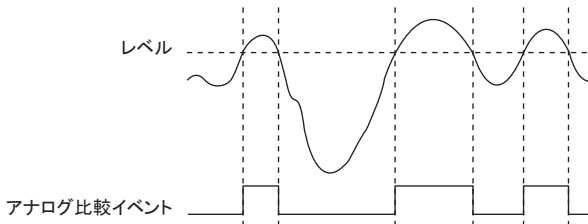
レベルの下のアナログトリガモードでは、図 11-3 に示されているように、信号値がレベルの下になるとトリガが生成されます。

図 11-3. レベルの下のアナログトリガモード



レベルの上のアナログトリガモードでは、図 11-4 に示されているように、信号値がレベルの上になるとトリガが生成されます。

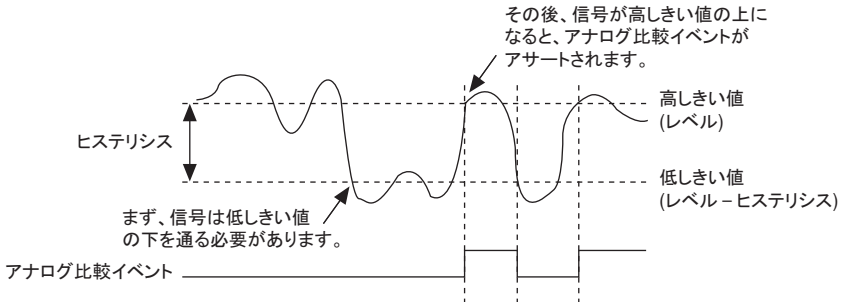
図 11-4. レベルの上のアナログトリガモード



- **ヒステリシスによるアナログエッジトリガー**—ヒステリシスは、信号のノイズやジッタによる不正確なトリガの発生を削減するためによく使用されるものであり、DAQ デバイスがトリガ条件を認識する前に入力信号が通過する必要がある、トリガレベルよりも上または下のレベルでプログラム可能な電圧領域を追加します。
 - ヒステリシスによるアナログエッジトリガ (立ち上がりスロープ)—立ち上がりスロープでヒステリシスを使用する場合は、トリガレベルとヒステリシスの量を指定します。高しい値はトリガレベルで、低しい値はトリガレベルからヒステリシスを差し引いた値です。

トリガがアサートされるには、信号は最初に低しい値よりも下のレベルにあり、その状態から高しい値よりも上のレベルに遷移する必要があります。トリガは、信号が低しい値よりも下のレベルに戻るまでアサートされたままになります。トリガ検出回路の出力は、図 11-5 に示されているように、内部アナログ比較イベントの信号です。

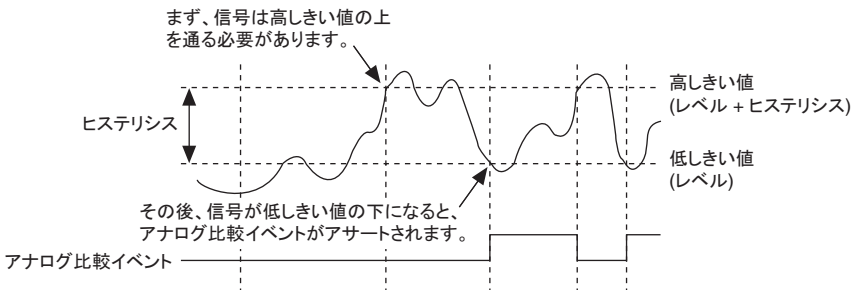
図 11-5. ヒステリシスによるアナログエッジトリガの立ち上がりスロープの例



- ヒステリシスによるアナログエッジトリガ (立ち下がりスロープ) - 立ち下がりスロープでヒステリシスを使用する場合は、トリガレベルとヒステリシスの量を指定します。低しい値はトリガレベルで、高しい値はトリガレベルにヒステリシスを加算した値です。

信号は最初に高しい値よりも上のレベルにあり、その状態から低しい値よりも下のレベルに遷移する必要があります。トリガは、信号が高しい値よりも上のレベルに戻るまでアサートされたままになります。トリガ検出回路の出力は、図 11-6 に示されているように、内部アナログ比較イベントの信号です。

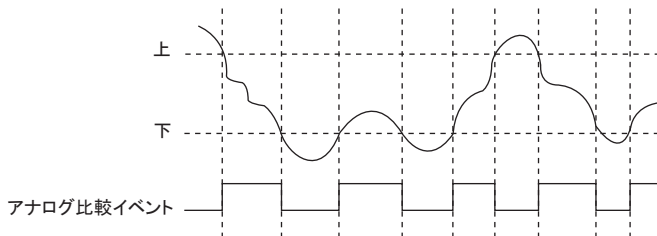
図 11-6. ヒステリシスによるアナログエッジトリガの立ち下がりスロープの例



- **アナログウィンドウトリガ**—アナログウィンドウトリガは、アナログ信号が 2 つの電圧レベルにより定義されたウィンドウの外側から内側を通過する（入る）か、またはウィンドウの内側から外側を通過する（出る）際に起こります。ウィンドウの上限值およびウィンドウの下限值を設定して、レベルを指定します。

図 11-7 は、信号がウィンドウに入るとアサートするトリガを示しています。

図 11-7. アナログウィンドウトリガモード（ウィンドウに入る）



アナログトリガの確度

アナログトリガ回路は、トリガソースの電圧とプログラム可能なトリガ DAC の出力を比較します。レベル（ウィンドウトリガモードでの上限および下限）を構成すると、デバイスはトリガ DAC の出力を調整します。これらの DAC の確度または分解能の詳細については、アナログトリガの確度や分解能についての説明も含まれている、各デバイスの仕様書を参照してください。

確度を向上させるには、以下を実行してください。

- APFI <0,1> の代わりに（入力レンジが小さい）AI チャンネルをトリガソースとして使用します。DAQ デバイスは APFI <0,1> 信号を増幅しません。AI チャンネルを使用する場合、NI-PGIA は、アナログトリガ回路を駆動する前に AI チャンネル信号を増幅します。AI チャンネルの入力レンジを小さくすると、入力信号の極めて小さい電圧変化でトリガできます。
- ソフトウェアを使用してアナログトリガ回路をキャリブレーションします。トリガ信号のスループレートが高い場合、有効なトリガ条件が満たされてからアナログトリガ回路がアナログ比較イベントを送り出すまでの伝播遅延は、測定に影響を与える場合があります。これらの状態の測定への影響が顕著な場合は、タスクを正常に構成し、既知の信号をアナログトリガに適用することによって、アナログトリガ回路でソフトウェアキャリブレーションを実行します。測定結果を予想結果と比較し、ソフトウェアに適用する必要なオフセットを計算して、希望するトリガ動作を微調整できます。

モジュール / デバイス特有の情報

この付録には、以下の M シリーズモジュール / デバイスのデバイスピン配列、仕様、ケーブルとアクセサリのオプション、およびその他の重要な情報が含まれています。

- 「NI 6220」
- 「NI 6221 (68 ピン)」
- 「NI PCI-6221 (37 ピン)」
- 「NI 6224」
- 「NI 6225」
- 「NI 6229」
- 「NI 6250」
- 「NI 6251」
- 「NI 6254」
- 「NI 6255」
- 「NI 6259」
- 「NI 6280」
- 「NI 6281」
- 「NI 6284」
- 「NI 6289」

ここに記載されていないデバイスのドキュメントについては、ni.com/manuals を参照してください。



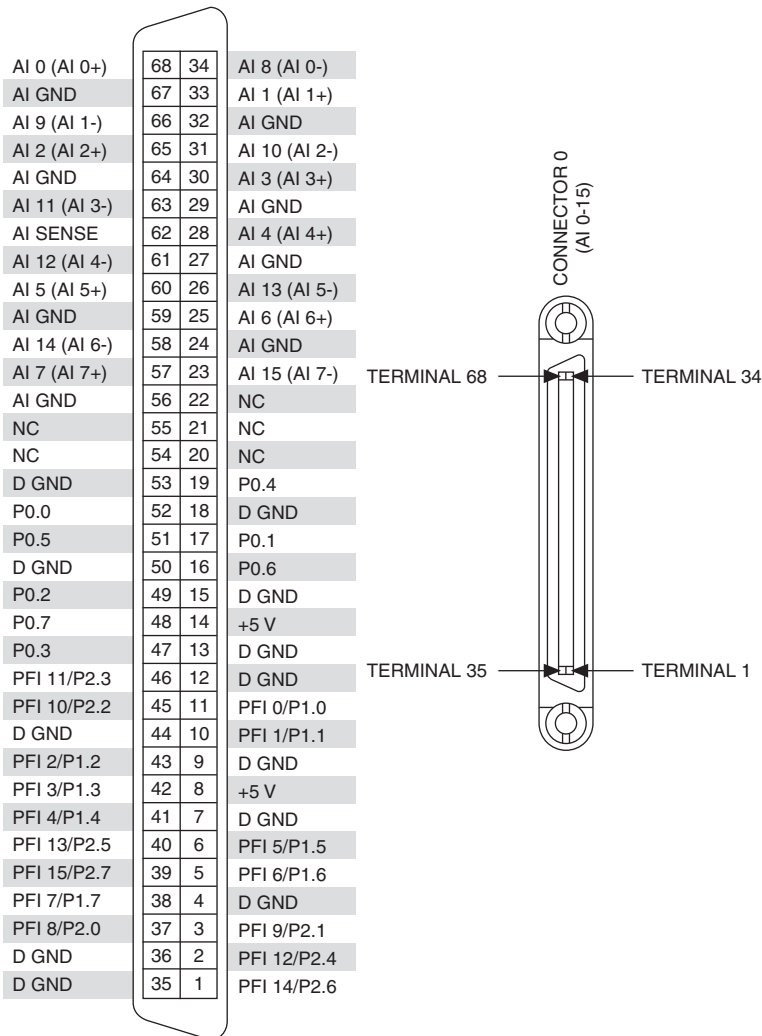
メモ M シリーズデバイスでは、ほとんどの E シリーズ用アクセサリを使用できます。ただし、一部の E シリーズ用アクセサリでは端子名が異なります。詳細については、付録 D 「E シリーズから M シリーズにアップグレードする」を参照してください。

NI 6220

PCI/PXI-6220 ピン配列

図 A-1 は、PCI/PXI-6220 のピン配列を示しています。

図 A-1. PCI/PXI-6220 ピン配列



NC = No Connect

表 A-1. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

PCI/PXI-6220 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— PCI/PXI-6220 デバイスの詳細については、『NI 6220 仕様』を参照してください。
- **アクセサリとケーブルのオプション**— 詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

NI 6221 (68 ピン)

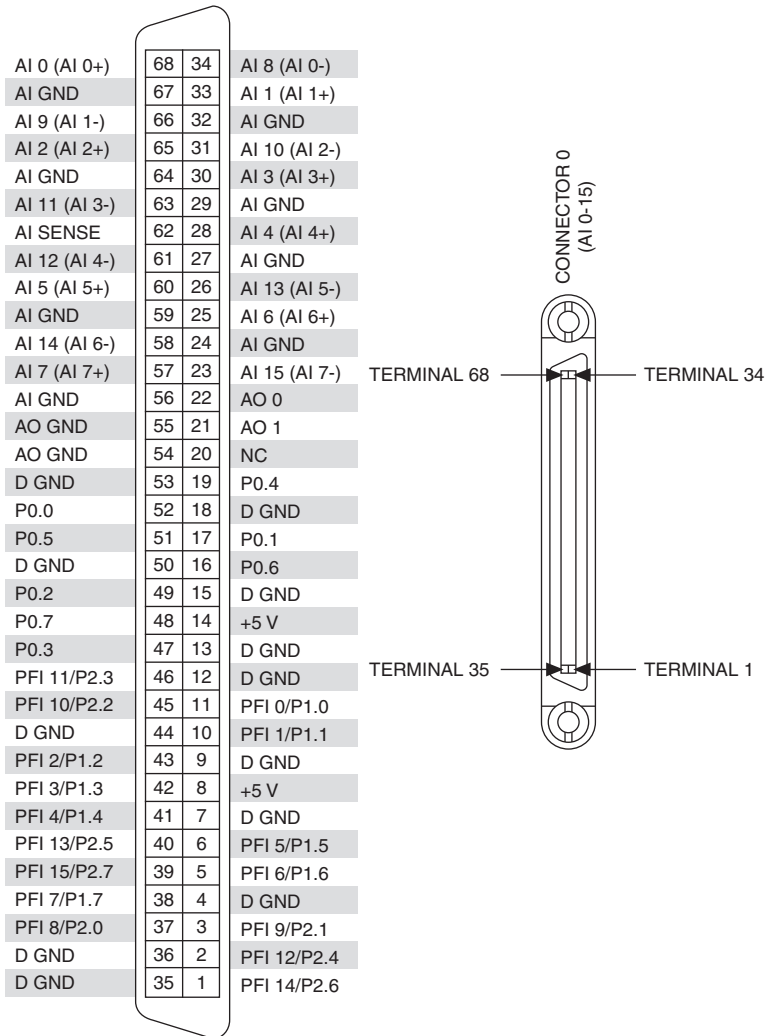
以下のセクションには「[PCI/PXI-6221](#)」、「[USB-6221 ネジ留め式端子](#)」、および「[USB-6221 BNC](#)」についての情報が記載されています。

PCI/PXI-6221

PCI/PXI-6221 ピン配列

図 A-2 は、PCI/PXI-6221 のピン配列を示しています。

図 A-2. PCI/PXI-6221 ピン配列



NC = No Connect

表 A-2. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

PCI/PXI-6221 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様** —PCI/PXI-6221 デバイスの詳細については、『NI 6221 仕様』を参照してください。
- **アクセサリとケーブルのオプション**—詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

USB-6221 ネジ留め式端子

USB-6221 ネジ留め式端子のピン配列

図 A-3 は、USB-6221 ネジ留め式端子のピン配列を示しています。

図 A-3. USB-6221 ネジ留め式端子ピン配列

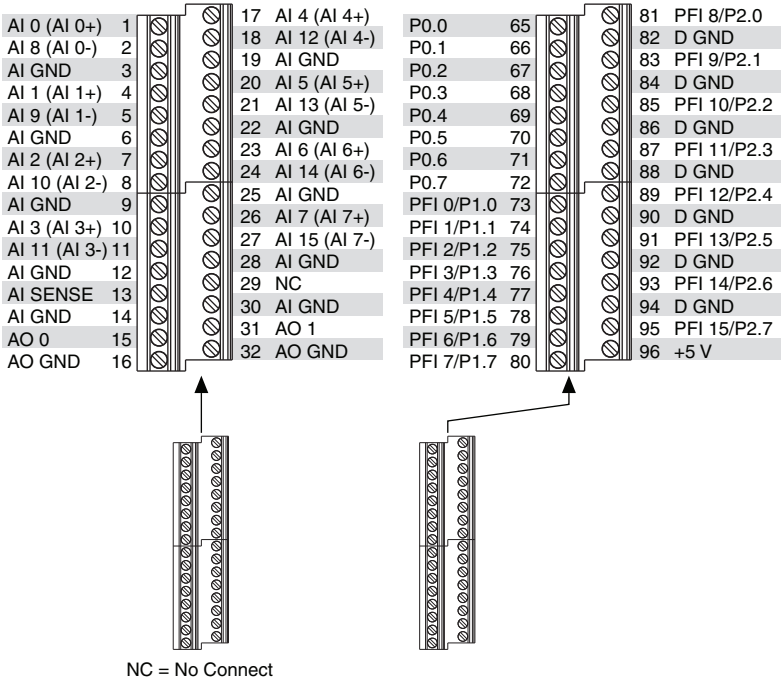


表 A-3. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	81 (PFI 8)
CTR 0 GATE	83 (PFI 9)
CTR 0 AUX	85 (PFI 10)
CTR 0 OUT	89 (PFI 12)
CTR 0 A	81 (PFI 8)
CTR 0 Z	83 (PFI 9)
CTR 0 B	85 (PFI 10)

表 A-3. デフォルトの NI-DAQmx カウンタ / タイマピン (続き)

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 1 SRC	76 (PFI 3)
CTR 1 GATE	77 (PFI 4)
CTR 1 AUX	87 (PFI 11)
CTR 1 OUT	91 (PFI 13)
CTR 1 A	76 (PFI 3)
CTR 1 Z	77 (PFI 4)
CTR 1 B	87 (PFI 11)
FREQ OUT	93 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「カウンタ信号を接続する」を参照してください。

USB-6221 ネジ留め式端子に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6221 ネジ留め式端子デバイスの詳細については、『NI 6221 仕様』を参照してください。
- **LED パターン**— USB-6221 ネジ留め式端子の LED の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[LED パターン](#)」セクションを参照してください。
- **ヒューズ交換**— USB-6221 ネジ留め式端子でのヒューズ交換の詳細については、第 1 章「[はじめに](#)」の「[USB デバイスのヒューズ交換](#)」セクションを参照してください。
- **アクセサリオプション**— 詳細については、第 2 章「[DAQ システムの概要](#)」の「[USB デバイスのアクセサリ、USB ケーブル、および電源](#)」セクションを参照してください。

USB-6221 BNC

USB-6221 BNC ピン配列

図 A-4 は、USB-6221 BNC のピン配列を示しています。

図 A-4. USB-6221 BNC のトップパネルとピン配列

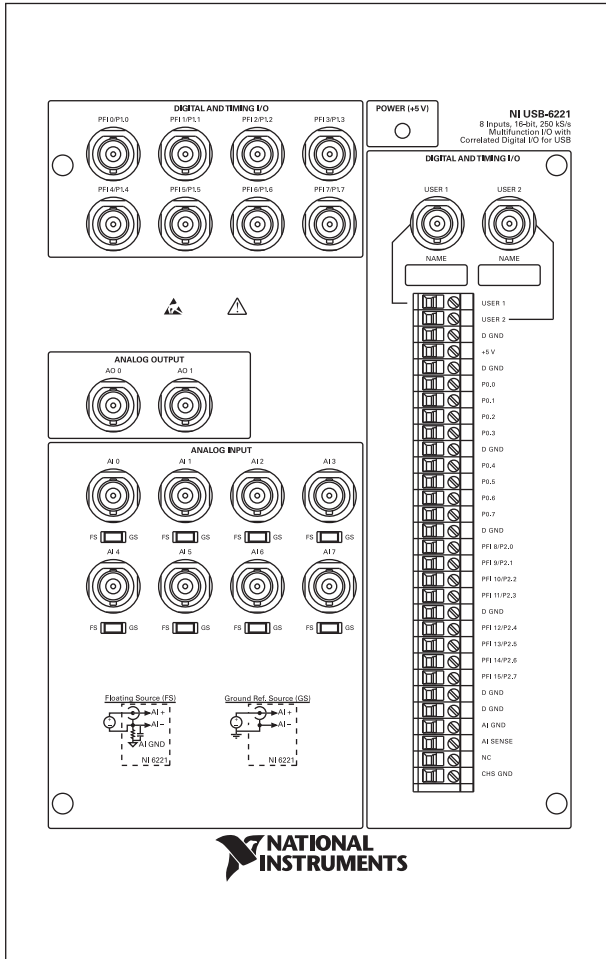


表 A-4. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン名
CTR 0 SRC	PFI 8
CTR 0 GATE	PFI 9
CTR 0 AUX	PFI 10
CTR 0 OUT	PFI 12
CTR 0 A	PFI 8
CTR 0 Z	PFI 9
CTR 0 B	PFI 10
CTR 1 SRC	PFI 3
CTR 1 GATE	PFI 4
CTR 1 AUX	PFI 11
CTR 1 OUT	PFI 13
CTR 1 A	PFI 3
CTR 1 Z	PFI 4
CTR 1 B	PFI 11
FREQ OUT	PFI 14



メモ 各信号の詳細については、第 3 章「コネクタと LED の情報」の「I/O コネクタ信号の説明」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「カウンタ信号を接続する」を参照してください。

USB-6221 BNC に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

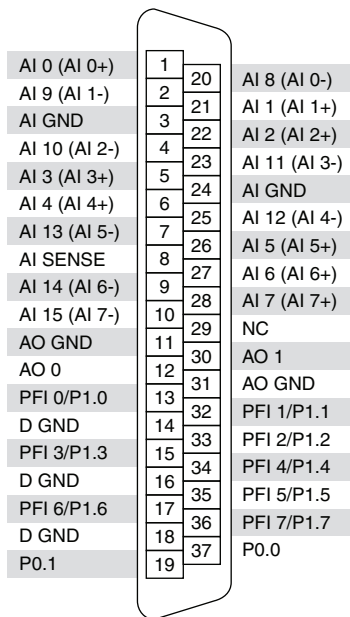
- **仕様**— USB-6221 BNC デバイスの詳細については、『NI 6221 仕様』を参照してください。
- **LED パターン**— USB-6221 BNC の LED の詳細については、第 3 章「I/O コネクタ信号の説明」の「LED パターン」セクションを参照してください。
- **ヒューズ交換**— USB-6221 BNC の詳細については、第 1 章「はじめに」の「USB デバイスのヒューズ交換」セクションを参照してください。
- **アクセサリオプション**— 詳細については、第 2 章「DAQ システムの概要」の「USB デバイスのアクセサリ、USB ケーブル、および電源」セクションを参照してください。

NI PCI-6221 (37 ピン)

PCI-6221 (37 ピン) ピン配列

図 A-5 は、PCI-6221 (37 ピン) のピン配列を示しています。

図 A-5. PCI-6221 (37 ピン) ピン配列



NC = No Connect

表 A-5. デフォルトの NI-DAQmx カウンタ/ タイマピン

カウンタ/ タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	13 (PFI 0)
CTR 0 GATE	32 (PFI 1)
CTR 0 AUX	33 (PFI 2)
CTR 0 OUT	17 (PFI 6)
CTR 0 A	13 (PFI 0)
CTR 0 Z	32 (PFI 1)
CTR 0 B	33 (PFI 2)
CTR 1 SRC	15 (PFI 3)

表 A-5. デフォルトの NI-DAQmx カウンタ / タイマピン (続き)

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 1 GATE	34 (PFI 4)
CTR 1 AUX	35 (PFI 5)
CTR 1 OUT	36 (PFI 7)
CTR 1 A	15 (PFI 3)
CTR 1 Z	34 (PFI 4)
CTR 1 B	35 (PFI 5)
FREQ OUT	35 (PFI 5)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「カウンタ信号を接続する」を参照してください。

PCI-6221 (37-Pin) に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— PCI-6221 (37 ピン) デバイスの詳細については、『NI 6221 (37 ピン) 仕様』を参照してください。
- **アクセサリとケーブルのオプション**— 詳細については、第 2 章「[DAQ システムの概要](#)」の「[37 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

NI 6224

PCI/PXI-6224 ピン配列

図 A-6 は、PCI/PXI-6224 のピン配列を示しています。I/O 信号は 2 つの 68 ピンコネクタに分かれています。

図 A-6. PCI/PXI-6224 ピン配列

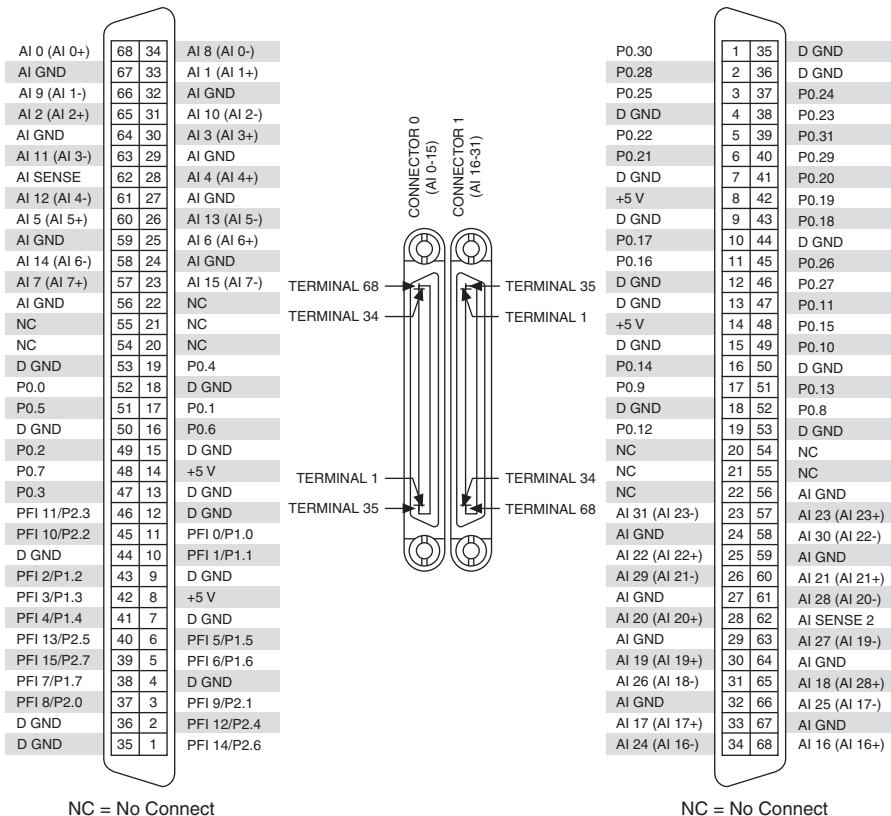


表 A-6. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトコネクタ 0 ピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

PCI/PXI-6224 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— PCI/PXI-6224 デバイスの詳細については、『NI 6224 仕様』を参照してください。
- **アクセサリとケーブルのオプション**— 詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

NI 6225

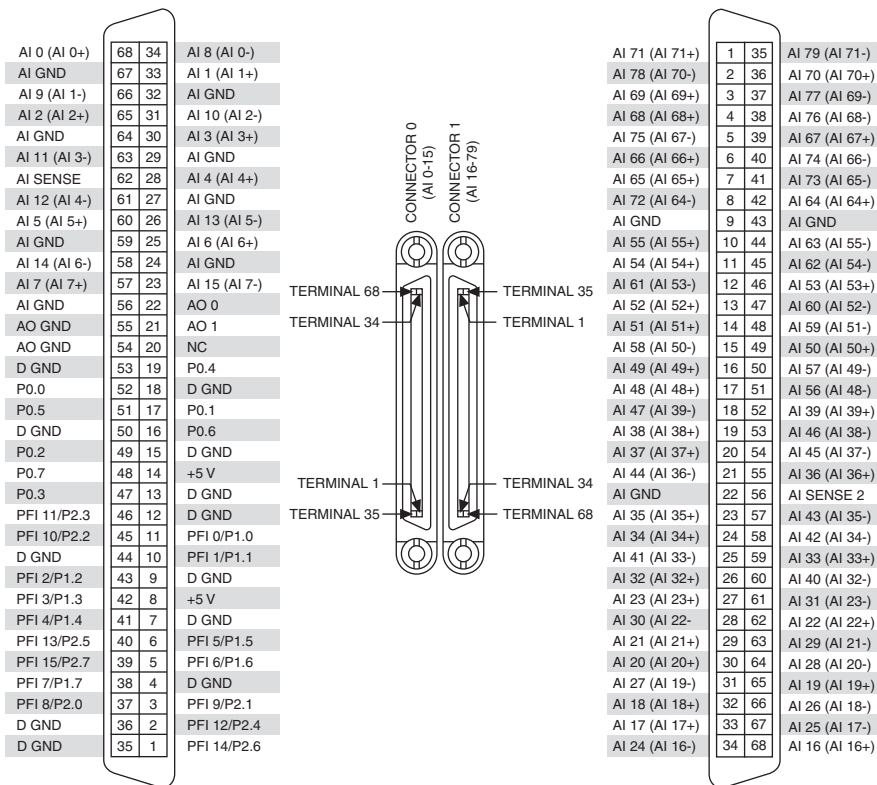
以下のセクションには「PCI/PXI-6225」、「USB-6225 ネジ留め式端子」、および「USB-6225 マスターミネーション」についての情報が記載されています。

PCI/PXI-6225

PCI/PXI-6225 ピン配列

図 A-7 は、PCI/PXI-6225 のピン配列を示しています。

図 A-7. PCI/PXI-6225 ピン配列



NC = No Connect

表 A-7. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトコネクタ 0 ピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

PCI/PXI-6225 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

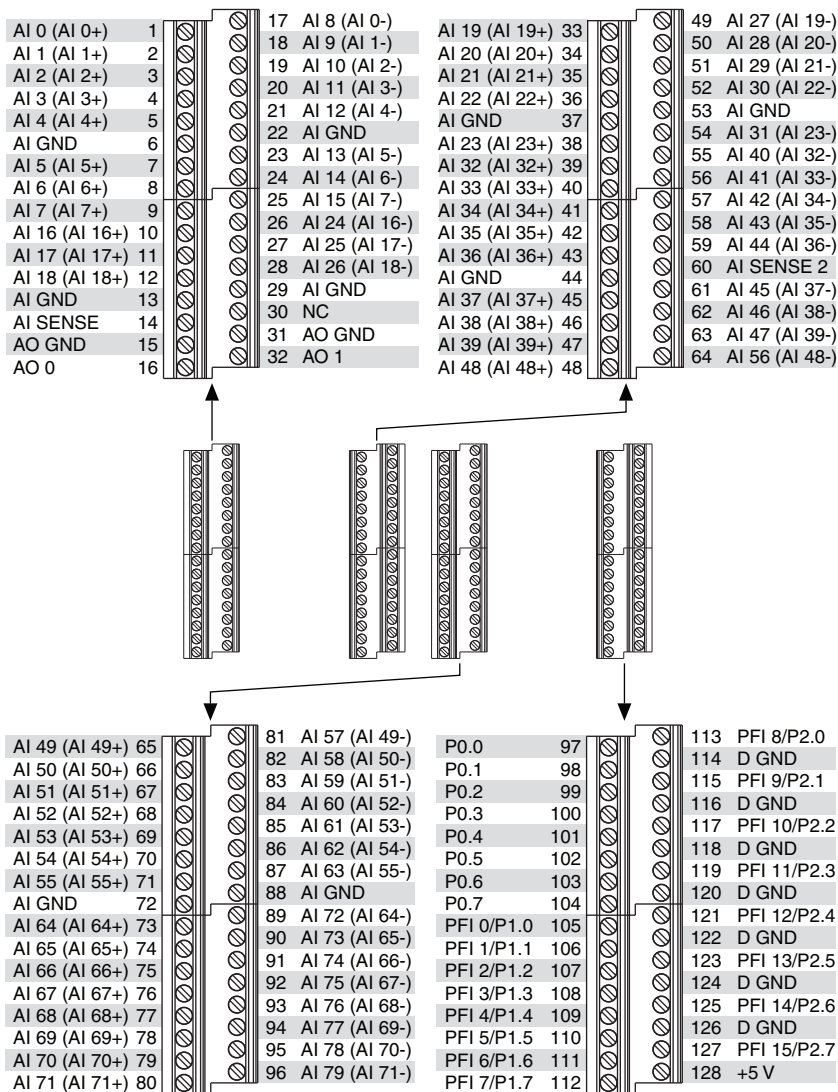
- **仕様**— PCI/PXI-6225 デバイスの詳細については、『NI 6225 仕様』を参照してください。
- **アクセサリとケーブルのオプション**— 詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

USB-6225 ネジ留め式端子

USB-6225 ネジ留め式端子のピン配列

図 A-8 は、USB-6225 ネジ留め式端子のピン配列を示しています。

図 A-8. USB-6225 ネジ留め式端子ピン配列



NC = No Connect

表 A-8. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	113 (PFI 8)
CTR 0 GATE	115 (PFI 9)
CTR 0 AUX	117 (PFI 10)
CTR 0 OUT	121 (PFI 12)
CTR 0 A	113 (PFI 8)
CTR 0 Z	115 (PFI 9)
CTR 0 B	117 (PFI 10)
CTR 1 SRC	108 (PFI 3)
CTR 1 GATE	109 (PFI 4)
CTR 1 AUX	119 (PFI 11)
CTR 1 OUT	123 (PFI 13)
CTR 1 A	108 (PFI 3)
CTR 1 Z	109 (PFI 4)
CTR 1 B	119 (PFI 11)
FREQ OUT	125 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

USB-6225 ネジ留め式端子に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6225 ネジ留め式端子デバイスの詳細については、『NI 6225 仕様』を参照してください。
- **LED パターン**— USB-6225 ネジ留め式端子の LED の詳細については、第 3 章「[I/O コネクタ信号の説明](#)」の「[LED パターン](#)」セクションを参照してください。
- **ヒューズ交換**— USB-6225 ネジ留め式端子の詳細については、第 1 章「[はじめに](#)」の「[USB デバイスのヒューズ交換](#)」セクションを参照してください。

- アクセサリオプション—詳細については、第 2 章「DAQ システムの概要」の「USB デバイスのアクセサリ、USB ケーブル、および電源」セクションを参照してください。

USB-6225 マスターミネーション

USB-6225 マスターミネーションのピン配列

図 A-9 は、USB-6225 マスターミネーションデバイスのピン配列を示しています。

図 A-9. USB-6225 マスターミネーションのピン配列

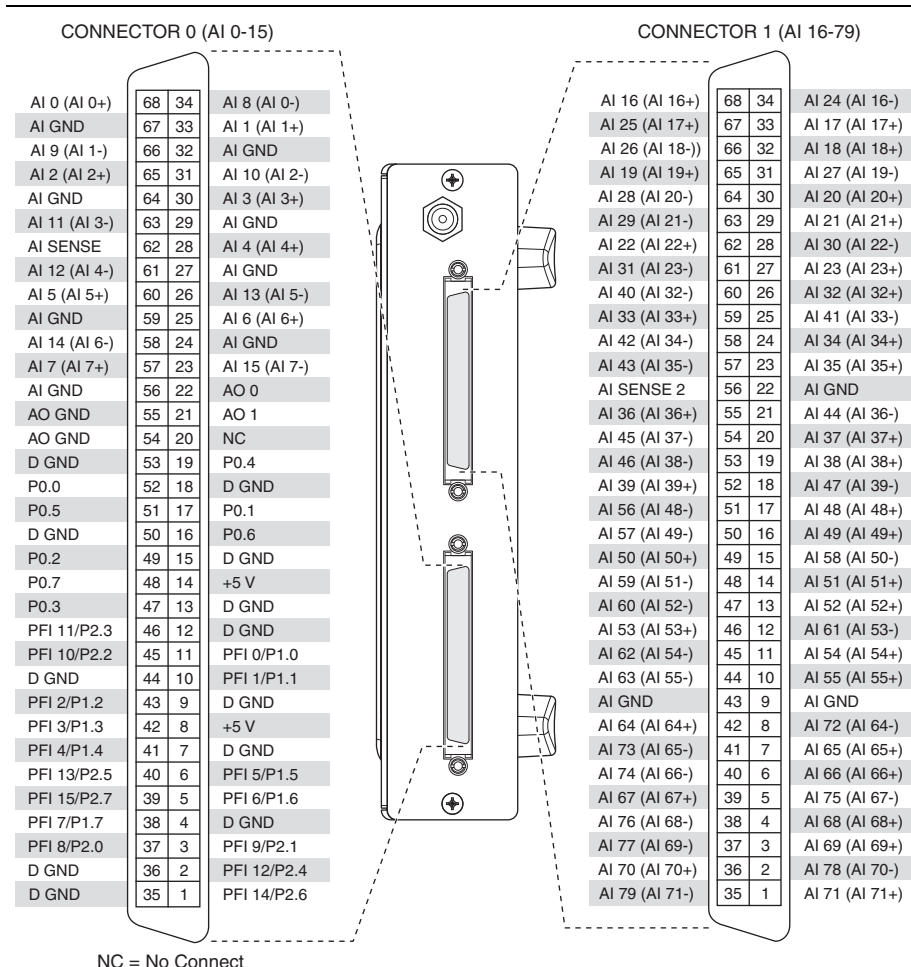


表 A-9. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトコネクタ 0 ピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「コネクタと LED の情報」の「I/O コネクタ信号の説明」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「カウンタ信号を接続する」を参照してください。

USB-6225 マスターミネーションに関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6225 マスターミネーションデバイスの詳細については、『NI 6225 仕様』を参照してください。
- **LED パターン**— USB-6225 マスターミネーションの LED の詳細については、第 3 章「コネクタと LED の情報」の「LED パターン」セクションを参照してください。
- **ヒューズ交換**— USB-6225 マスターミネーションでのヒューズ交換の詳細については、第 1 章「はじめに」の「USB デバイスのヒューズ交換」セクションを参照してください。
- **アクセサリとケーブルのオプション**— 詳細については、第 2 章「DAQ システムの概要」の「68 ピン M シリーズのケーブルおよびアクセサリ」セクションを参照してください。

NI 6229

以下のセクションには「[PCI/PXI-6229](#)」、「[USB-6229 ネジ留め式端子](#)」、および「[USB-6229 BNC](#)」についての情報が記載されています。

PCI/PXI-6229

PCI/PXI-6229 ピン配列

図 A-10 は、PCI/PXI-6229 のピン配列を示しています。I/O 信号は 2 つの 68 ピンコネクタに分かれています。

図 A-10. PCI/PXI-6229 ピン配列

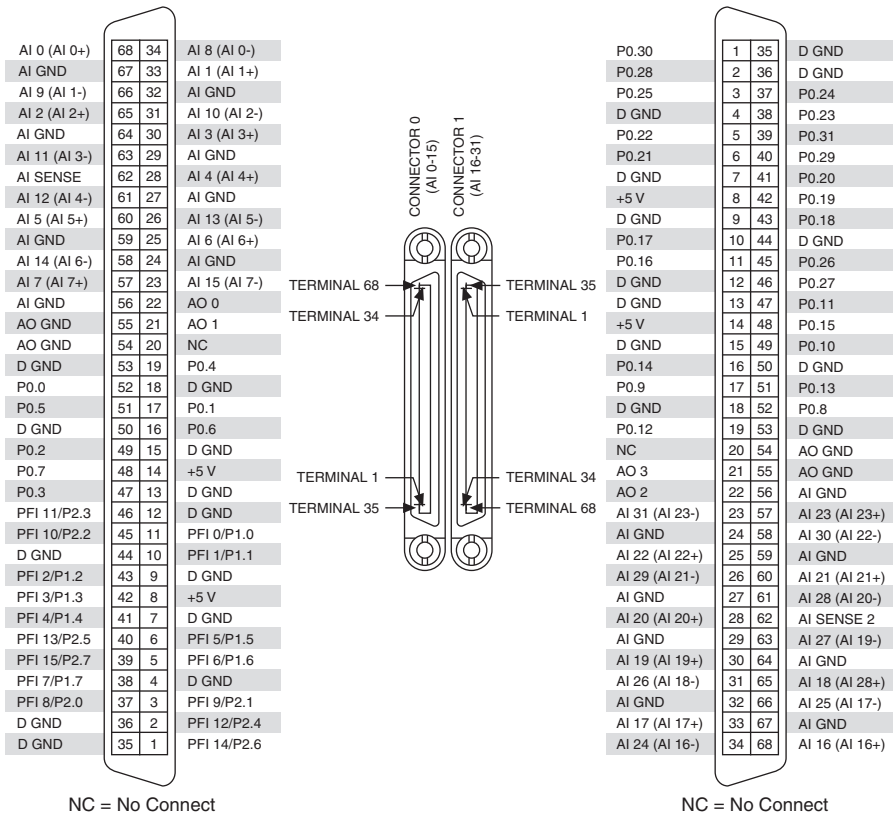


表 A-10. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトコネクタ 0 ピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

PCI/PXI-6229 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様** —PCI/PXI-6229 デバイスの詳細については、『NI 6229 仕様』を参照してください。
- **アクセサリとケーブルのオプション**—詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

USB-6229 ネジ留め式端子

USB-6229 ネジ留め式端子のピン配列

図 A-11 は、USB-6229 ネジ留め式端子のピン配列を示しています。

図 A-11. USB-6229 ネジ留め式端子ピン配列

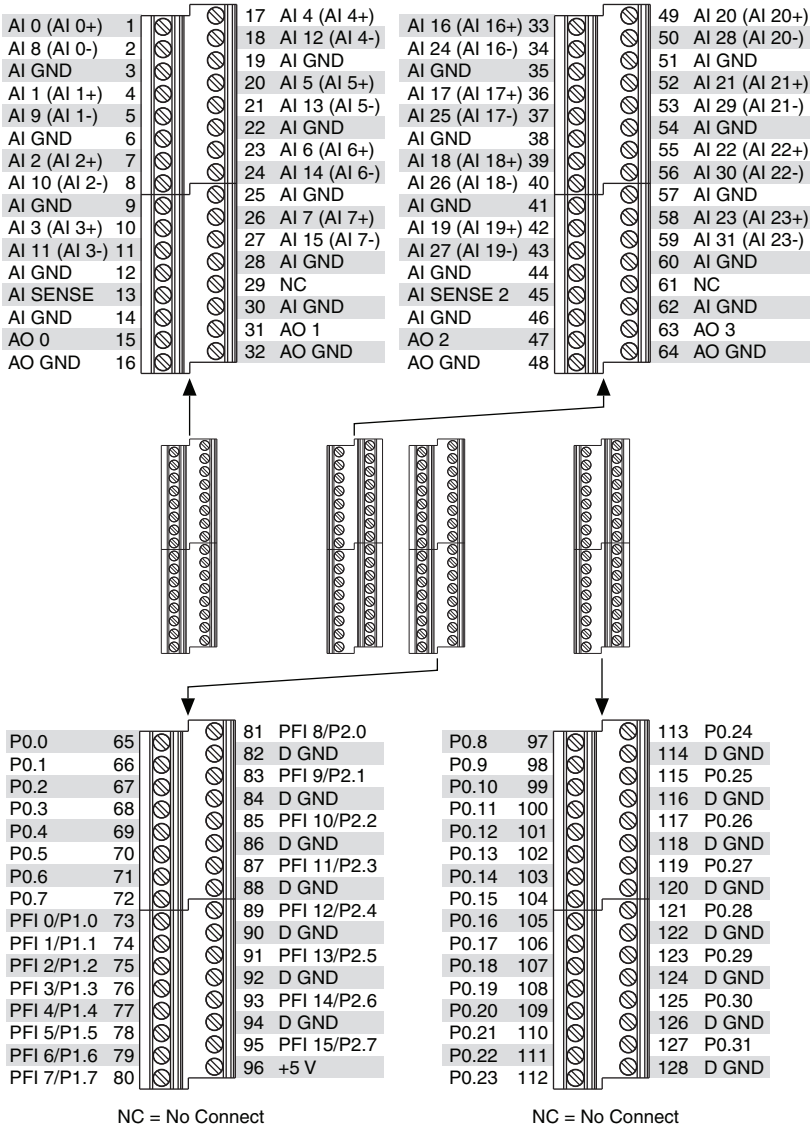


表 A-11. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	81 (PFI 8)
CTR 0 GATE	83 (PFI 9)
CTR 0 AUX	85 (PFI 10)
CTR 0 OUT	89 (PFI 12)
CTR 0 A	81 (PFI 8)
CTR 0 Z	83 (PFI 9)
CTR 0 B	85 (PFI 10)
CTR 1 SRC	76 (PFI 3)
CTR 1 GATE	77 (PFI 4)
CTR 1 AUX	87 (PFI 11)
CTR 1 OUT	91 (PFI 13)
CTR 1 A	76 (PFI 3)
CTR 1 Z	77 (PFI 4)
CTR 1 B	87 (PFI 11)
FREQ OUT	93 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

USB-6229 ネジ留め式端子に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6229 ネジ留め式端子デバイスの詳細については、『NI 6229 仕様』を参照してください。
- **LED パターン**— USB-6229 ネジ留め式端子の LED の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[LED パターン](#)」セクションを参照してください。
- **ヒューズ交換**— USB-6229 ネジ留め式端子の詳細については、第 1 章「[はじめに](#)」の「[USB デバイスのヒューズ交換](#)」セクションを参照してください。
- **アクセサリオプション**— 詳細については、第 2 章「[DAQ システムの概要](#)」の「[USB デバイスのアクセサリ、USB ケーブル、および電源](#)」セクションを参照してください。

USB-6229 BNC

USB-6229 BNC ピン配列

図 A-12 は、USB-6229 BNC のピン配列を示しています。

図 A-12. USB-6229 BNC のトップパネルとピン配列

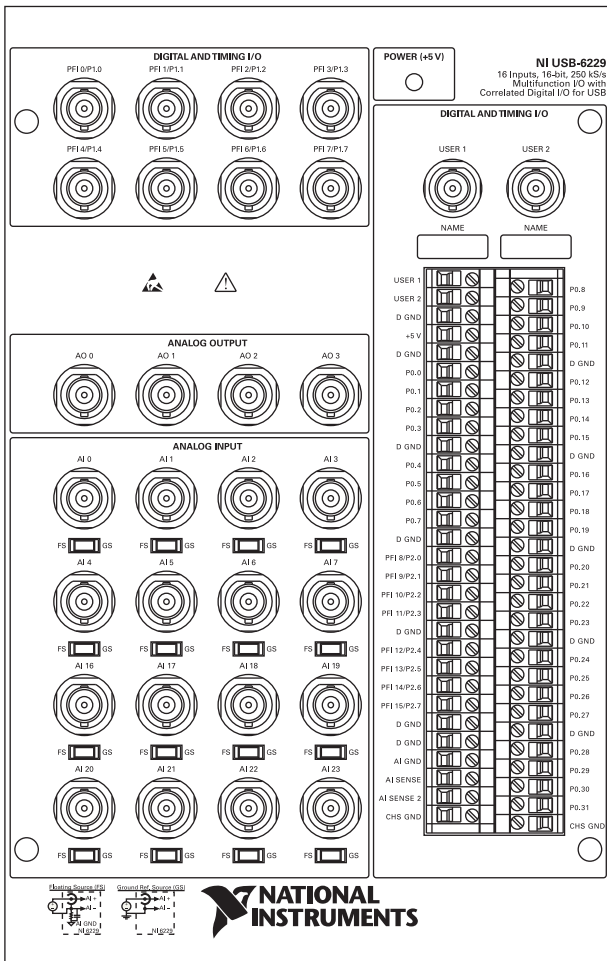


表 A-12. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン名
CTR 0 SRC	PFI 8
CTR 0 GATE	PFI 9
CTR 0 AUX	PFI 10
CTR 0 OUT	PFI 12
CTR 0 A	PFI 8
CTR 0 Z	PFI 9
CTR 0 B	PFI 10
CTR 1 SRC	PFI 3
CTR 1 GATE	PFI 4
CTR 1 AUX	PFI 11
CTR 1 OUT	PFI 13
CTR 1 A	PFI 3
CTR 1 Z	PFI 4
CTR 1 B	PFI 11
FREQ OUT	PFI 14



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

USB-6229 BNC に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6229 BNC デバイスの詳細については、『NI 6229 仕様』を参照してください。
- **LED パターン**— USB-6229 BNC の LED の詳細については、第 3 章「コネクタと LED の情報」の「LED パターン」セクションを参照してください。
- **ヒューズ交換**— USB-6229 BNC の詳細については、第 1 章「はじめに」の「USB デバイスのヒューズ交換」セクションを参照してください。
- **アクセサリオプション**— 詳細については、第 2 章「DAQ システムの概要」の「USB デバイスのアクセサリ、USB ケーブル、および電源」セクションを参照してください。

NI 6250

PCI/PXI-6250 ピン配列

図 A-13 は、PCI/PXI-6250 のピン配列を示しています。

図 A-13. PCI/PXI-6250 ピン配列

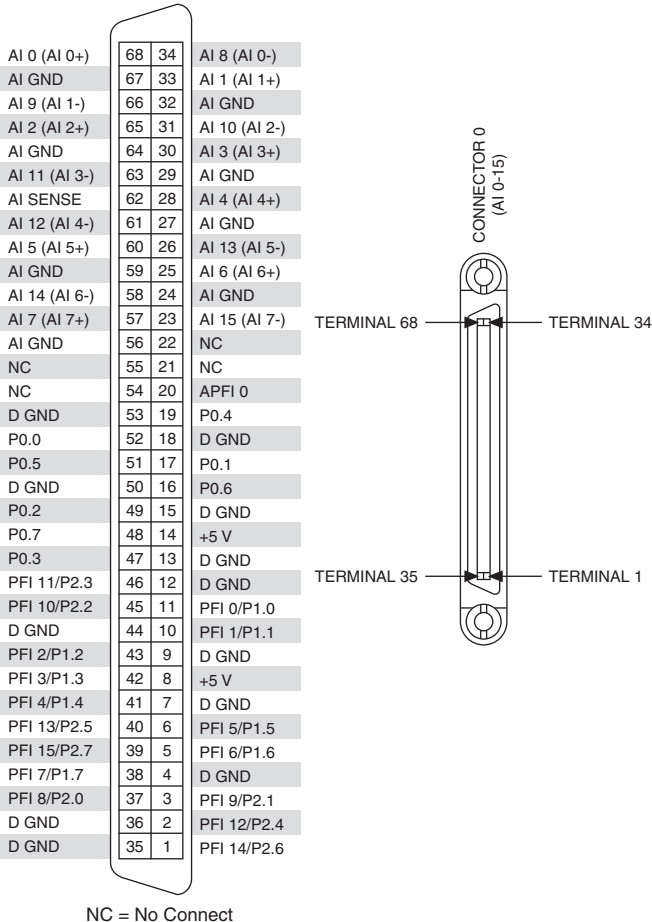


表 A-13. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

PCI/PXI-6250 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**—PCI/PXI-6250 デバイスの詳細については、『NI 6250 仕様』を参照してください。
- **アクセサリとケーブルのオプション**—詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

NI 6251

以下のセクションには「[NI PCI/PCIe/PXI/PXIe-6251](#)」、「[USB-6251 ネジ留め式端子](#)」、「[USB-6251 BNC](#)」、および「[USB-6251 マスターミネーション](#)」についての情報が記載されています。

NI PCI/PCIe/PXI/PXIe-6251

NI PCI/PCIe/PXI/PXIe-6251 ピン配列

図 A-14 は、NI PCI/PCIe/PXI/PXIe-6251 のピン配列を示しています。

図 A-14. NI PCI/PCIe/PXI/PXIe-6251 ピン配列

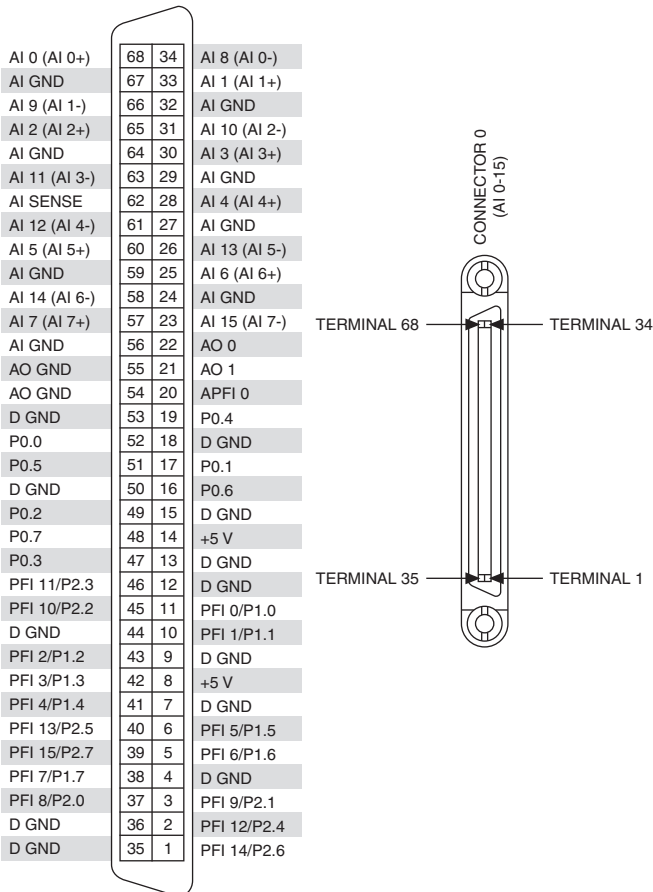


表 A-14. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「カウンタ信号を接続する」を参照してください。

NI PCI/PCIe/PXI/PXIe-6251 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様** —NI PCI/PCIe/PXI/PXIe-6251 デバイスの詳細については、『NI 6251 仕様』を参照してください。
- **アクセサリとケーブルのオプション**—詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

- PCI Express ディスクドライブ電源コネクタ詳細については、第 3 章「コネクタと LED の情報」の「RTSI コネクタのピン配列」セクションを参照してください。

USB-6251 ネジ留め式端子

USB-6251 ネジ留め式端子のピン配列

図 A-15 は、USB-6251 ネジ留め式端子のピン配列を示しています。

図 A-15. USB-6251 ネジ留め式端子ピン配列

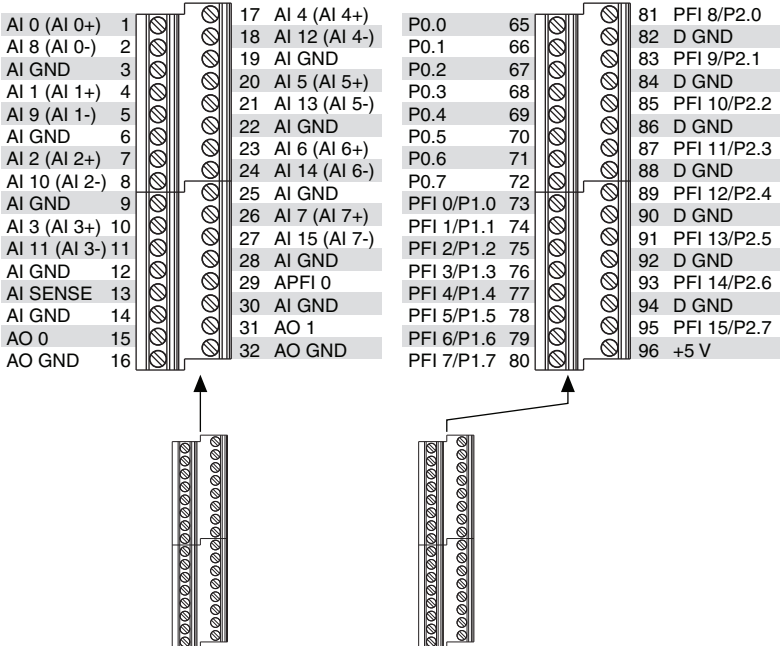


表 A-15. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	81 (PFI 8)
CTR 0 GATE	83 (PFI 9)
CTR 0 AUX	85 (PFI 10)
CTR 0 OUT	89 (PFI 12)
CTR 0 A	81 (PFI 8)
CTR 0 Z	83 (PFI 9)

表 A-15. デフォルトの NI-DAQmx カウンタ / タイマピン (続き)

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 B	85 (PFI 10)
CTR 1 SRC	76 (PFI 3)
CTR 1 GATE	77 (PFI 4)
CTR 1 AUX	87 (PFI 11)
CTR 1 OUT	91 (PFI 13)
CTR 1 A	76 (PFI 3)
CTR 1 Z	77 (PFI 4)
CTR 1 B	87 (PFI 11)
FREQ OUT	93 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「カウンタ信号を接続する」を参照してください。

USB-6251 ネジ留め式端子に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6251 ネジ留め式端子デバイスの詳細については、『NI 625x 仕様』を参照してください。
- **LED パターン**— USB-6251 ネジ留め式端子の LED の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[LED パターン](#)」セクションを参照してください。
- **ヒューズ交換**— USB-6229 ネジ留め式端子の詳細については、第 1 章「[はじめに](#)」の「[USB デバイスのヒューズ交換](#)」セクションを参照してください。
- **アクセサリオプション**— 詳細については、第 2 章「[DAQ システムの概要](#)」の「[USB デバイスのアクセサリ、USB ケーブル、および電源](#)」セクションを参照してください。

USB-6251 BNC

USB-6251 BNC ピン配列

図 A-16 は、USB-6251 BNC のピン配列を示しています。

図 A-16. USB-6251 BNC のトップパネルとピン配列

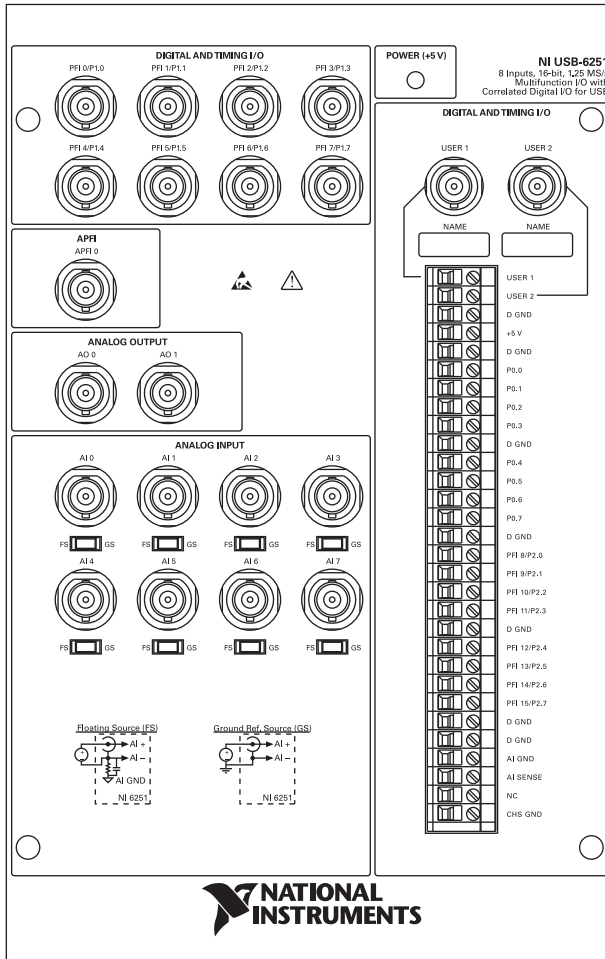


表 A-16. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン名
CTR 0 SRC	PFI 8
CTR 0 GATE	PFI 9
CTR 0 AUX	PFI 10
CTR 0 OUT	PFI 12
CTR 0 A	PFI 8
CTR 0 Z	PFI 9
CTR 0 B	PFI 10
CTR 1 SRC	PFI 3
CTR 1 GATE	PFI 4
CTR 1 AUX	PFI 11
CTR 1 OUT	PFI 13
CTR 1 A	PFI 3
CTR 1 Z	PFI 4
CTR 1 B	PFI 11
FREQ OUT	PFI 14



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

USB-6251 BNC に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6251 BNC デバイスの詳細については、『NI 6251 仕様』を参照してください。
- **LED パターン**— USB-6251 BNC の LED の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[LED パターン](#)」セクションを参照してください。

- **ヒューズ交換**— USB-6251 BNC の詳細については、第 1 章「はじめに」の「[USB デバイスのヒューズ交換](#)」セクションを参照してください。
- **アクセサリオプション**— 詳細については、第 2 章「[DAQ システムの概要](#)」の「[USB デバイスのアクセサリ、USB ケーブル、および電源](#)」セクションを参照してください。

USB-6251 マスターミネーション

USB-6251 マスターミネーションのピン配列

図 A-17 は、USB-6251 マスターミネーションデバイスのピン配列を示しています。

図 A-17. USB-6251 マスターミネーションのピン配列

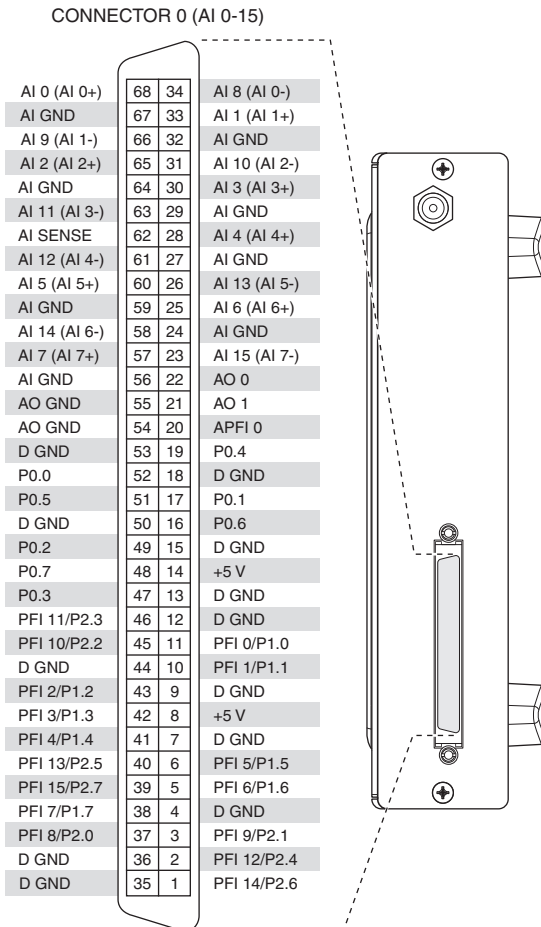


表 A-17. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「コネクタと LED の情報」の「I/O コネクタ信号の説明」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「カウンタ信号を接続する」を参照してください。

USB-6229 マスターミネーションに関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6229 マスターミネーションデバイスの詳細については、『NI 6229 仕様』を参照してください。
- **LED パターン**— USB-6229 マスターミネーションの LED の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[LED パターン](#)」セクションを参照してください。
- **ヒューズ交換**— USB-6229 マスターミネーションでのヒューズ交換の詳細については、第 1 章「[はじめに](#)」の「[USB デバイスのヒューズ交換](#)」セクションを参照してください。
- **アクセサリとケーブルのオプション**— 詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

NI 6254

PCI/PXI-6254 ピン配列

図 A-18 は、PCI/PXI-6254 のピン配列を示しています。I/O 信号は 2 つの 68 ピンコネクタに分かれています。

図 A-18. PCI/PXI-6254 ピン配列

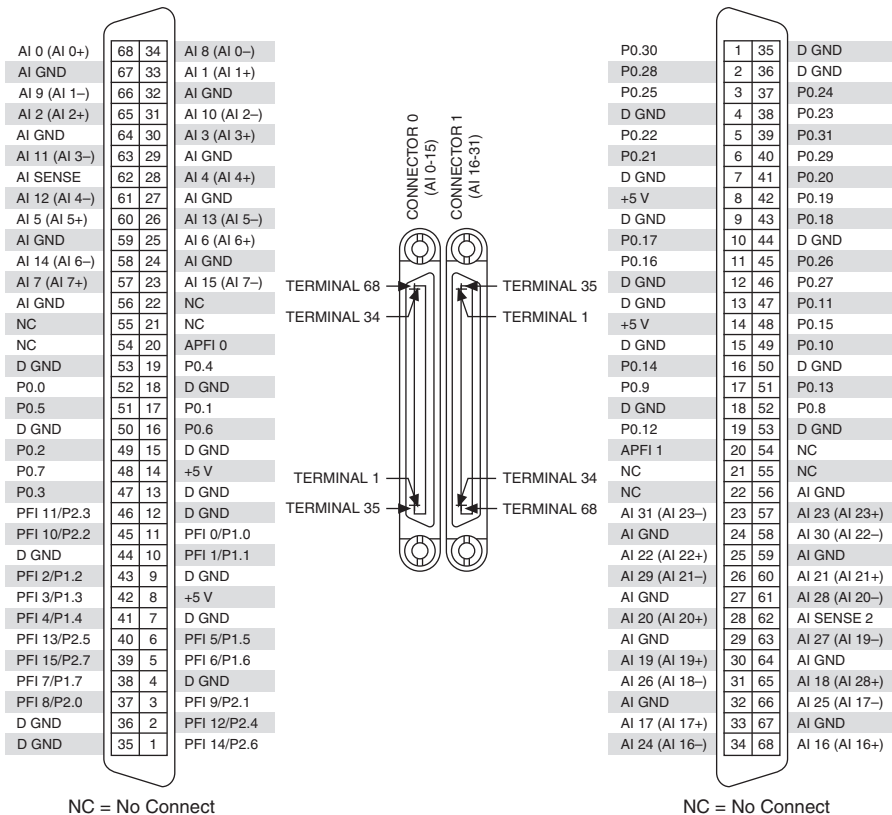


表 A-18. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトコネクタ 0 ピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

PCI/PXI-6254 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**—PCI/PXI-6254 デバイスの詳細については、『NI 6254 仕様』を参照してください。
- **アクセサリとケーブルのオプション**—詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

NI 6255

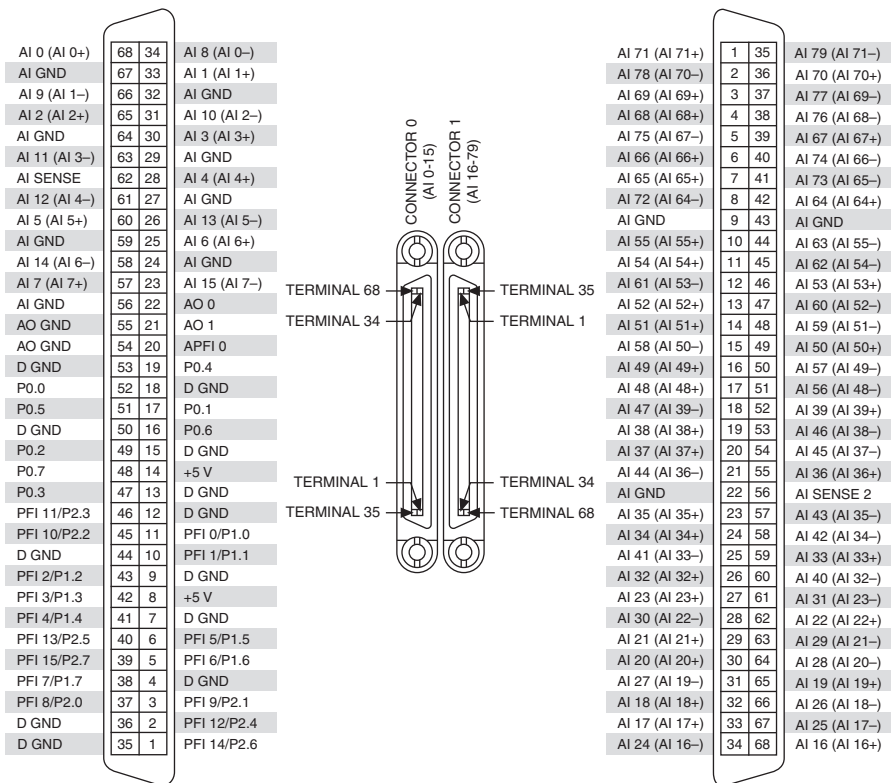
以下のセクションには「PCI/PXI-6255」、「USB-6255 ネジ留め式端子」、および「USB-6255 マスターミネーション」についての情報が記載されています。

PCI/PXI-6255

PCI/PXI-6255 ピン配列

図 A-19 は、PCI/PXI-6255 のピン配列を示しています。

図 A-19. PCI/PXI-6255 ピン配列



NC = No Connect

表 A-19. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトコネクタ 0 ピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

PCI/PXI-6255 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様** —PCI/PXI-6255 デバイスの詳細については、『NI 6255 仕様』を参照してください。
- **アクセサリとケーブルのオプション** —詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

USB-6255 ネジ留め式端子

USB-6255 ネジ留め式端子のピン配列

図 A-20 は、USB-6255 ネジ留め式端子のピン配列を示しています。

図 A-20. USB-6255 ネジ留め式端子ピン配列

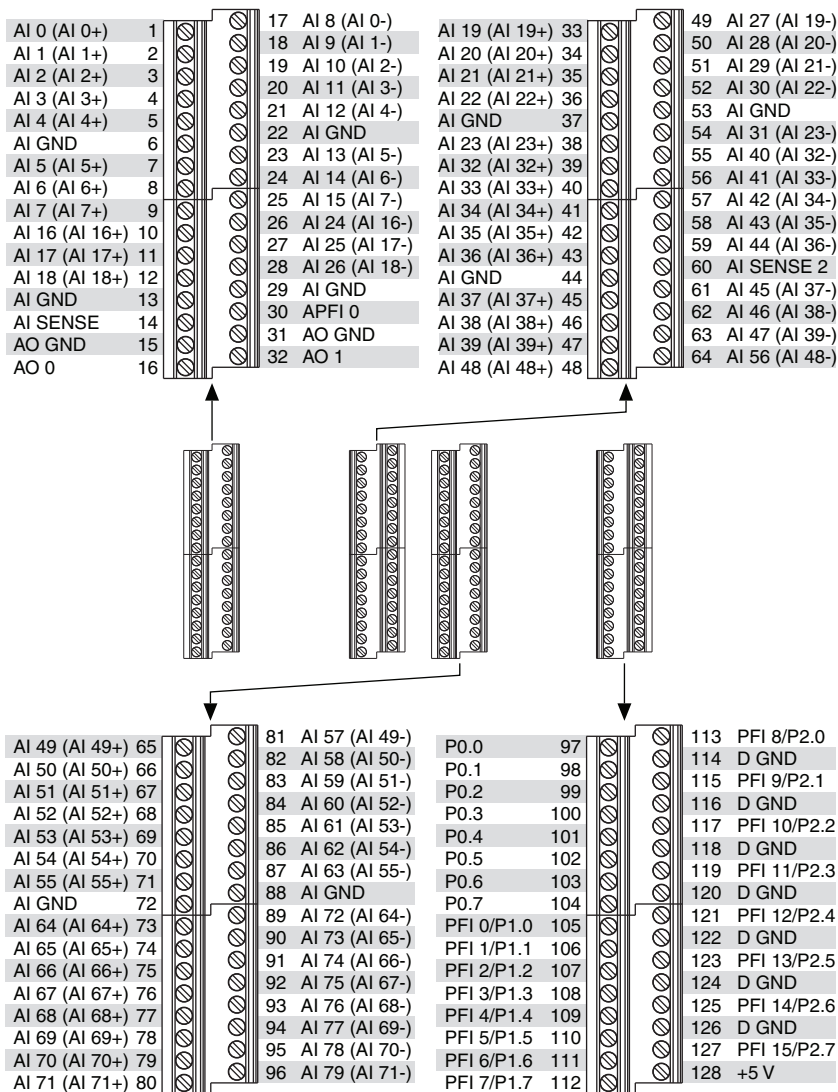


表 A-20. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	113 (PFI 8)
CTR 0 GATE	115 (PFI 9)
CTR 0 AUX	117 (PFI 10)
CTR 0 OUT	121 (PFI 12)
CTR 0 A	113 (PFI 8)
CTR 0 Z	115 (PFI 9)
CTR 0 B	117 (PFI 10)
CTR 1 SRC	108 (PFI 3)
CTR 1 GATE	109 (PFI 4)
CTR 1 AUX	119 (PFI 11)
CTR 1 OUT	123 (PFI 13)
CTR 1 A	108 (PFI 3)
CTR 1 Z	109 (PFI 4)
CTR 1 B	119 (PFI 11)
FREQ OUT	125 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「カウンタ信号を接続する」を参照してください。

USB-6255 ネジ留め式端子に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6255 ネジ留め式端子デバイスの詳細については、『NI 6255 仕様』を参照してください。
- **LED パターン**— USB-6255 ネジ留め式端子の LED の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[LED パターン](#)」セクションを参照してください。
- **ヒューズ交換**— USB-6255 ネジ留め式端子の詳細については、第 1 章「[はじめに](#)」の「[USB デバイスのヒューズ交換](#)」セクションを参照してください。

- アクセサリオプション—詳細については、第 2 章「DAQ システムの概要」の「USB デバイスのアクセサリ、USB ケーブル、および電源」セクションを参照してください。

USB-6255 マスターミネーション

USB-6255 マスターミネーションのピン配列

図 A-21 は、USB-6255 マスターミネーションデバイスのピン配列を示しています。

図 A-21. USB-6255 マスターミネーションのピン配列

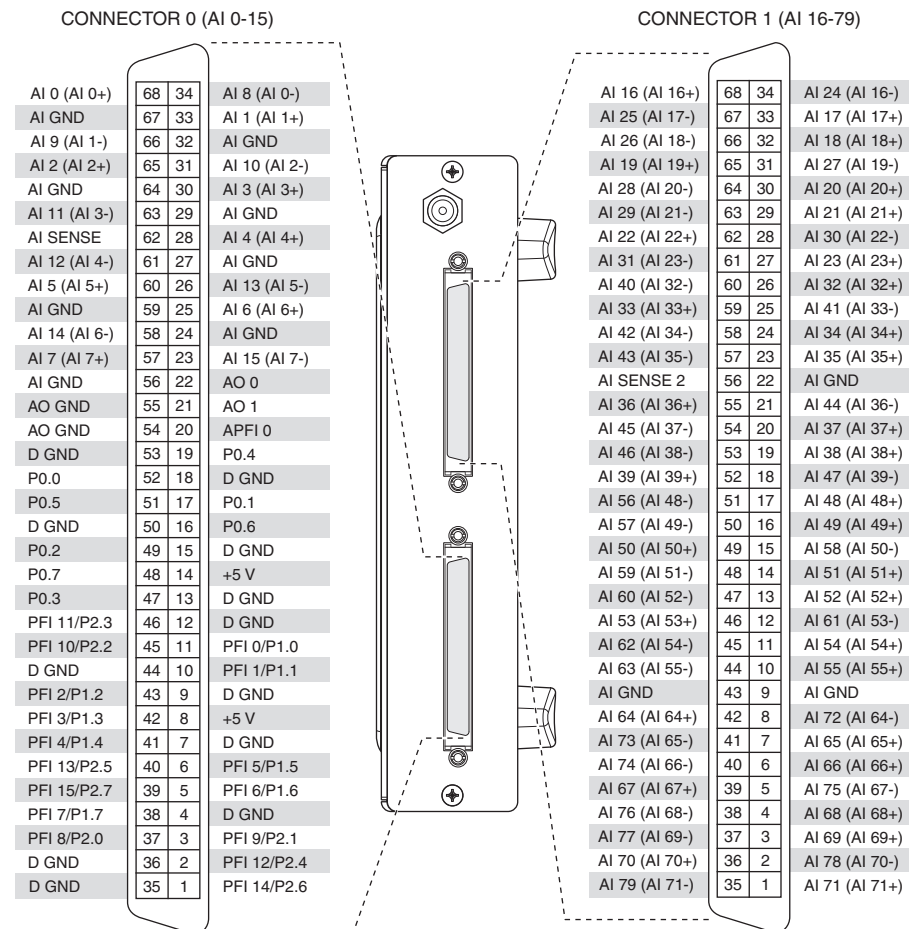


表 A-21. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトコネクタ 0 ピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

USB-6255 マスターミネーションに関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6255 マスターミネーションデバイスの詳細については、『NI 6255 仕様』を参照してください。
- **LED パターン**— USB-6255 マスターミネーションの LED の詳細については、第 3 章「[I/O コネクタ信号の説明](#)」の「[LED パターン](#)」セクションを参照してください。
- **ヒューズ交換**— USB-6255 マスターミネーションでのヒューズ交換の詳細については、第 1 章「[はじめに](#)」の「[USB デバイスのヒューズ交換](#)」セクションを参照してください。
- **アクセサリとケーブルのオプション**— 詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

NI 6259

以下のセクションには「[NI PCI/PCIe/PXI/PXIe-6259](#)」、「[USB-6259 ネジ留め式端子](#)」、「[USB-6259 BNC](#)」、および「[USB-6259 マスターミネーション](#)」についての情報が記載されています。

NI PCI/PCIe/PXI/PXIe-6259

NI PCI/PCIe/PXI/PXIe-6259 ピン配列

図 A-22 は、NI PCI/PCIe/PXI/PXIe-6259 のピン配列を示しています。I/O 信号は 2 つの 68 ピンコネクタに分かれています。

図 A-22. NI PCI/PCIe/PXI/PXIe-6259 ピン配列

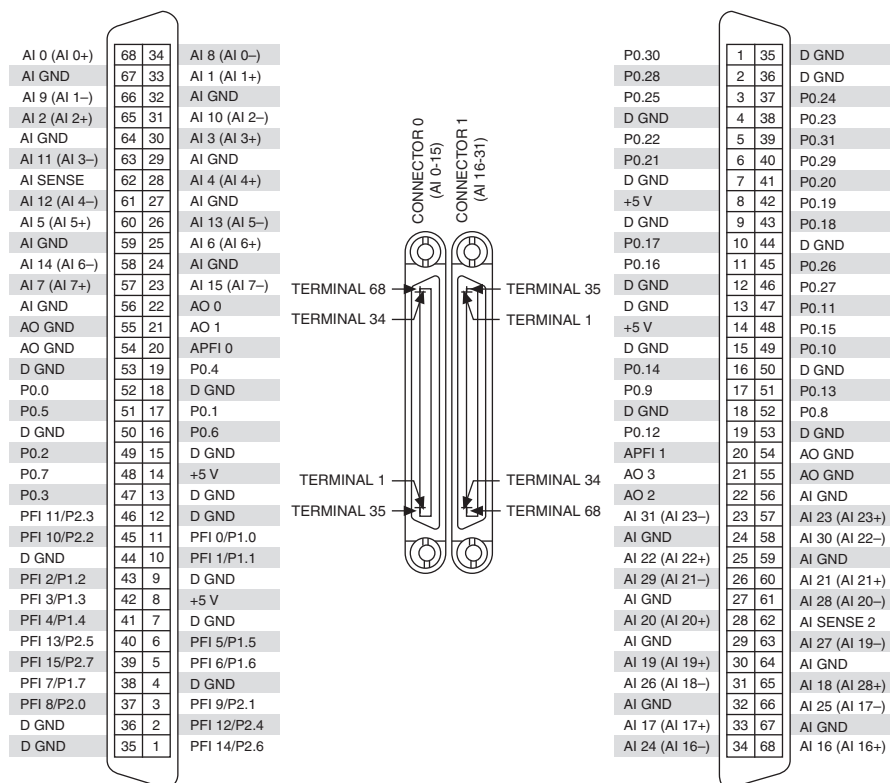


表 A-22. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトコネクタ 0 ピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「コネクタと LED の情報」の「I/O コネクタ信号の説明」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「カウンタ信号を接続する」を参照してください。

NI PCI/PCIe/PXI/PXIe-6259 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— NI PCI/PCIe/PXI/PXIe-6259 デバイスの詳細については、『NI 6259 仕様』を参照してください。
- **アクセサリとケーブルのオプション**— 詳細については、第 2 章「DAQ システムの概要」の「68 ピン M シリーズのケーブルおよびアクセサリ」セクションを参照してください。
- **PCI Express ディスクドライブ電源コネクタ**— 詳細については、第 3 章「コネクタと LED の情報」の「RTSI コネクタのピン配列」セクションを参照してください。

USB-6259 ネジ留め式端子

USB-6259 ネジ留め式端子のピン配列

図 A-23 は、USB-6259 ネジ留め式端子のピン配列を示しています。

図 A-23. USB-6259 ネジ留め式端子ピン配列

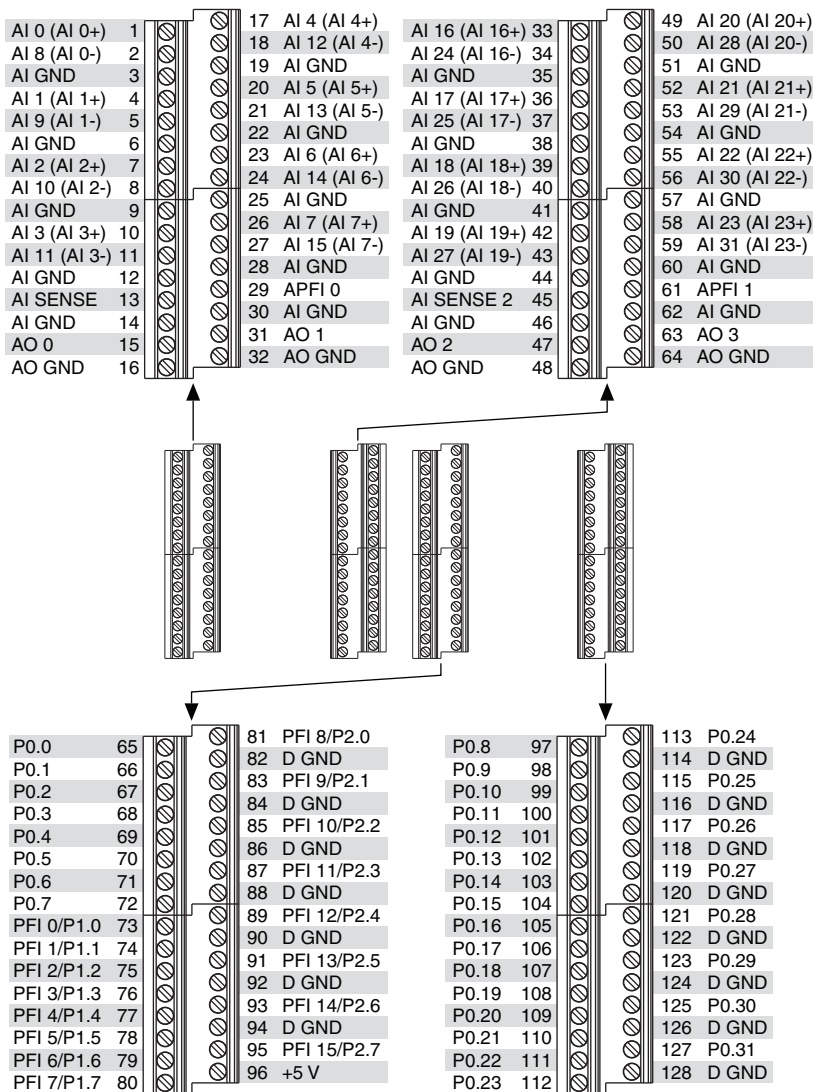


表 A-23. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	81 (PFI 8)
CTR 0 GATE	83 (PFI 9)
CTR 0 AUX	85 (PFI 10)
CTR 0 OUT	89 (PFI 12)
CTR 0 A	81 (PFI 8)
CTR 0 Z	83 (PFI 9)
CTR 0 B	85 (PFI 10)
CTR 1 SRC	76 (PFI 3)
CTR 1 GATE	77 (PFI 4)
CTR 1 AUX	87 (PFI 11)
CTR 1 OUT	91 (PFI 13)
CTR 1 A	76 (PFI 3)
CTR 1 Z	77 (PFI 4)
CTR 1 B	87 (PFI 11)
FREQ OUT	93 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

USB-6259 ネジ留め式端子に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6259 ネジ留め式端子デバイスの詳細については、『NI 625x 仕様』を参照してください。
- **LED パターン**— USB-6259 ネジ留め式端子の LED の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[LED パターン](#)」セクションを参照してください。
- **ヒューズ交換**— USB-6259 ネジ留め式端子の詳細については、第 1 章「[はじめに](#)」の「[USB デバイスのヒューズ交換](#)」セクションを参照してください。

表 A-24. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン名
CTR 0 SRC	PFI 8
CTR 0 GATE	PFI 9
CTR 0 AUX	PFI 10
CTR 0 OUT	PFI 12
CTR 0 A	PFI 8
CTR 0 Z	PFI 9
CTR 0 B	PFI 10
CTR 1 SRC	PFI 3
CTR 1 GATE	PFI 4
CTR 1 AUX	PFI 11
CTR 1 OUT	PFI 13
CTR 1 A	PFI 3
CTR 1 Z	PFI 4
CTR 1 B	PFI 11
FREQ OUT	PFI 14



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

USB-6259 BNC に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6259 BNC デバイスの詳細については、『NI 6259 仕様』を参照してください。
- **LED パターン**— USB-6259 BNC の LED の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[LED パターン](#)」セクションを参照してください。
- **ヒューズ交換**— USB-6259 BNC の詳細については、第 1 章「[はじめに](#)」の「[USB デバイスのヒューズ交換](#)」セクションを参照してください。

- アクセサリオプション—詳細については、第 2 章「DAQ システムの概要」の「USB デバイスのアクセサリ、USB ケーブル、および電源」セクションを参照してください。

USB-6259 マスターミネーション

USB-6259 マスターミネーションのピン配列

図 A-25 は、USB-6259 マスターミネーションデバイスのピン配列を示しています。

図 A-25. USB-6259 マスターミネーションのピン配列

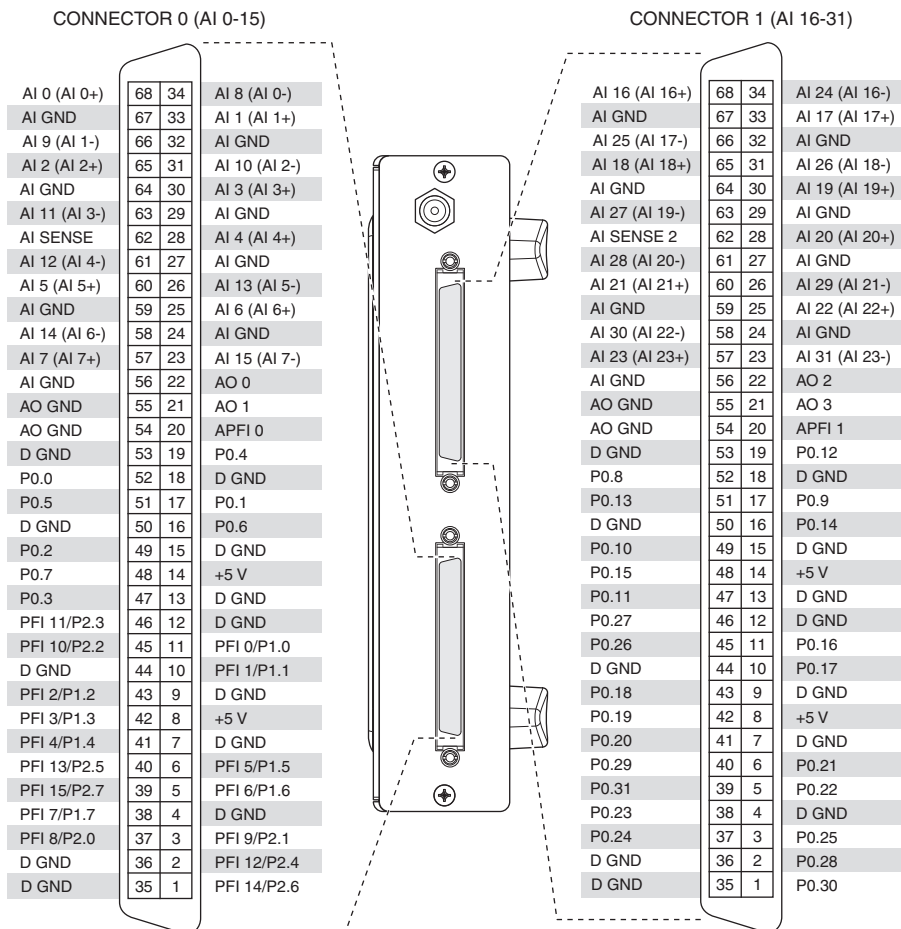


表 A-25. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトコネクタ 0 ピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

USB-6259 マスターミネーションに関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6259 マスターミネーションデバイスの詳細については、『NI 6259 仕様』を参照してください。
- **LED パターン**— USB-6259 マスターミネーションの LED の詳細については、第 3 章「コネクタと LED の情報」の「LED パターン」セクションを参照してください。
- **ヒューズ交換**— USB-6259 マスターミネーションでのヒューズ交換の詳細については、第 1 章「はじめに」の「USB デバイスのヒューズ交換」セクションを参照してください。
- **アクセサリとケーブルのオプション**— 詳細については、第 2 章「DAQ システムの概要」の「68 ピン M シリーズのケーブルおよびアクセサリ」セクションを参照してください。

NI 6280

PCI/PXI-6280 ピン配列

図 A-26 は、PCI/PXI-6280 のピン配列を示しています。

図 A-26. PCI/PXI-6280 ピン配列

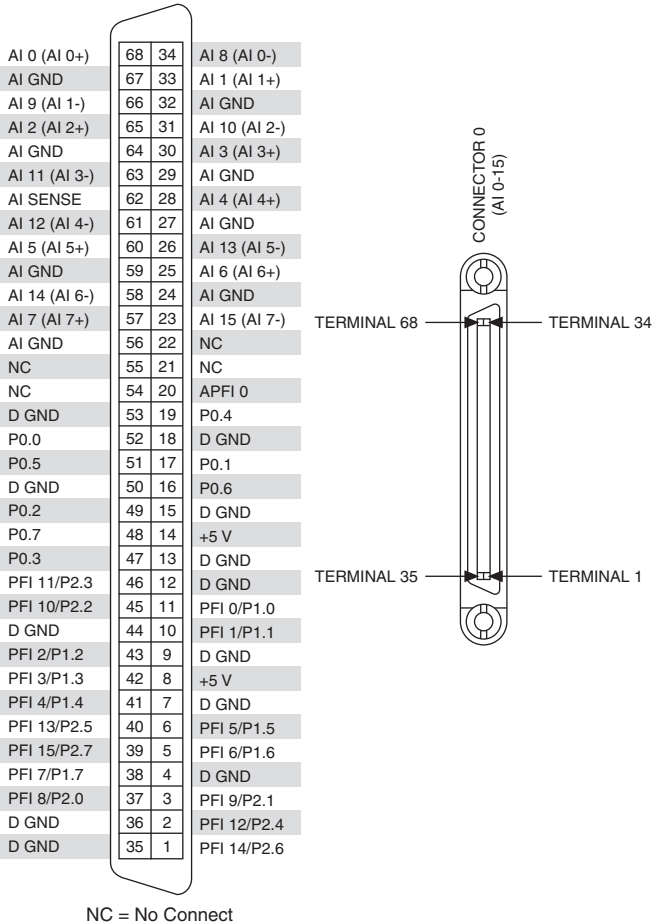


表 A-26. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

PCI/PXI-6280 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**—PCI/PXI-6280 デバイスの詳細については、『NI 6280 仕様』を参照してください。
- **アクセサリとケーブルのオプション**—詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

NI 6281

以下のセクションには「[PCI/PXI-6281](#)」、「[USB-6281 ネジ留め式端子](#)」、および「[USB-6281 マスターミネーション](#)」についての情報が記載されています。

PCI/PXI-6281

PCI/PXI-6281 ピン配列

図 A-27 は、PCI/PXI-6281 のピン配列を示しています。

図 A-27. PCI/PXI-6281 ピン配列

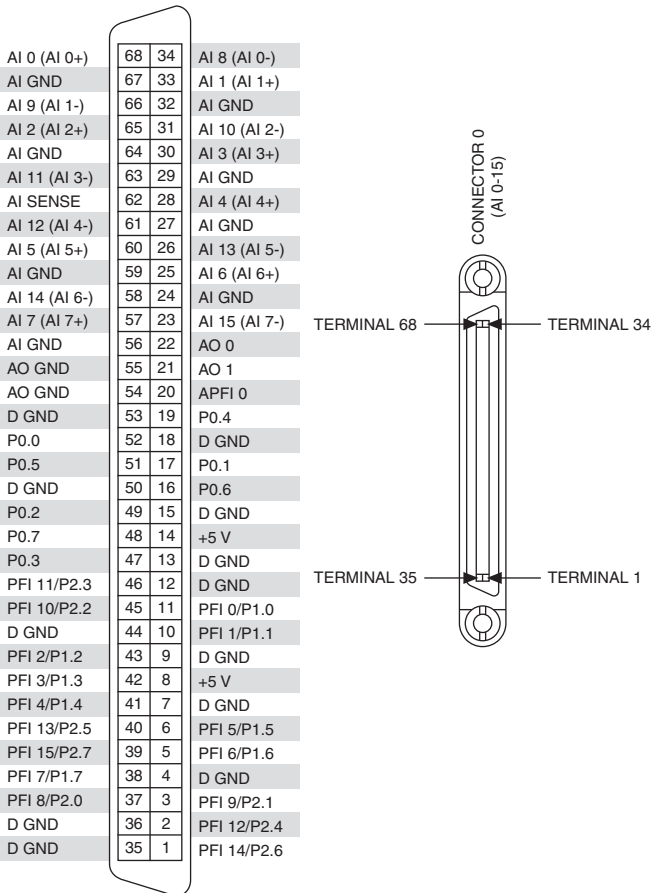


表 A-27. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

PCI/PXI-6281 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様** —PCI/PXI-6281 デバイスの詳細については、『NI 6281 仕様』を参照してください。
- **アクセサリとケーブルのオプション**—詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

USB-6281 ネジ留め式端子

USB-6281 ネジ留め式端子のピン配列

図 A-15 は、USB-6281 ネジ留め式端子のピン配列を示しています。

図 A-28. USB-6281 ネジ留め式端子のピン配列

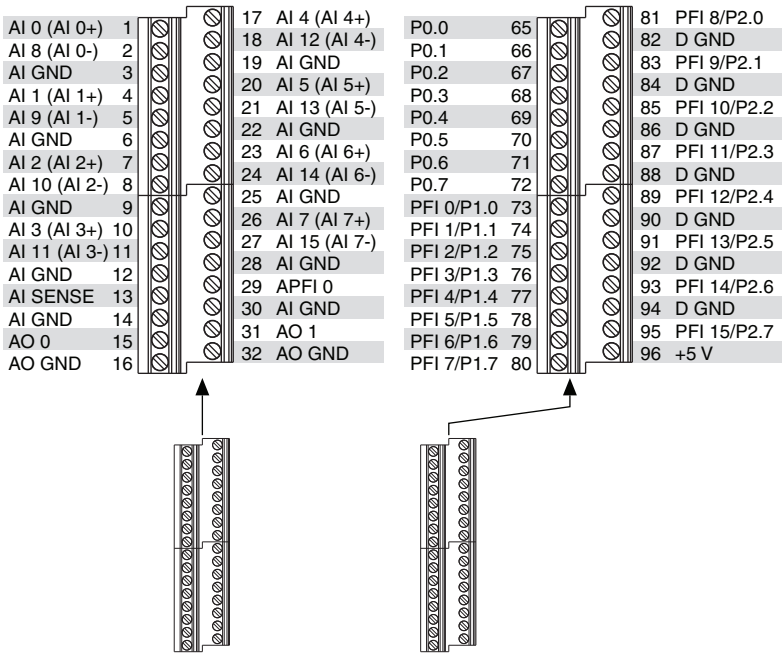


表 A-28. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	81 (PFI 8)
CTR 0 GATE	83 (PFI 9)
CTR 0 AUX	85 (PFI 10)
CTR 0 OUT	89 (PFI 12)
CTR 0 A	81 (PFI 8)
CTR 0 Z	83 (PFI 9)
CTR 0 B	85 (PFI 10)
CTR 1 SRC	76 (PFI 3)

表 A-28. デフォルトの NI-DAQmx カウンタ / タイマピン (続き)

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 1 GATE	77 (PFI 4)
CTR 1 AUX	87 (PFI 11)
CTR 1 OUT	91 (PFI 13)
CTR 1 A	76 (PFI 3)
CTR 1 Z	77 (PFI 4)
CTR 1 B	87 (PFI 11)
FREQ OUT	93 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「カウンタ信号を接続する」を参照してください。

USB-6281 ネジ留め式端子に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6281 ネジ留め式端子デバイスの詳細については、『NI 6281 仕様』を参照してください。
- **LED パターン**— USB-6281 ネジ留め式端子の LED の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[LED パターン](#)」セクションを参照してください。
- **ヒューズ交換**— USB-6259 ネジ留め式端子の詳細については、第 1 章「[はじめに](#)」の「[USB デバイスのヒューズ交換](#)」セクションを参照してください。
- **アクセサリオプション**— 詳細については、第 2 章「[DAQ システムの概要](#)」の「[USB デバイスのアクセサリ、USB ケーブル、および電源](#)」セクションを参照してください。

USB-6281 マスターミネーション

USB-6281 マスターミネーションのピン配列

図 A-17 は、USB-6281 マスターミネーションデバイスのピン配列を示しています。

図 A-29. USB-6281 マスターミネーションのピン配列

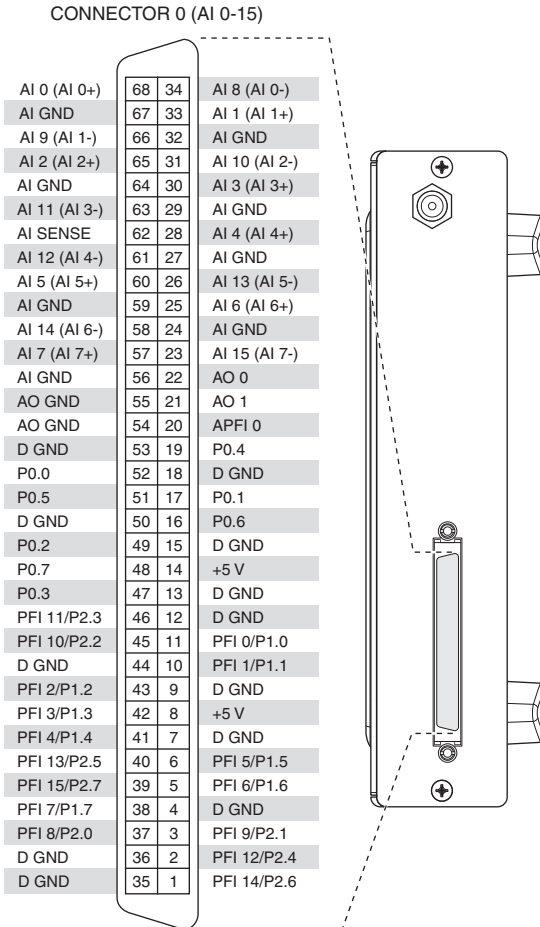


表 A-29. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

USB-6281 マスターミネーションに関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6281 マスターミネーションデバイスの詳細については、『NI 6281 仕様』を参照してください。
- **LED パターン**— USB-6281 マスターミネーションの LED の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[LED パターン](#)」セクションを参照してください。
- **ヒューズ交換**— USB-6281 マスターミネーションでのヒューズ交換の詳細については、第 1 章「[はじめに](#)」の「[USB デバイスのヒューズ交換](#)」セクションを参照してください。
- **アクセサリとケーブルのオプション**— 詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

NI 6284

PCI/PXI-6284 ピン配列

図 A-30 は、PCI/PXI-6284 のピン配列を示しています。I/O 信号は 2 つの 68 ピンコネクタに分かれています。

図 A-30. PCI/PXI-6284 ピン配列

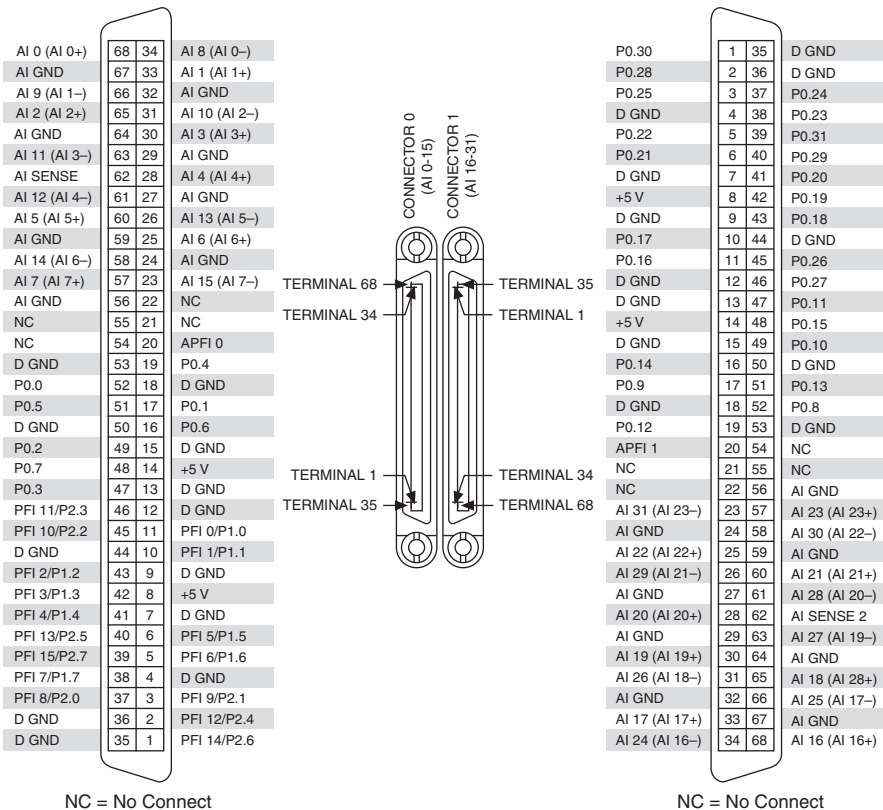


表 A-30. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトコネクタ 0 ピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「コネクタと LED の情報」の「I/O コネクタ信号の説明」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「カウンタ信号を接続する」を参照してください。

PCI/PXI-6284 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**—PCI/PXI-6284 デバイスの詳細については、『NI 6284 仕様』を参照してください。
- **アクセサリとケーブルのオプション**—詳細については、第 2 章「DAQ システムの概要」の「68 ピン M シリーズのケーブルおよびアクセサリ」セクションを参照してください。

NI 6289

以下のセクションには「PCI/PXI-6289」、「USB-6289 ネジ留め式端子」、および「USB-6289 マスターミネーション」についての情報が記載されています。

PCI/PXI-6289

PCI/PXI-6289 ピン配列

図 A-31 は、PCI/PXI-6289 のピン配列を示しています。I/O 信号は 2 つの 68 ピンコネクタに分かれています。

図 A-31. PCI/PXI-6289 ピン配列

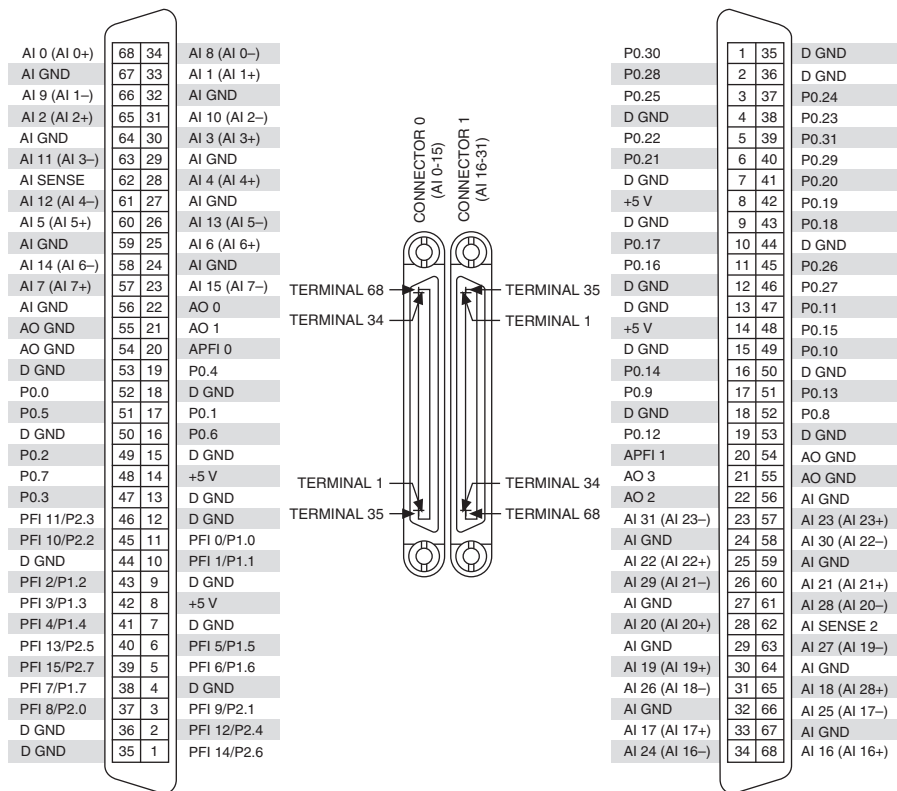


表 A-31. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトコネクタ 0 ピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

PCI/PXI-6289 に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**—PCI/PXI-6289 デバイスの詳細については、『NI 6289 仕様』を参照してください。
- **アクセサリとケーブルのオプション**—詳細については、第 2 章「[DAQ システムの概要](#)」の「[68 ピン M シリーズのケーブルおよびアクセサリ](#)」セクションを参照してください。

USB-6289 ネジ留め式端子

USB-6289 ネジ留め式端子のピン配列

図 A-23 は、USB-6289 ネジ留め式端子のピン配列を示しています。

図 A-32. USB-6289 ネジ留め式端子のピン配列

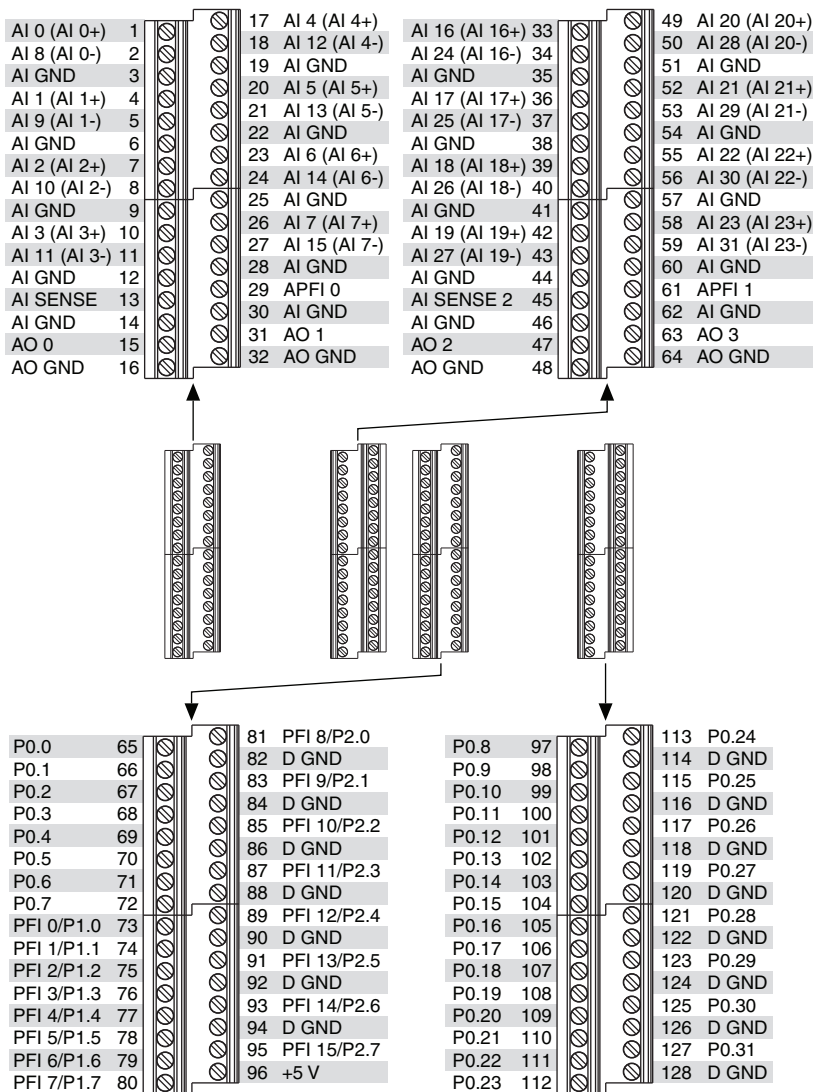


表 A-32. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトのピン番号 (名前)
CTR 0 SRC	81 (PFI 8)
CTR 0 GATE	83 (PFI 9)
CTR 0 AUX	85 (PFI 10)
CTR 0 OUT	89 (PFI 12)
CTR 0 A	81 (PFI 8)
CTR 0 Z	83 (PFI 9)
CTR 0 B	85 (PFI 10)
CTR 1 SRC	76 (PFI 3)
CTR 1 GATE	77 (PFI 4)
CTR 1 AUX	87 (PFI 11)
CTR 1 OUT	91 (PFI 13)
CTR 1 A	76 (PFI 3)
CTR 1 Z	77 (PFI 4)
CTR 1 B	87 (PFI 11)
FREQ OUT	93 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

USB-6289 ネジ留め式端子に関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6289 ネジ留め式端子デバイスの詳細については、『NI 6289 仕様』を参照してください。
- **LED パターン**— USB-6289 ネジ留め式端子の LED の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[LED パターン](#)」セクションを参照してください。
- **ヒューズ交換**— USB-6289 ネジ留め式端子の詳細については、第 1 章「[はじめに](#)」の「[USB デバイスのヒューズ交換](#)」セクションを参照してください。

- アクセサリオプション—詳細については、第 2 章「DAQ システムの概要」の「USB デバイスのアクセサリ、USB ケーブル、および電源」セクションを参照してください。

USB-6289 マスターミネーション

USB-6289 マスターミネーションのピン配列

図 A-25 は、USB-6289 マスターミネーションデバイスのピン配列を示しています。

図 A-33. USB-6289 マスターミネーションのピン配列

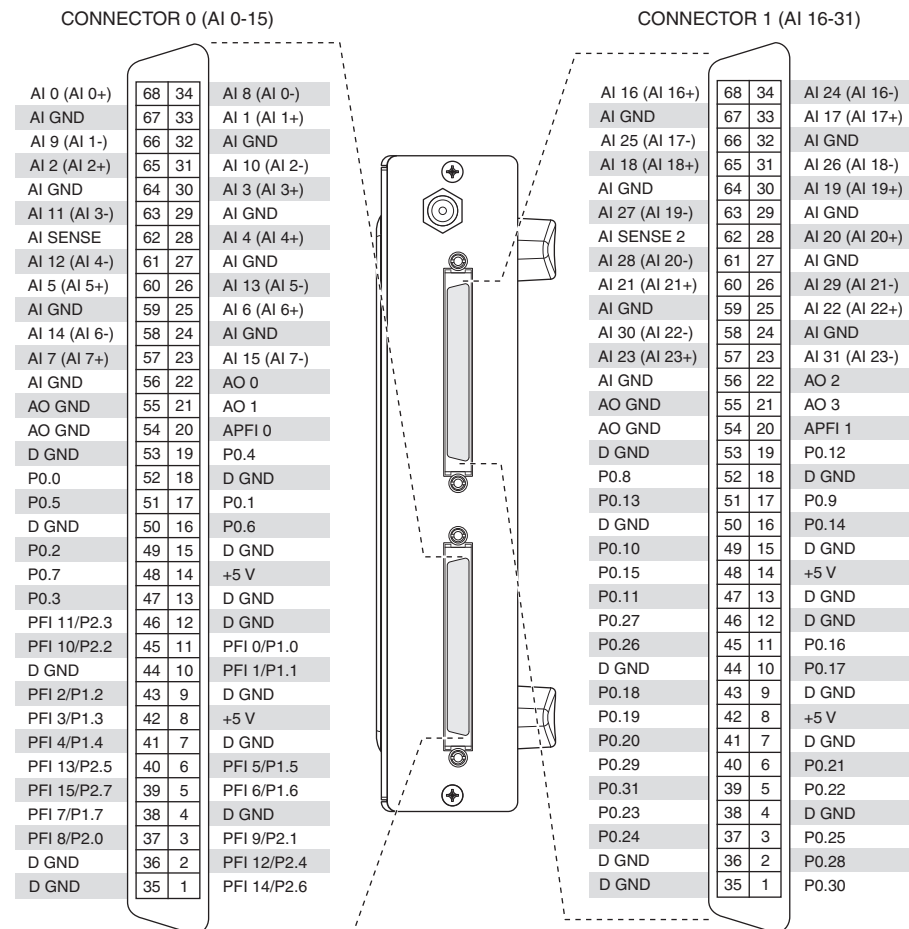


表 A-33. デフォルトの NI-DAQmx カウンタ / タイマピン

カウンタ / タイマ信号	デフォルトコネクタ 0 ピン番号 (名前)
CTR 0 SRC	37 (PFI 8)
CTR 0 GATE	3 (PFI 9)
CTR 0 AUX	45 (PFI 10)
CTR 0 OUT	2 (PFI 12)
CTR 0 A	37 (PFI 8)
CTR 0 Z	3 (PFI 9)
CTR 0 B	45 (PFI 10)
CTR 1 SRC	42 (PFI 3)
CTR 1 GATE	41 (PFI 4)
CTR 1 AUX	46 (PFI 11)
CTR 1 OUT	40 (PFI 13)
CTR 1 A	42 (PFI 3)
CTR 1 Z	41 (PFI 4)
CTR 1 B	46 (PFI 11)
FREQ OUT	1 (PFI 14)



メモ 各信号の詳細については、第 3 章「[コネクタと LED の情報](#)」の「[I/O コネクタ信号の説明](#)」セクションを参照してください。



メモ デフォルトの NI-DAQmx カウンタ入力の詳細については、『NI-DAQmx ヘルプ』または『LabVIEW ヘルプ』で「[カウンタ信号を接続する](#)」を参照してください。

USB-6289 マスターミネーションに関する重要なリンク

以下のリストには、この DAQ デバイスに専用のリンクが含まれています。

- **仕様**— USB-6289 マスターミネーションデバイスの詳細については、『NI 6289 仕様』を参照してください。
- **LED パターン**— USB-6289 マスターミネーションの LED の詳細については、第 3 章「コネクタと LED の情報」の「LED パターン」セクションを参照してください。
- **ヒューズ交換**— USB-6289 マスターミネーションでのヒューズ交換の詳細については、第 1 章「はじめに」の「USB デバイスのヒューズ交換」セクションを参照してください。
- **アクセサリとケーブルのオプション**— 詳細については、第 2 章「DAQ システムの概要」の「68 ピン M シリーズのケーブルおよびアクセサリ」セクションを参照してください。

タイミング図

この付録には、タイミング情報の詳細や M シリーズデバイスブロック図が含まれています。

- [「アナログ入力のタイミング図」](#)
- [「アナログ出力のタイミング図」](#)
- [「デジタル I/O のタイミング図」](#)
- [「カウンタのタイミング図」](#)
- [「クロック生成のタイミング図」](#)

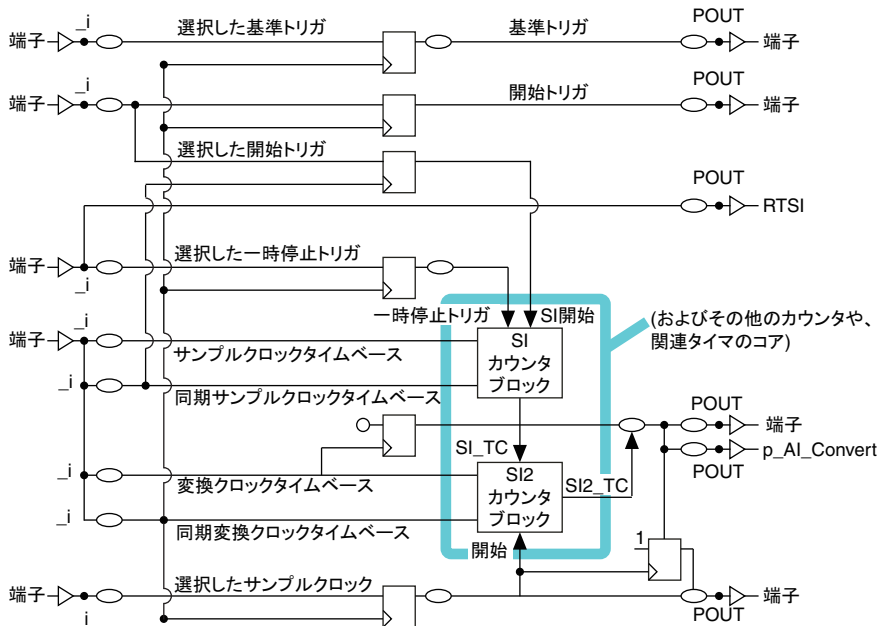
アナログ入力のタイミング図

以下のセクションでは、タイミングの仕様とアナログ入力タイミングエンジンに関連するトリガとクロック信号のタイミングについて説明します。

- [「入力タイミング」](#) – 入力タイミングは、クロックまたはトリガとして使用される M シリーズデバイスの外部信号のすべてに関連しています。このタイミングは、外部信号をデバイスへインポートする時に発生する遅延を示しています。
- [「内部タイミング」](#) – 内部タイミングは、内部信号間の関係を示します。通常、入力とその他の信号（変換信号など）が出力信号の生成にどのように使用されるかを示します。
- [「出力タイミング」](#) – 出力タイミングは、デバイスの内部信号を外部で使用するために端子にエクスポートする操作に関連するタイミングパラメータを示します。

図 B-1 は、M シリーズのアナログ入カタイミングエンジンの簡略に示したモデルです。

図 B-1. M シリーズのアナログ入カタイミングエンジン



以下は、図 B-1 および以下のセクションで使用されている信号です。

- **端子**— PFI または RTSI などの任意のデバイス端子を示します。これらの端子は信号の入力および出力として使用されます。
- **j**— アナログ入カタイミングエンジンで使用できる内部信号を示します。外部端子からの信号の場合、これは最初の入力バッファを通過した後の信号です。j は、内部タイムベースやその他のブロックからの信号など、その他の内部信号を示すこともあります。
- **POUT**— 出力端子に駆動される直前の出力信号を示します。
- **変換クロックタイムベースと同期変換クロックベース**— 変換クロックタイムベースは、ADC による変換を誘発する信号 (p_AI_Convert) を生成するために使用されるソース信号です。この信号としては、内部または外部タイムベース (SI2 カウンタで分周される)、または外部変換クロック信号を使用できます。同期変換クロックタイムベースは、変換クロックタイムベースに関連する信号であり、外部信号を変換クロックタイムベースを使用する回路で使用する前に同期するために使用します。

- **サンプルクロックタイムベースと同期サンプルクロックタイムベース**—サンプルクロックタイムベースは SI カウンタのソースであり、サンプルタイミングを生成するために使用されます。各サンプルクロックは 1 つまたは複数の変換をトリガします。この信号としては、内部および外部タイムベースを使用できます。同期サンプルクロックタイムベースは、サンプルクロックタイムベースに関連する信号であり、外部信号をサンプルクロックタイムベースを使用する回路で使用する前に同期するために使用します。
- **選択した開始トリガと開始トリガー**—開始トリガは、アナログ入力タイミングエンジンを開始する信号です。この信号の発信元としては、外部信号、ソフトウェアコマンド、または内部ソースがあります。選択した開始トリガは、同期される前（選択 Mux の直後）に開始トリガとして選択された信号のことです。
- **選択した基準トリガと基準トリガー**—基準トリガは、AI タイミングエンジンを停止できるトリガです。基準トリガが有効な場合、AI タイミングエンジンは、基準トリガで有効なイベントを検出し、ポストトリガサンプル数を集録すると、データ集録を停止します。この信号の発信元としては、外部信号、ソフトウェアコマンド、または内部ソースがあります。選択した基準トリガは、同期される前（選択 Mux の直後）に基準トリガとして選択された信号です。
- **選択したサンプルクロックとサンプルロッカー**—選択したサンプルクロックは、同期される前（選択 Mux の直後）にサンプルクロックとして選択された信号です。サンプルクロックは、新しいサンプルの開始位置を示します。この信号は、外部または内部信号として使用できます。内部信号の場合、サンプルクロックタイムベース信号を分周する SI カウンタによる生成が可能です。また、M シリーズデバイス内部の別の内部リソース、または外部端子から送信される場合があります。
- **選択した一時停止トリガと一時停止トリガー**—一時停止トリガは、一定の時間、集録を一時停止する場合に使用できます。選択した一時停止トリガは、同期される前に一時停止信号となる信号です。
- **p_AI_Convert**—ADC コンポーネントでデータの変換を開始する信号です。この信号は ADC に直接送信されますが、コピーは出力端子に経路設定できます。

入カタイミング

入カタイミングは、AI タイミングエンジンでトリガまたはクロックとして使用される外部信号のインポートに関連する遅延を示します。図 B-2 と B-3、および表 B-1 は、外部信号の挿入遅延を示しています。

図 B-2. 入カタイミングとアナログ入カタイミングエンジン

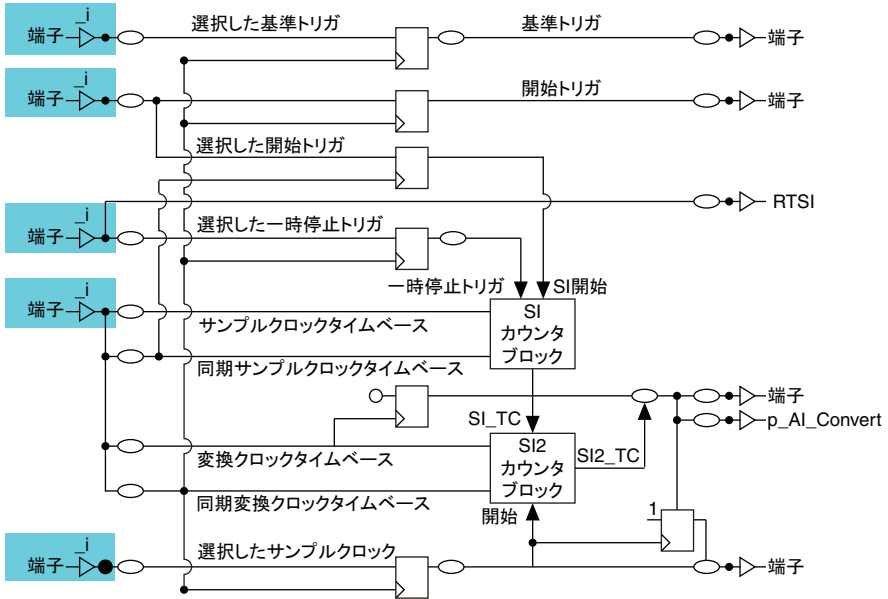


図 B-3. 入カタイミング図

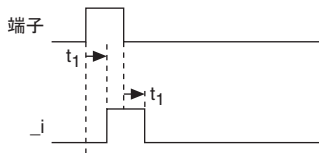


表 B-1. 入力タイミング

時間	から	まで	最小 (ns)		最大 (ns)	
t_1^*	PFI	PFI _i	4.2	6.4	15.2	19.2
	RTSI	RTSI _i	0.9	2.2	2.0	3.0
	STAR	STAR _i	0.9	—	—	2.8

* PFI および RTSI の遅延レンジは、特定の状態 (最大または最小タイミング) における、トリガグループ内での最高速および最低速の端子経路設定を示しています。この差は、2つの外部信号を同時に使用し、信号間の相対タイミングが重要である場合に役立ちます。

内部タイミング

AI タイミングクロック

アナログ入力タイミングエンジンには、AI 集録を制御するタイミングのレベルが 2 つあります。最初のレベルは、変換レベルです。これは、アナログからデジタルへの変換の実行を制御するタイミングです。SC、DIV、および SI2 カウンタはこのタイミングレベルを使用します。このタイミングレベルの時間を測定する信号は、変換クロックタイムベースと呼ばれます。この信号の発信元としては、内部ソース (たとえば、内部タイムベース) または外部信号があります。SI2 カウンタを使用して分周するか、(外部変換モードで) 直接使用できます。変換クロックタイムベース信号にトリガを同期させるために、同期変換クロックタイムベースと呼ばれる別の信号が生成されます。同期変換クロックタイムベースは、AI タイミングエンジンが動作するモードに応じて異なる方法で生成されます。

- 変換クロックタイムベースは、SI2 カウンタ (内部または外部) を使用して分周されている信号である場合、自走クロックとみなされます。この場合、同期変換クロックタイムベースは、変換クロックタイムベース信号を反転したものです。これは、元の信号の立ち上がりエッジを使用して、変換クロックタイムベースの立ち上がりエッジが発生する前 (極性選択の後) に外部信号を同期するためです。このセクションで説明されているのは、このケースです。
- 変換クロックタイムベースが SI2 カウンタで分周されない場合 (外部変換信号の場合)、この信号は自走クロックではないとみなされ、極めて不規則です。この場合、同期変換クロックタイムベースは実際の外部信号として選択され、変換クロックタイムベースは外部信号が遅延されたものです。この遅延は、外部信号が同期変換クロックタイムベースと同期され、変換クロックタイムベースで使用されるのに十分な長さです。このケースのタイミング図およびパラメータの詳細については、「[変換クロック](#)」のセクションを参照してください。

2 番目のタイミングレベルは、サンプルレベルです。基本的に変換はサンプルと呼ばれるセットに分類され、サンプルのタイミングは変換のタイミングに依存する必要はありません。M シリーズデバイスは、タイムベースを使用してサンプルのタイミングを生成することが可能です。このタイムベースは「[サンプルクロックタイムベー](#)

ス」と呼ばれます。この信号は、内部（たとえば、内部タイムベース）または外部として使用できます。いずれの場合も、信号はSIカウンタで分周され、（サンプルの開始を誘発する）サンプルクロック信号を生成するために使用されます。サンプルクロックタイムベースに外部トリガを同期させるために、同期サンプルクロックタイムベースと呼ばれるもう1つの信号が生成されます。サンプルクロックタイムベース信号の反転なしのコピーであるのに対して、この信号は常にサンプルクロックタイムベースとして選択される反転信号です。これは、サンプルクロックタイムベースの有効な各エッジに対して、サンプルクロックタイムベースの前に発生する、同期サンプルクロックタイムベースの有効なエッジを確保し、入カトリガの同期に使用できるようにするためです。

変換クロックタイムベースとサンプルクロックタイムベースのソースは、内部信号バス_iです。この信号のタイミングは、この共通ポイントに関連して説明されます。変換クロックタイムベースおよびサンプルクロックタイムベースは、互いに非同期的になる場合もあります。

図 B-4. AI タイミングクロックとアナログ入カタイミングエンジン

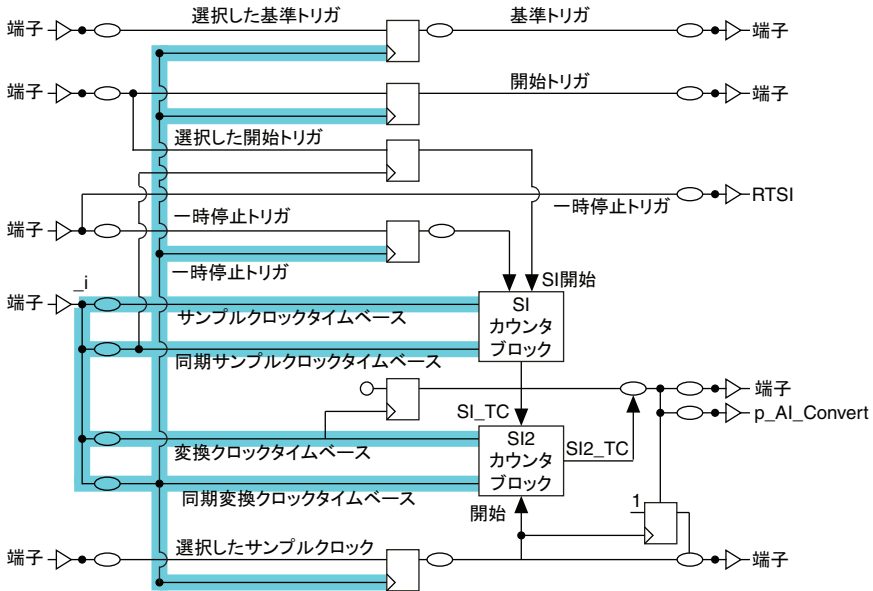


図 B-5. AI タイミングクロックのタイミング図

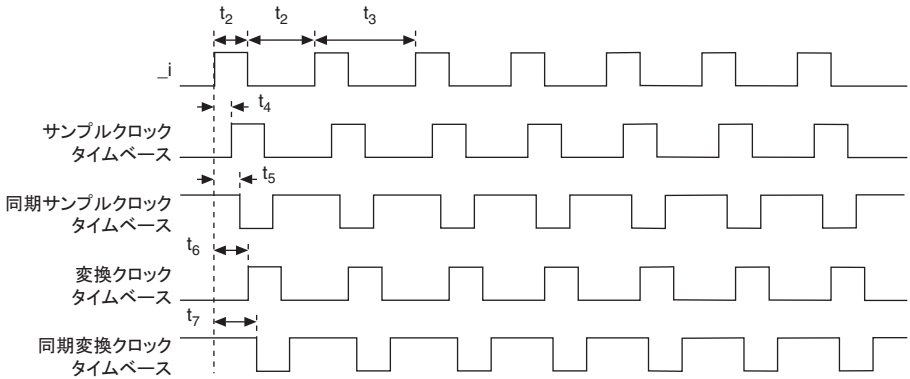


表 B-2. AI タイミングクロックのタイミング

時間	説明	ライン	最小 (ns)	最大 (ns)
t_2	最小パルス幅	—	12.5	—
t_3	最小周期	—	50.0	—
t_4	サンプルクロックタイムベースまでの遅延	PFI	3.8	9.3
		RTSI	3.5	9.0
		STAR	3.0	6.4
t_5	同期サンプルクロックタイムベースまでの遅延	PFI	3.4	8.5
		RTSI	3.2	8.3
		STAR	2.7	5.6
t_6	変換クロックタイムベースまでの遅延	PFI	4.1	10.2
		RTSI	3.9	9.9
		STAR	3.4	7.3
t_7	同期変換クロックタイムベースまでの遅延	PFI	3.6	8.9
		RTSI	3.3	8.6
		STAR	2.9	6.0

変換クロック

変換クロックは、A/D 変換が開始するタイミングを決定する信号です。ADC へ送られる信号は、p_AI_Convert と呼ばれます。また、変換クロックは外部で使用するために、複数の外部 I/O 端子に経路設定することもできます。変換クロックは、直接的あるいは間接的に (SI2 カウンタを使用して分周することで)、常に変換クロックタイムベース信号から生成されます。SI2 カウンタが使用される場合は、信頼性の高い自走クロックが使用されているとみなされます。変換クロックタイムベースと同期変換クロックタイムベースのタイミングの関係については、「AI タイミングクロック」のセクションを参照してください。SI2 カウンタが使用されていない場合 (外部変換の場合)、変換クロックタイムベースは自走でないとみなされ、変換クロックタイムベースと同期変換クロックタイムベースの関係は非同期遅延となります。

SI2 カウンタが使用されるされないに関係なく、変換クロックの生成におけるタイミングパラメータは、変換クロックタイムベース信号から同じになります。

図 B-6. 変換クロックとアナログ入カタイミンエンジン

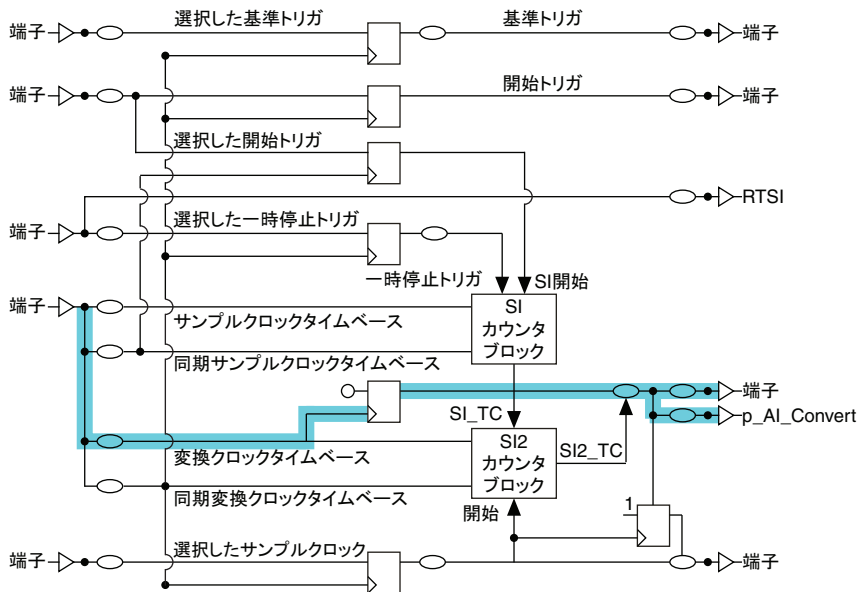


図 B-7. 変換クロックのタイミング図

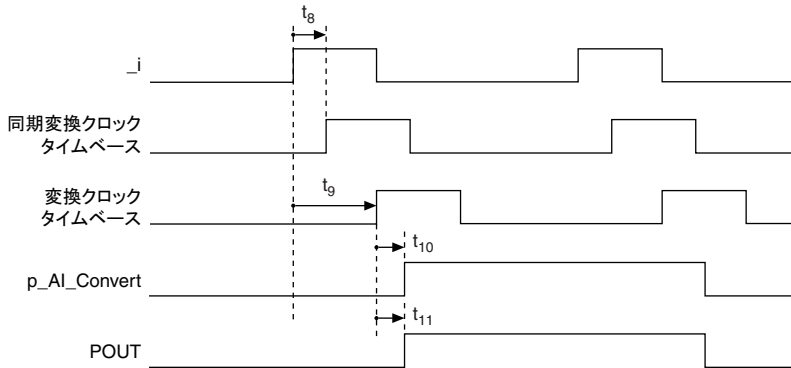


表 B-3. 変換クロックのタイミング

時間	説明	ライン	最小 (ns)	最大 (ns)
t_8	$_i$ から同期変換クロックタイムベースまでの遅延	PFI	6.4	15.9
		RTSI	6.0	15.6
		STAR	5.7	12.9
t_9	$_i$ から変換クロックタイムベースまでの遅延	PFI	16.2	39.1
		RTSI	16.0	38.8
		STAR	15.5	36.1
t_{10}	変換クロックタイムベースから p_AI_Convert までの遅延	—	6.0	13.0
t_{11}	外部端子 (POUT) にエクスポートされた場合の変換クロックタイムベースから変換クロックまでの遅延	PFI	4.6	10.8
		RTSI	4.6	10.5

図 B-8. 変換クロックと任意の内部信号のタイミング図

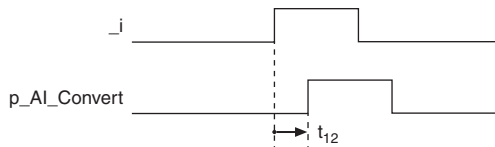


表 B-4. 変換クロックと任意の内部信号のタイミング

時間	説明	ライン	最小 (ns)	最大 (ns)
t ₁₂	外部変換モードで、 <i>_i</i> から p_Al_Convert	PFI	22.2	52.1
		RTSI	22.1	51.8
		STAR	21.5	49.1

開始トリガ

開始トリガは、AI 集録を開始する信号です。この信号は、(外部端子を介して)外部ソースまたは内部ソースから発生します。内部ソースの一例として、ソフトウェア生成パルスがあります。マルチプレクサは、すべての可能なソースから(すべて *_i* レベルで)選択し、選択した開始トリガと呼ばれる信号を出力します。次に、選択した開始トリガは、各クロックに同期されるように、AI セクションの2つのタイミングレベル(変換クロックタイムベースおよびサンプルクロックタイムベースのタイミングレベル)に送信されます。変換クロックタイムベースタイミング領域が有効な開始トリガを受信すると、AI タイミングエンジンは、サンプルクロックを受信次第(サンプルの開始)変換を即時開始できるようになります。サンプルクロックタイムベース領域が有効な開始トリガを受信すると、AI タイミングエンジンはサンプルクロックを開始できるようになります。

図 B-9. 変換クロックタイムベースのタイミングとアナログ入力のタイミングエンジン

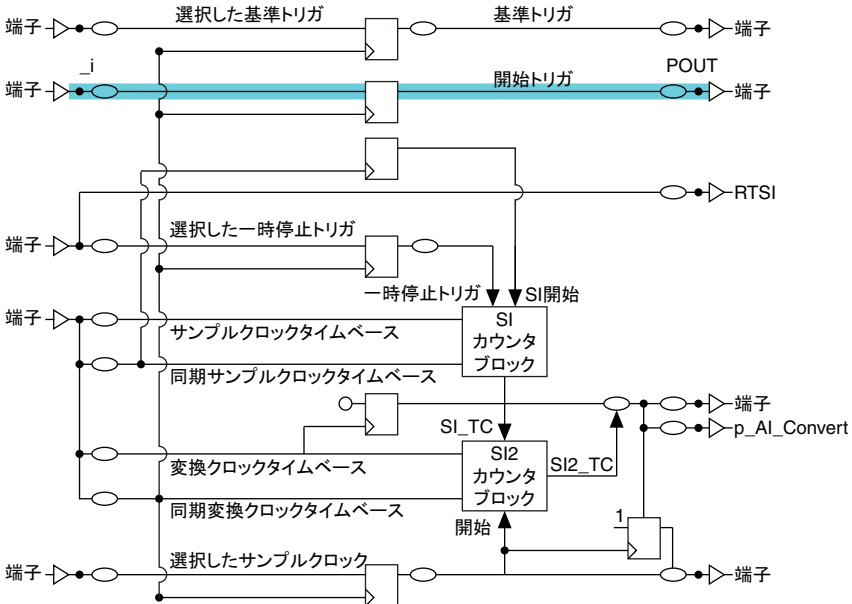


図 B-10. 変換クロックタイムベースのタイミング図

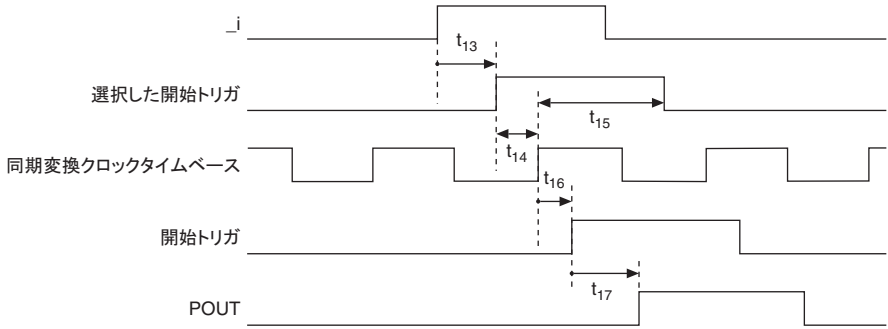


表 B-5. 変換クロックタイムベースのタイミング

時間	説明	ライン	最小 (ns)	最大 (ns)
t_{13}	選択した開始トリガまでの遅延	PFI	3.4	8.8
		RTSI	3.3	8.5
		STAR	2.7	5.7
t_{14}	(同期変換クロックタイムベースまでの) 選択した開始トリガのセットアップ時間	—	1.5	—
t_{15}	(同期変換クロックタイムベースまでの) 選択した開始トリガのホールド時間	—	0	—
t_{16}	同期変換クロックタイムベースから開始トリガ	—	0.9	2.4
t_{17}	開始トリガから POUT	PFI	1.1	3.1
		RTSI	1.1	2.7

図 B-11. サンプルクロックタイムベースのタイミングとアナログ入カタイミングエンジ

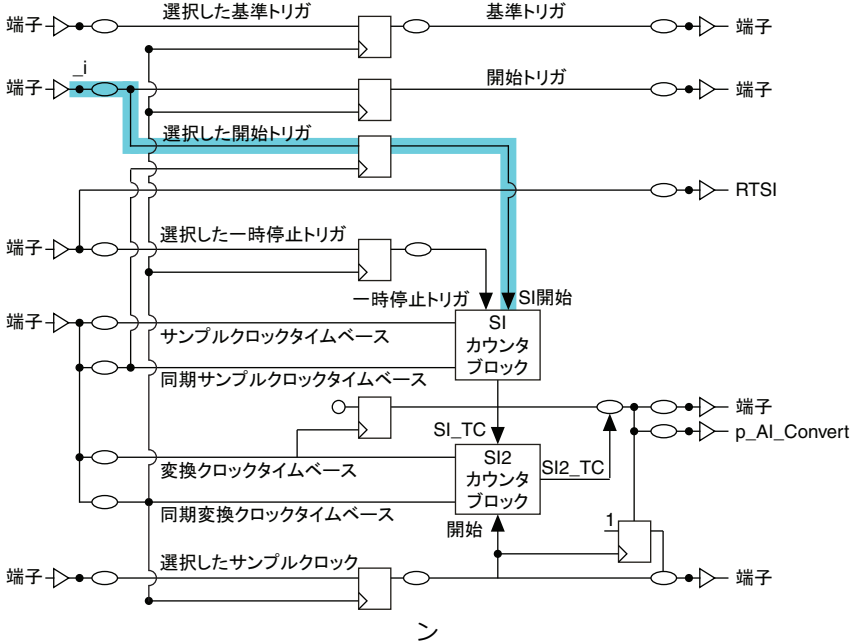


図 B-12. サンプルクロックタイムベースのタイミング図

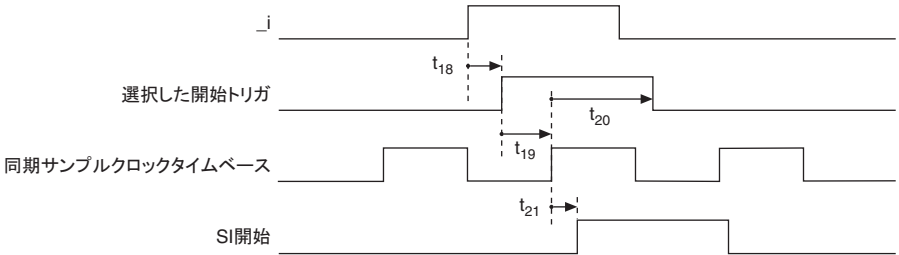


表 B-6. サンプルクロックタイムベースのタイミング

時間	説明	ライン	最小 (ns)	最大 (ns)
t_{18}	選択した開始トリガまでの遅延	PFI	3.4	8.8
		RTSI	3.3	8.5
		STAR	2.7	5.7
t_{19}	(同期サンプルクロックタイムベースまでの) 選択した開始トリガのセットアップ / ホールド時間	—	1.5	—
t_{20}	(同期サンプルクロックタイムベースまでの) 選択した開始トリガのセットアップ / ホールド時間	—	0	—
t_{21}	同期サンプルクロックタイムベースから SI_Start	—	0.9	2.2

基準トリガ

基準トリガは、集録を停止するために使用します。基準トリガは、通常プレトリガ集録で使用され、トリガ前後のデータ集録に必要です。基準トリガは、AI タイミングエンジンが停止前に測定するポストトリガの変換数のカウントを開始するタイミングを通知します。基準トリガは、外部または内部ソースから送信される場合があり、ソースはマルチプレクサで選択されます。出力は、「選択した基準トリガ」と呼ばれます。

図 B-13. 基準トリガとアナログ入力タイミングエンジン

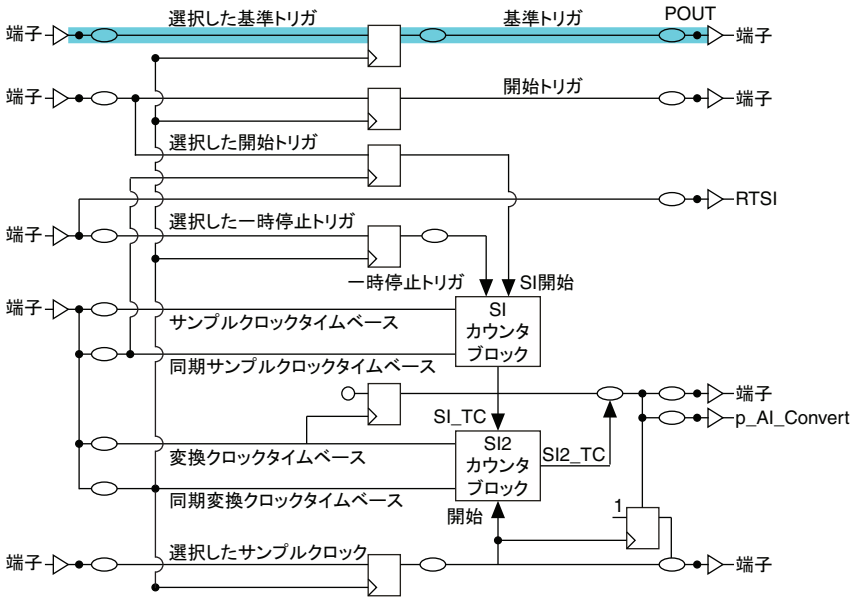


図 B-14. 基準トリガのタイミング図

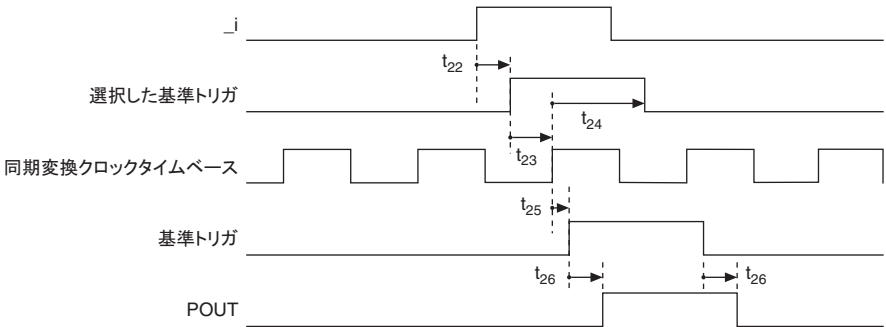


表 B-7. 基準トリガのタイミング

時間	説明	ライン	最小 (ns)	最大 (ns)
t_{22}	選択した基準トリガまでの遅延	PFI	3.6	8.9
		RTSI	3.4	8.4
		STAR	2.9	5.6
t_{23}	(同期変換クロックタイムベースまでの) 選択した基準トリガのセットアップ	—	1.5	—
t_{24}	(同期変換クロックタイムベースまでの) 選択した基準トリガのホールド	—	0	—
t_{25}	同期変換クロックタイムベースから基準トリガ	—	0.9	2.2
t_{26}	基準トリガから POUT	PFI	0.8	2.3
		RTSI	0.8	1.9

サンプルクロック

サンプルクロックは、(変換のセットとなる) サンプルの開始を通知します。サンプルクロックは、外部ソースまたは内部ソースから生成されます。主な内部ソースは、サンプルクロックタイムベース信号で動作する SI カウンタのターミナルカウント (TC) です。サンプルクロックのすべてのソースは「 \downarrow 」レベルにあり、マルチプレクサを使用して選択されます。マルチプレクサの出力は「選択したサンプルクロック」と呼ばれます。

図 B-15. サンプルクロックとアナログ入カタイミンエンジン

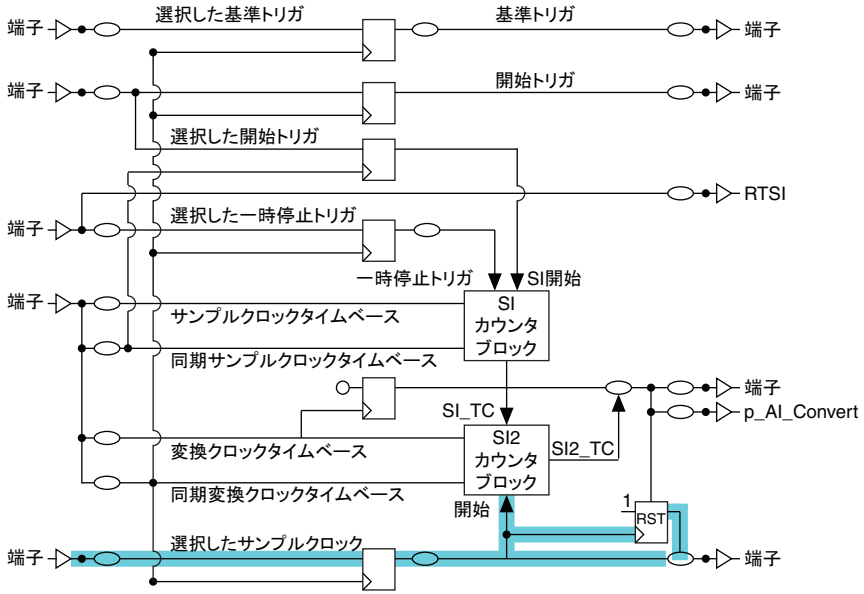


図 B-16. サンプルクロックのタイミング図

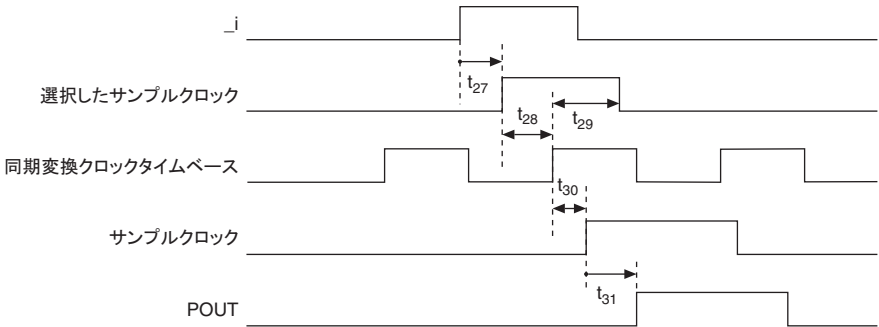


表 B-8. サンプルクロックのタイミング

時間	説明	ライン	最小 (ns)	最大 (ns)
t_{27}	選択したサンプルクロックまでの遅延	PFI	3.5	8.9
		RTSI	3.4	8.6
		STAR	2.8	5.9
t_{28}	(同期変換クロックタイムベースまでの) 選択した開始のセットアップ時間	—	1.5	—
t_{29}	(同期変換クロックタイムベースまでの) 選択したサンプルクロックのホールド時間	—	0	—
t_{30}	同期変換クロックタイムベースからサンプルクロック	—	2.4	5.8
t_{31}	サンプルクロックから POUT	PFI	2.4	5.5
		RTSI	3.2	6.8

AI タイミングエンジンは、AI_Sample_In_Progress と呼ばれるサンプルクロックに関連する信号をエクスポートすることもできます。この信号は、サンプルクロックと共にアサートされ、最後のサンプルの変換までアサートされたままになります。外部同時サンプルとホールド信号調節に役に立ちます。

図 B-17. AI_Sample_In_Progress のタイミング図

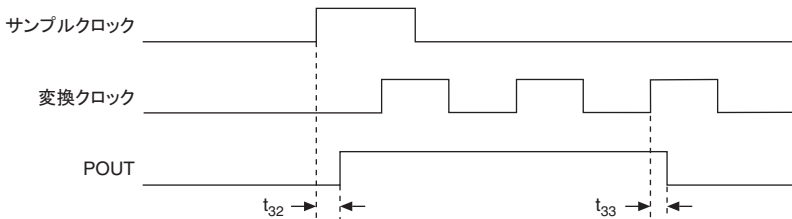


表 B-9. AI_Sample_In_Progress のタイミング

時間	説明	ライン	最小 (ns)	最大 (ns)
t_{32}	サンプルクロックから AI_Sample_In_Progress の立ち上がりエッジとしての POUT	PFI	3.4	8.0
		RTSI	4.2	9.2
t_{33}	変換クロックから AI_Sample_In_Progress の立ち下がりエッジとしての POUT	PFI	5.4	12.4
		RTSI	6.2	13.6

一時停止トリガ

一時停止トリガ信号を使用すると、信号がアサート解除されたときに集録を一時停止できます。外部ソースまたは内部ソースから生成されます。マルチプレクサは「i」バスからの信号を選択し、出力は「選択した一時停止トリガ」と呼ばれます。

図 B-18. 一時停止トリガとアナログ入カタイミングエンジン

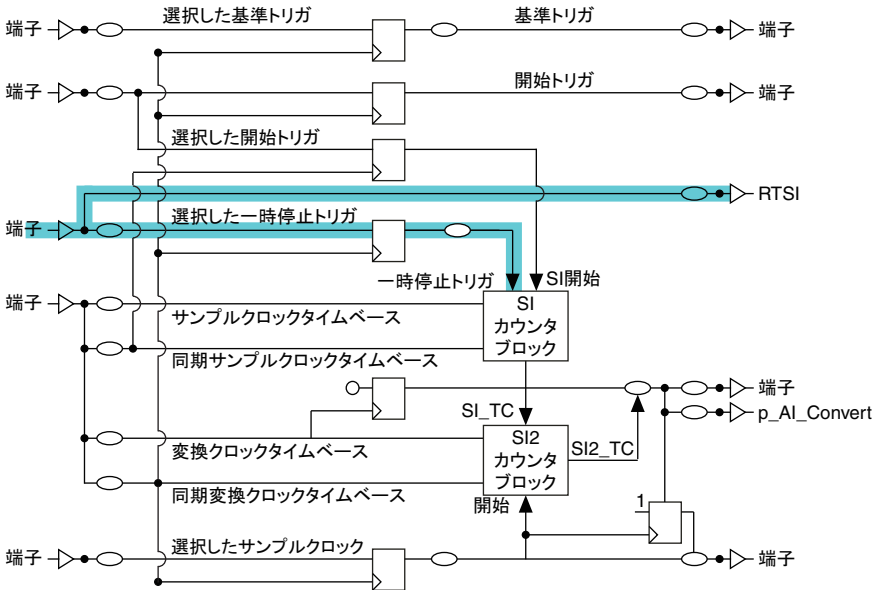


図 B-19. 一時停止トリガのタイミング図

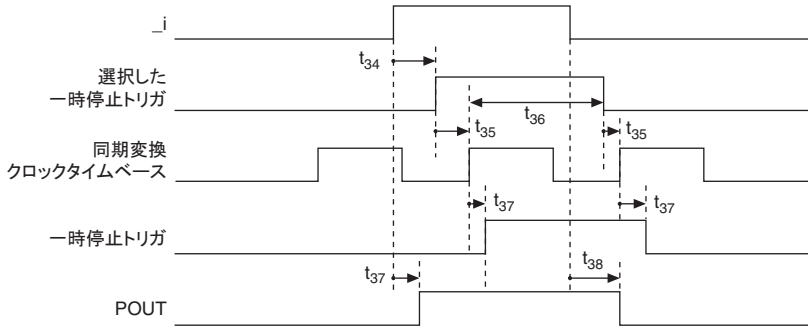


表 B-10. 一時停止トリガのタイミング

時間	説明	ライン	最小 (ns)	最大 (ns)
t_{34}	「i」から選択したゲート	PFI	3.2	7.8
		RTSI	3.0	7.5
		STAR	2.5	4.9
t_{35}	(同期変換クロックタイムベースまでの) 選択した一時停止トリガのセットアップ時間	—	1.5	—
t_{36}	ホールド (同期変換クロックタイムベース)	—	0	—
t_{37}	同期変換クロックタイムベースから一時停止トリガ	—	0.6	2.6
t_{38}	「i」の一時停止トリガソースから POUT	RTSI	1.1	3.1

出カタイミング

出カタイミングは、外部デバイスのトリガや、外部デバイスのタイミング測定に使用できるように、内部信号を外部端子にエクスポートする際に使用する遅延です。これらのタイミングパラメータには、各端子の選択マルチプレクサと出力ドライバの遅延が含まれます。図 B-20 と B-21、および表 B-11 は出カタイミングを示しています。

このセクションで示されている遅延は、PFI ラインで 200 pF の負荷、RTSI ラインで 50 pF の負荷があることを前提としています。実際の遅延は負荷によって異なります。

図 B-20. 出カタイミングとアナログ入カタイミングエンジン

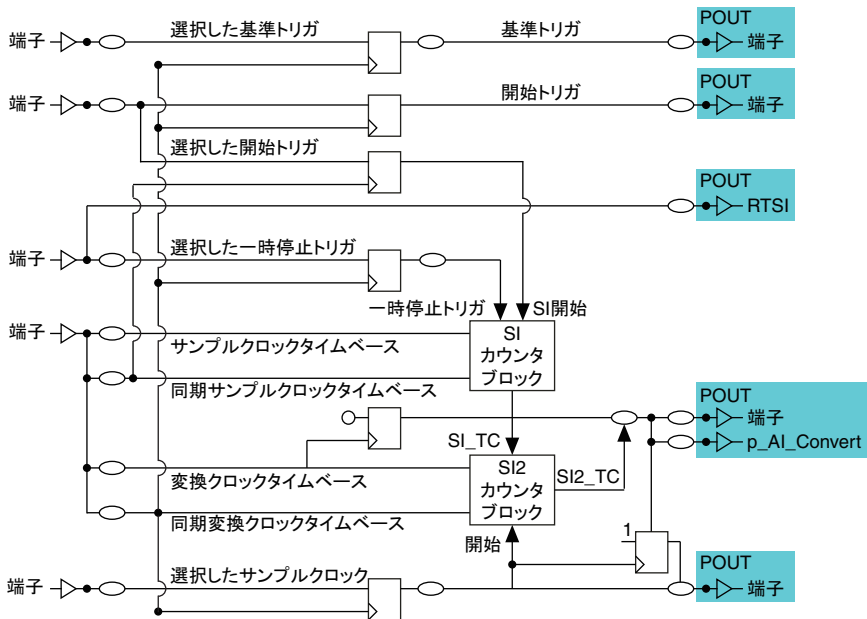


図 B-21. 出カタイミング図

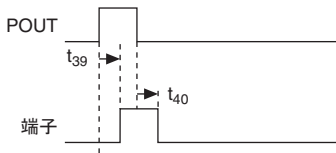


表 B-11. 出カタイミング

エッジ	ライン	最小 (ns)	最大 (ns)
立ち上がりエッジ	PFI	7.2	25.7
	RTSI	5.6	14.0
立ち下がりエッジ	PFI	7.5	25.9
	RTSI	6.0	13.9

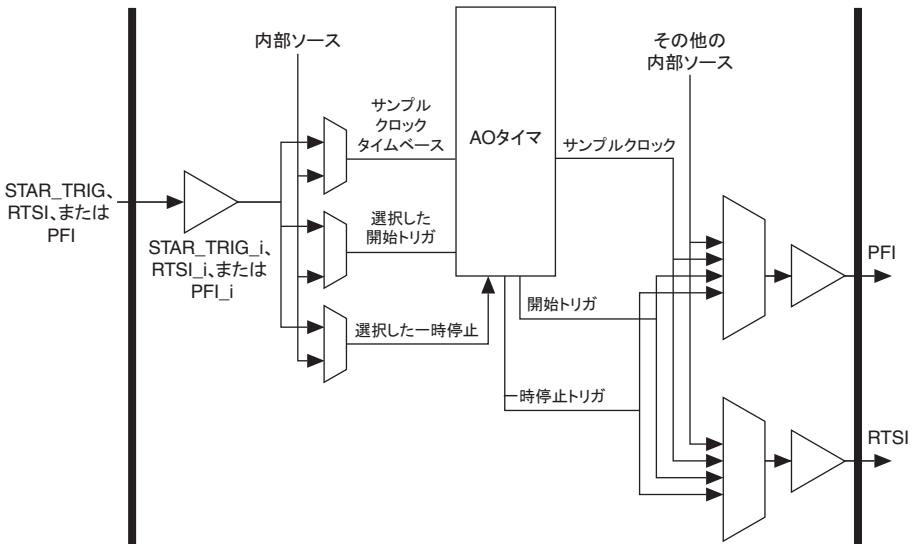
アナログ出力のタイミング図

アナログ出力のタイミングは、以下の 3 つの部分に分けることができます。

- **「入カタイミン**グ」 – M シリーズデバイスに入力され、内部信号バスで使用できる外部信号のタイミング。
- **「内部アナログ出力タイミン**グ」 – 内部信号への、または内部信号からのアナログ出力単位自体のタイミング仕様。
- **「出カタイミン**グ」 – M シリーズデバイスの外部端子に送信されるエクスポートされた信号のタイミング。

図 B-22 は、アナログ出力タイミン

図 B-22. M シリーズアナログ出力タイミン



以下は、図 B-22 および以下のセクションで使用されている信号です。

- **サンプリングクロック** – この信号は、D/A 変換により乗算されます。この信号は DAC に接続され、DAC は各パルスでデータ変換を実行します。この信号は、外部信号から直接発信されたか、または UI カウンタを使用してサンプリングクロックタイムベースが分周された結果である場合があります。
- **サンプリングクロックタイムベース** – この信号は、サンプリングクロックの生成に使用できます。この信号は、UI カウンタのクロックとして機能し、それに応じて UI カウンタをプログラミングすると、サンプリングクロックタイムベースの N 周期ごとにサンプリングクロックを生成できます。この信号は、内部ソース (ボード発振器など) または外部ソースから送信される場合があります。

- **同期サンプルクロックタイムベース**—同期サンプルクロックタイムベースは、内部で生成される信号で、サンプルクロックタイムベースに関連しています。この信号の生成方法、および2つの信号間の関係は操作モードにより異なります。通常、同期サンプルクロックタイムベースは、入力信号をサンプルクロックタイムベースで使用する前にアナログ出力タイミングエンジンに同期するために使用されます。
- **開始トリガ、選択した開始トリガ**—開始トリガは、アナログ出力操作が開始するタイミングを決定します。この信号は、ソフトウェアコマンドまたは外部パルスから送信されます。選択した開始トリガは、開始トリガソースの選択ブロックの出力です。
- **一時停止トリガ、選択した一時停止**—一時停止トリガを使用すると波形生成を一時停止できます。有効時、ゲートが有効な限り波形生成は実行されます。ゲートが無効になると、生成は一時停止します。この信号は、ソフトウェアコマンドまたは外部信号から送信されます。選択した一時停止は、一時停止トリガソースの選択ブロックの出力です。
- **Star_Trig、RTSI、または PFI**—これらの端子は、デバイスのI/O インタフェースです。これらの端子では、すべての外部トリガは入力です。これらの端子には、内部信号をエクスポートすることもできます。
- **_j Signals**—_jの記号が付いた信号は、すべてI/O バッファをすでに通過した、内部での使用が可能な外部信号です。

入カタイミング

入カタイミングは、外部端子からインポートする信号の遅延であり、これにより、アナログ出力タイミングエンジンはこれらの信号を異なるトリガやクロックのソースとして使用できるようになります。図 B-23 および表 B-12 は、外部信号の挿入遅延を示しています。

図 B-23. 入カタイミング図

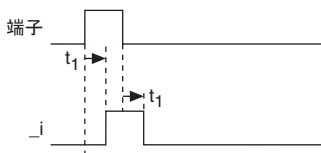


表 B-12. 入力タイミング

時間	から	まで	最小 (ns)		最大 (ns)	
t_1^*	PFI	PFI _i	4.1	6.4	15.2	19.2
	RTSI	RTSI _i	0.9	2.2	2.0	3.0
	STAR	STAR _i	0.9	—	—	2.8

* PFI および RTSI の遅延レンジは、特定の状態（最大または最小タイミング）における、トリガグループ内での最高速および最低速の端子経路設定を示しています。この差は、2つの外部信号を同時に使用し、信号間の相対タイミングが重要である場合に役立ちます。

内部アナログ出カタイミグ

アナログ出カタイマには、基準とされる内部クロック（サンプルクロックタイムベースと同期サンプルクロックタイムベース）が2個あります。これらの内部クロックがどのように生成されるかは、アナログ出カタイマの構成方法により異なります。アナログ出カタイミグエンジンが外部サンプルクロックと動作するように構成されている場合、アナログ出力の内部クロックタイミングは表 B-13 に基づいて求めることができます。

図 B-24. 外部アップデートソースのクロック挿入のタイミグ図

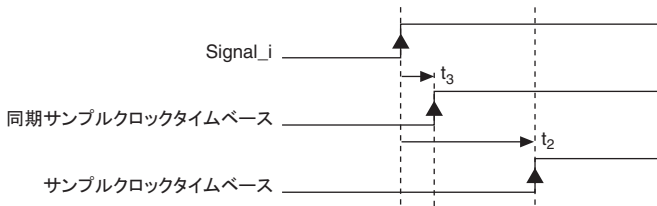


表 B-13. 外部アップデートソースのクロック挿入のタイミグ

時間	から	まで	最小 (ns)	最大 (ns)
t_2	Signal _i	サンプルクロックタイムベース	11.6	30.0
t_3	Signal _i	同期サンプルクロックタイムベース	1.5	7.0

サンプルクロックがサンプルクロックタイムベースを分周して生成されている場合、アナログ出力生成のタイミングは、UI カウンタの出力から測定されます。サンプルクロックタイムベース信号は外部信号として使用できます。アナログ出力タイミングエンジンがこのモードで動作する場合、サンプルクロックタイムベースのソース信号は自走クロックであるとみなされるため、同期サンプルクロックタイムベースはサンプルクロックタイムベースの反転になります。立ち上がりエッジ操作にアナログ出力タイミングエンジンを構成すると、外部信号が同期サンプルクロックタイムベースの立ち上がりエッジに対応するサンプルクロックタイムベースの立ち下がりエッジに同期されます。

図 B-25. サンプルクロックタイムベースと同期サンプルクロックタイムベースのタイミング図

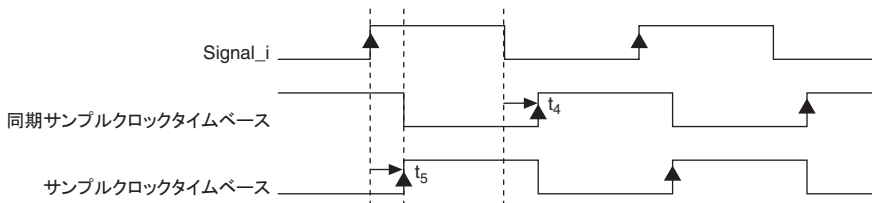


表 B-14. サンプルクロックタイムベースと同期サンプルクロックタイムベースのタイミング

時間	から	まで	最小 (ns)	最大 (ns)
t_4	Signal _i	サンプルクロックタイムベース	2.4	9.3
t_5	Signal _i	同期サンプルクロックタイムベース	2.4	9.3

開始トリガ

出力としては、開始トリガは非同期パルスとして経路設定されます。実際に経路設定される信号は選択した開始トリガ信号であるため、同期遅延は起こりません。

図 B-26. 開始トリガ入力遅延パス

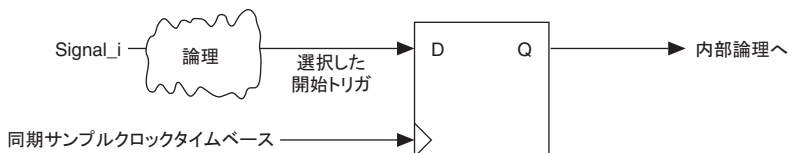


図 B-27. 開始トリガのタイミング図

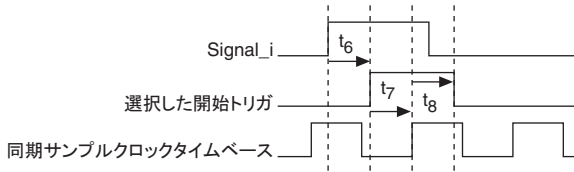


表 B-15. Signal_i から選択した開始トリガの開始トリガタイミング

時間	から	まで	最小 (ns)	最大 (ns)
t_6	Signal_i	選択した開始トリガ	2.9	9.8

表 B-16. 開始トリガのセットアップ / ホールド時間

時間	パラメータ	最小 (ns)	最大 (ns)
t_7	セットアップ	1.5	—
t_8	ホールド	0	—

一時停止トリガ

アナログ出力の一時停止トリガは、進行中の生成を一時停止するために使用できます。これは、同期サンプルクロックタイムベースの立ち上がりエッジで受信されます。

図 B-28. 一時停止トリガ入力遅延パス

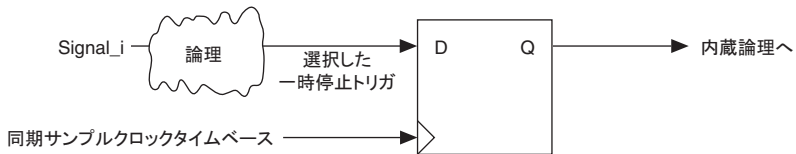


図 B-29. 一時停止トリガのタイミング図

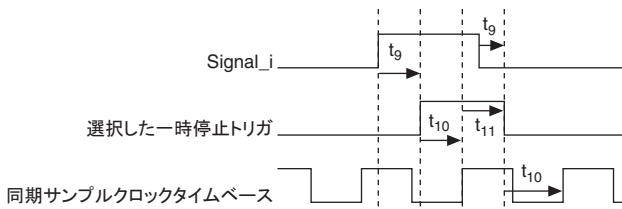


表 B-17. Signal_i から選択した一時停止トリガの一時停止トリガタイミング

時間	から	まで	最小 (ns)	最大 (ns)
t_9	Signal_i	選択した一時停止トリガ	1.7	7.8

表 B-18. 一時停止トリガのセットアップ/ホールド時間

時間	パラメータ	最小 (ns)	最大 (ns)
t_{10}	セットアップ	1.5	—
t_{11}	ホールド	0	—

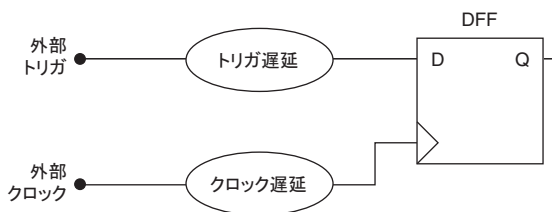
入カタイミングの確認

外部トリガと外部クロックを使用するアプリケーションについて考えてみます。トリガとクロック信号は、内部 D flip-flop (DFF) に経路設定されています。トリガが確実に特定のクロックエッジでサンプリングされるには、内部 DFF のセットアップ / ホールド時間が以下を満たす必要があります。

- 「端子」が、PFI ピン、RTSI ピン、または PXL_Star ピンであることに注意する。
- トリガ遅延はトリガ端子から DFF への遅延とする。
- クロック遅延はクロック端子から DFF への遅延とする。
- DFF セットアップおよび DFF ホールドは DFF のセットアップ / ホールド時間とする。
- 外部セットアップおよび外部ホールドは、端子におけるクロックへのトリガのセットアップ / ホールド時間とする。

図 B-30 は、外部トリガ、外部クロック、トリガ遅延、クロック遅延を示しています。

図 B-30. 外部トリガと外部クロックアプリケーション



DFF セットアップおよびホールド要件を満たすには、以下の条件の通りである必要があります。

$$\text{外部セットアップ} \geq \text{DFF セットアップ} - \text{クロック遅延} + \text{トリガ遅延}$$

$$\text{外部ホールド} \geq \text{DFF ホールド} + \text{クロック遅延} - \text{トリガ遅延}$$

DFF セットアップおよび DFF ホールドは、AO 開始トリガは表 B-16、AO 一時停止は表 B-18 で提供されています。

クロック遅延は、入力タイミング (表 B-12 に表示) と挿入タイミング (表 B-13 に表示) の合計です。

トリガ遅延は、入力タイミング (表 B-12 に表示) と挿入タイミング (表 B-15 および B-17 に表示) の合計です。

セットアップの計算には最大タイミングパラメータを使用します。ホールドの計算には最小タイミングパラメータを使用します。

表 B-12 に示されているように、入力タイミングでは最大遅延と最小遅延にそれぞれ 2 つの数値が与えられています。異なる入力端子間で最悪の場合のスキューを処理するには、最も安全な結果が得られる方法として「**入力タイミング**」セクションの入力遅延表で指定されたレンジを使用します。セットアップの計算では、トリガ遅延に大きい方の数値を、クロック遅延には小さい方の数値を使用します。ホールドの計算では、トリガ遅延に小さい方の数値を、クロック遅延には大きい方の数値を使用します。

出カタイミング

アナログ出カタイマには、開始トリガ、一時停止トリガ、およびサンプルクロックの 3 つのトリガ出力があります。このセクションで示されている遅延は、PFI ラインで 200 pF の負荷、RTSI ラインで 50 pF の負荷があることを前提としています。実際の遅延は実際の負荷によって異なります。各条件に指定された 2 つの数字は、最適なケースおよび最悪なケースの端子の変化を示します。

- **開始トリガ**—出力としては、開始トリガは非同期パルスとして経路設定されます。実際に接続される信号は選択した開始トリガ信号であるため、同期遅延は起こりません。

図 B-31. 開始トリガパス

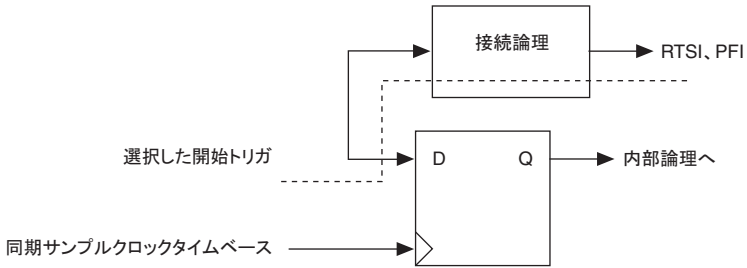


図 B-32. 開始トリガ出力遅延のタイミング図

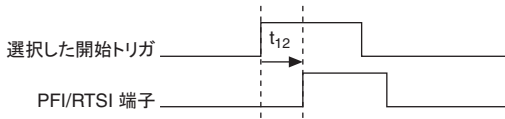


表 B-19. 開始トリガ出力遅延のタイミング

時間	から	まで	最小 (ns)		最大 (ns)	
t ₁₂	選択した開始トリガ	PFI	8.1	9.1	27.1	30.8
	選択した開始トリガ	RTSI	7.5	7.7	17.9	18.5

- 一時停止トリガー** 一時停止トリガーは、非同期的な出力で、RTSI に対してのみ出力されます。実際に経路設定される信号は選択した一時停止です。一時停止トリガー出力のタイミングは、表 B-20 にある遅延を選択した一時停止遅延の合計に加算することで求めることができます。

図 B-33. 一時停止トリガパス

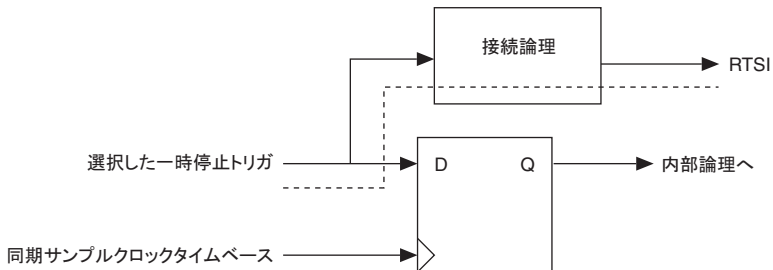


図 B-34. 一時停止トリガの出力経路遅延のタイミング図

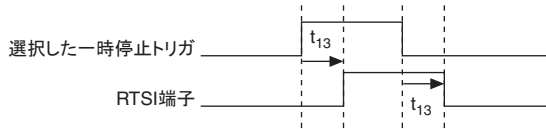


表 B-20. 一時停止トリガの出力経路遅延のタイミング

時間	から	まで	最小 (ns)		最大 (ns)	
t_{13}	選択した一時停止トリガ	RTSI	6.7	7.1	16.3	17.0

- サンプルクロック**—サンプルクロックの立ち上がりエッジは、サンプルクロックタイムベースに対して非同期的な出力です。サンプルクロックタイムベースの挿入を表 B-21 の遅延に加算することで求めることができます。エクスポートされたサンプルクロック信号は、各立ち下りエッジが変換を表すアクティブ LOW です。

図 B-35. サンプルクロックパス

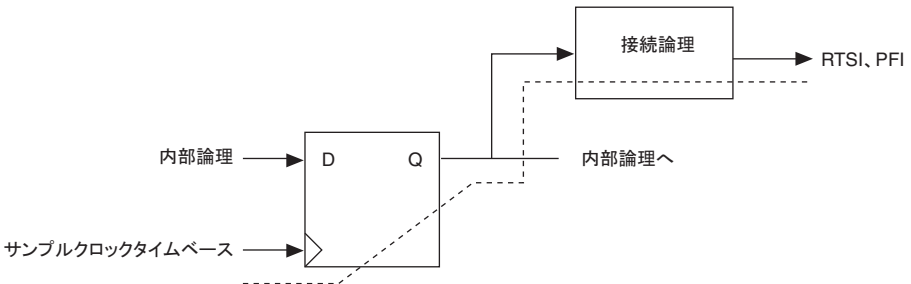


図 B-36. サンプルクロック遅延のタイミング図

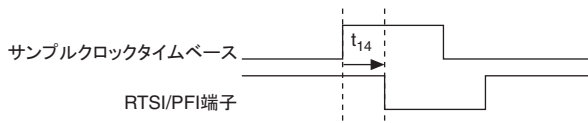


表 B-21. サンプルクロック遅延のタイミング

時間	から	まで	最小 (ns)		最大 (ns)	
t ₁₄	AO サンプルクロック	PFI	9.7	10.7	31.1	34.3
	AO サンプルクロック	RTSI	8.8	9.1	21.3	21.7

デジタル I/O のタイミング図

このセクションでは、デジタル波形集録およびデジタル波形生成のタイミング遅延および要件について説明します。

デジタル波形集録のタイミング

デジタル波形集録のタイミング遅延および要件の説明には、図 B-37 で示されている回路を参照してください。図の P0、PFI、RTSI、および PXI_STAR は、M シリーズデバイスのコネクタピンにおける信号を示しています。その他の名前の信号は内部信号を示しています。

図 B-37. デジタル波形集録のタイミング回路

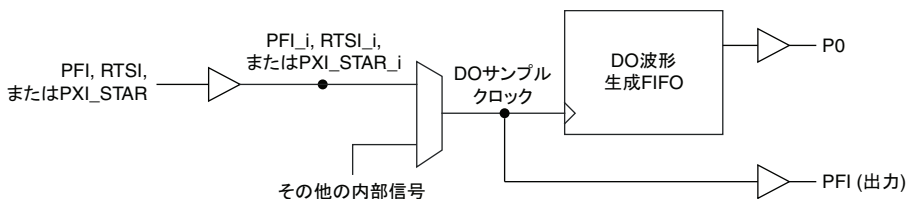


図 B-38、および表 B-22 と B-23 は、デジタル波形集録のタイミング遅延と要件を示しています。適切な動作を保証するために、入力の特徴が満たされる必要があります。

図 B-38. デジタル波形集録のタイミング遅延

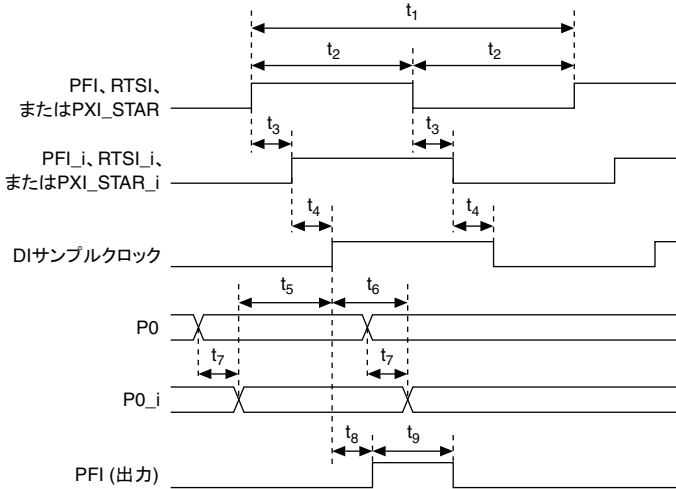


表 B-22. DI タイミング遅延

時間	から	まで	最小 (ns)		最大 (ns)	
t_3^*	PFI	PFI_i	5.2	6.2	18.2	22.0
	RTSI	RTSI_i	2.0	2.5	5.0	6.0
	PXI_STAR	PXI_STAR_i	1.5		3.5	
t_4	PFI_i、RTSI_i、PXI_STAR_i、 またはその他の内部信号	DI サンプル クロック	3.5		9	
t_7	P0	P0_i	4.7		20.1	
t_8	DI サンプルクロック	PFI (出力)	8.0		29.8	
t_9^\dagger	PFI (出力) HIGH	PFI (出力) LOW	80 MHz タイムベースの 1 周期		80 MHz タイムベースの 2 周期	

* PFI および RTSI の遅延レンジは、特定の状態（最大または最小タイミング）における、トリガグループ内での最高速および最低速の端子経路設定を示しています。この差は、2つの外部信号を同時に使用し、信号間の相対タイミングが重要である場合に役立ちます。

† DI サンプルクロックが PFI 出力ピンに経路設定される場合、出力のパルス幅は入力のパルス幅に依存しません。パルス幅は、80 MHz タイムベースの周期数で指定されます。

表 B-23. DI タイミングの要件

時間	要件	条件	最小 (ns)	最大 (ns)
t_1	PFI、RTSI、または PXI_STAR 最小周期	DI サンプルク ロックとして使 用された場合	NI 622x デバイス : 1000.0 NI 625x/628x デバイス : 100.0	—
t_2	PFI、RTSI、または PXI_STAR 最小パルス幅	DI サンプルク ロックとして使 用された場合	12.0	—
t_5	P0 _i から DI サ ンプルロックま でのセットアップ 時間	—	1.5	—
t_6	DI サンプルク ロックから P0 _i までの ホールド時間	—	0	—

デジタル波形生成のタイミング

図 B-39 は、デジタル波形生成のタイミング遅延と要件説明するために回路を図で表したものです。図の P0、PFI、RTSI、および PXI_STAR は、M シリーズデバイスのコネクタピンにおける信号を示しています。その他の名前の信号は内部信号を示しています。

図 B-39. デジタル波形生成のタイミング回路

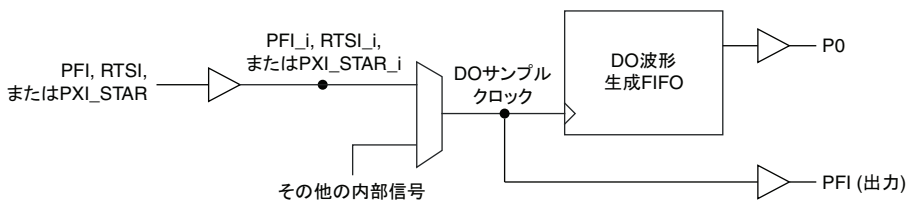


図 B-40、および表 B-24 と B-25 は、デジタル波形生成のタイミング遅延と要件を示しています。適切な動作を保証するには、入力の要件が満たされる必要があります。

図 B-40. デジタル波形集録のタイミング遅延

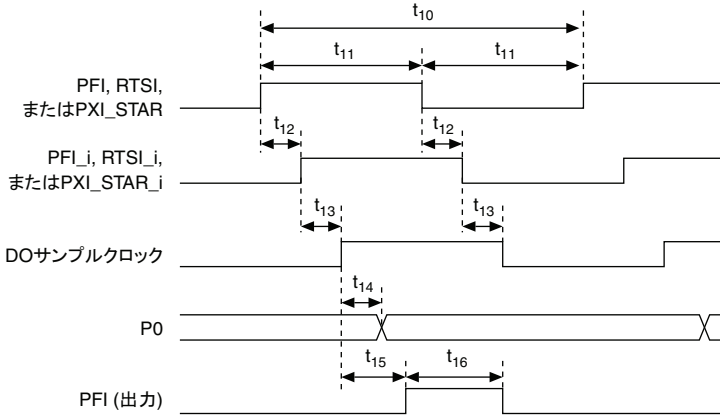


表 B-24. DO タイミング遅延

時間	から	まで	最小 (ns)		最大 (ns)	
t_{12}^*	PFI	PFI_i	5.2	6.2	18.2	22.0
	RTSI	RTSI_i	2.0	2.5	5.0	6.0
	PXI_STAR	PXI_STAR_i	1.5		3.5	
t_{13}	PFI_i、RTSI_i、 PXI_STAR_i、または その他の内部信号	DO サンプ ルクロック	3.5		9.5	
t_{14}	DO サンプルクロック	P0	7.5		27.5	
t_{15}	DO サンプルクロック	PFI (出力)	8.0		29.8	

表 B-24. DO タイミング遅延 (続き)

時間	から	まで	最小 (ns)	最大 (ns)
t_{16}^{\dagger}	PFI (出力) HIGH	PFI (出力) LOW	80 MHz タイムベースの 2 周期	80 MHz タイムベースの 3 周期

* PFI および RTSI の遅延レンジは、特定の状態 (最大または最小タイミング) における、トリガグループ内での最高速および最低速の端子経路設定を示しています。この差は、2 つの外部信号を同時に使用し、信号間の相対タイミングが重要である場合に役立ちます。

\dagger DO サンプルクロックが PFI 出力ピンに経路設定される場合、出力のパルス幅は入力のパルス幅に依存しません。パルス幅は、80 MHz タイムベースの周期数で指定されます。

表 B-25. DO タイミングの要件

時間	要件	条件	最小 (ms)	最大 (ms)
t_{10}	PFI、RTSI、または PXI_STAR 最小周期	DO サンプルクロックとして使用された場合	NI 622x デバイス : 1000.0 NI 625x / NI 628x デバイス : 100.0	—
t_{11}	PFI、RTSI、または PXI_STAR 最小パルス幅	DO サンプルクロックとして使用された場合	12.0	—

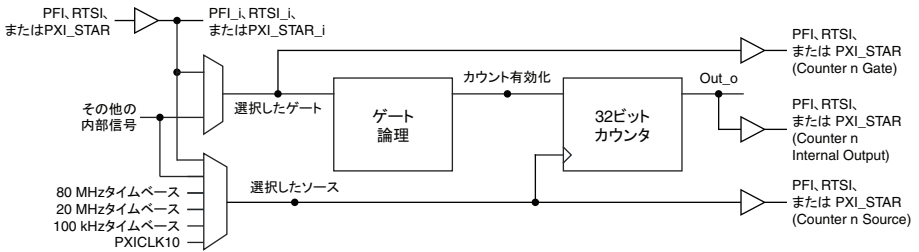
カウンタのタイミング図

このセクションでは、入力遅延、入力要件、出力遅延、ゲートモード、位相差出力エンコーダおよび 2 パルスエンコーダのタイミングについて説明します。

入力遅延

このセクションでは、カウンタ / タイマ回路のタイミング遅延の一部について説明します。図 B-41 は、カウンタ / タイマの遅延を説明するために回路を図で表したものです。図では、PFI、RTSI、および PXI_STAR は、M シリーズデバイスのコネクタピンにおける信号を示します。その他の名前の信号は内部信号を示します。

図 B-41. カウンタ / タイマ回路



ピンから内部信号の遅延

入カタイミングは、M シリーズデバイスの入カバスに信号をインポートするためのタイミング仕様です。表 B-26 は、すべての入力端子のカウンタの入カタイミングを示しています。信号は、デバイスの I/O コネクタの信号を示し、**「j」** が付いている信号は入カバッファ後のデバイスに対する内部の信号を示します。

図 B-42. ピンから内部信号の遅延のタイミング図

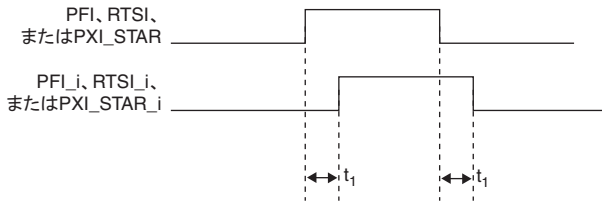


表 B-26. ピンから内部信号の遅延のタイミング

時間	から	まで	最小 (ns)		最大 (ns)	
			最小	最大	最小	最大
t_1^*	PFI	PFI_j	5.2	6.2	18.2	22.0
	RTSI	RTSI_j	2.0	2.5	5.0	6.0
	STAR	STAR_j	0.9	—	—	2.5

* PFI および RTSI の遅延レンジは、特定の状態 (最大または最小タイミング) における、トリガグループ内での最高速および最低速の端子経路設定を示しています。この差は、2 つの外部信号を同時に使用し、信号間の相対タイミングが重要である場合に役立ちます。

選択したゲートと選択したソースの遅延

表 B-27 と B-28 は、選択したソースと選択したゲートの内部信号のタイミングを示しています。

選択したソースは、32 ビットカウンタをカウントさせるために使用します。選択したゲートは、カウンタ有効信号を生成するゲート論理を駆動します。

すべての内部カウンタのタイミングは、これらの 2 つの信号を基準としています。内部信号はすべて、上記の表の $_j$ の追加されている信号または M シリーズデバイス内の別のサブシステムから送信される信号を示します。内部タイムベースまたは PXI_CLK10 は含まれません。

図 B-43. 選択したゲート遅延のタイミング図

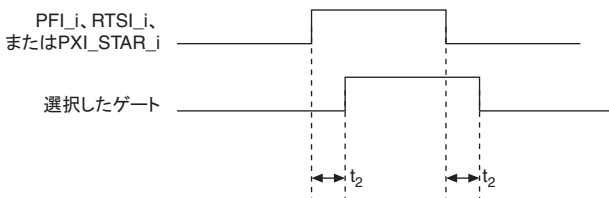


表 B-27. 選択したゲート遅延のタイミング

時間	から	まで	最小 (ns)	最大 (ns)
t_2	PFI _i , RTSI _i , PXI_STAR _i , または任意の内部信号	選択したゲート	1.0	6.0

図 B-44. 選択したソース遅延のタイミング図

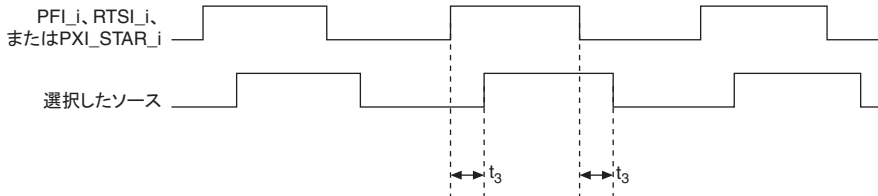


表 B-28. 選択したソース遅延のタイミング

時間	から	まで	最小 (ns)	最大 (ns)
t_3	PFI _i 、RTSI _i 、PXI_STAR _i 、または任意の内部信号	選択したソース	8.0	21.0
	20 MHz タイムベース	選択したソース	1.5	4.0
	100 kHz タイムベース	選択したソース	1.5	4.0
	80 MHz タイムベース	選択したソース	1.0	2.5
	PXI_CLK10	選択したソース	1.0	3.5

カウント有効化の遅延

表 B-29 は、図 B-41 に示されているように、内部カウント有効化信号のタイミングを示しています。カウント有効化は、32 ビットカウンタを有効にし、選択したソース信号の立ち上がりエッジでカウントします。

遅延は、アプリケーションの同期モードおよびゲートモードの両方により異なります。

図 B-45. カウント有効化の遅延

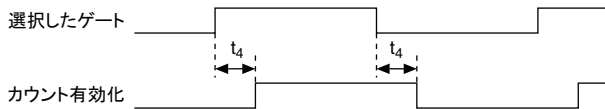


表 B-29. 選択したゲートからカウント有効化の遅延

時間	同期モード	ゲートモード	最小 (ns)	最大 (ns)
t_4	80 MHz ソース	エッジ	0.5	5.0
		レベル	-1.0	0.5
	その他の内部ソース	エッジ	1/2 ソース周期 - 1 ns	1/2 ソース周期 + 3 ns
		レベル	1/2 ソース周期 - 2.5 ns	1/2 ソース周期 - 1 ns
	外部ソース	エッジ	7.5	22.0
		レベル	6.0	18.0

入力要件

M シリーズカウンタ / タイマ回路については、図 B-41 を参照してください。

ソース周期とパルス幅

図 B-46 と表 B-30 は、Counter n Source のタイミング要件を示しています。要件は同期モードにより異なります。

図 B-46. Counter n Source のタイミング要件

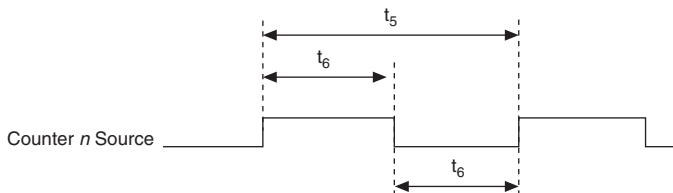


表 B-30. Counter n Source のタイミング

時間	説明	同期モード	最小 (ns)*	最大 (ns)
t_5	Counter n Source 周期	80 MHz ソース	12.5	—
		その他の内部ソース	25.0	—
		外部ソース	50.0	—

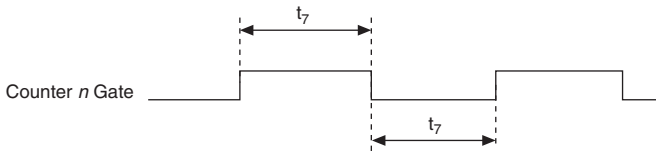
表 B-30. Counter n Source のタイミング (続き)

時間	説明	同期モード	最小 (ns)*	最大 (ns)
t_6	Counter n Source のパルス幅	80 MHz ソース	6.2	—
		その他の内部ソース	12.5	—
		外部ソース	16.0	—

* この表の時間は、M シリーズデバイスのピンで測定されています。たとえば、 t_5 は、信号が Counter n Source に内部的に経路設定されている場合、PFI、RTSI、または PXI_STAR ピンを駆動する信号の最小周期を示します。

ゲートのパルス幅

図 B-47 と表 B-31 は、Counter n Gate のタイミング要件を示しています。要件はゲートモードによって異なります。

図 B-47. Counter n Gate のパルス幅のタイミング図表 B-31. Counter n Gate のパルス幅のタイミング

時間	説明	ゲートモード	最小 (ns)*	最大 (ns)
t_7	Counter n Gate のパルス幅	エッジ	12.0	—
	Counter n Gate のパルス幅	レベル	1 ソース周期	—

* この表の時間は、M シリーズデバイスのピンで測定されています。これは、 t_7 は、信号が Counter n Gate に内部的に経路設定されている場合、PFI、RTSI、または PXI_STAR ピンを駆動する信号の最小パルス幅を示します。

ゲートからソースのセットアップとホールド

カウンタは、図 B-41 に示されているように、D 入力がカウント有効化、クロック入力を選択したソースであるフリップフロップのセットとしてモデル化できます。このセクションでは、2つの異なるケースのセットアップとホールドの要件を説明します。

- PFI ピンが Counter n Source を駆動し、別の PFI ピンが Counter n Gate を駆動する
- 一般的なケース (ソースとゲートを駆動する信号のその他すべての組み合わせ)

図 B-48 と表 B-32 は、最初のケース (PFI ピンが Counter n Source を駆動し、別の PFI ピンが Counter n Gate を駆動する) における PFI ピンのセットアップとホールドの要件を示しています。

図 B-48. ゲートからソースのセットアップとホールドのタイミング図

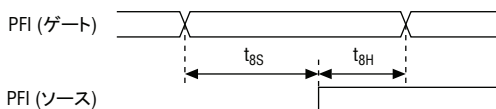


表 B-32. ゲートからソースのセットアップとホールドのタイミング

時間	説明	ゲートモード	同期モード	最小 (ns)	最大 (ns)
t_{9S}	PFI (ゲート) から PFI (ソース) のセットアップ時間	エッジ	外部ソース	12.3	—
		レベル	外部ソース	8.3	—
t_{9H}	PFI (ゲート) から PFI (ソース) のホールド時間	エッジ	外部ソース	0.5	—
		レベル	外部ソース	2.0	—

図 B-49 および表 B-33 は、DAQ-STC2 の内部ブロックのセットアップおよびホールドの要件を示しています。表を使用して、一般的なケースのソースおよびゲート信号のセットアップおよびホールド時間を計算します。一般的なケースでは、カウンタ / タイマ回路全体の必要な信号の各遅延を加算することで、セットアップおよびホールドの要件が満たされているかどうかを確認できます。

図 B-49. DAQ-STC2 内部ブロックのセットアップとホールドの要件のタイミング図

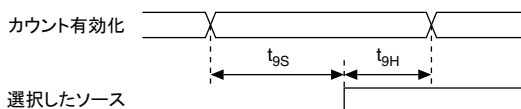


表 B-33. DAQ-STC2 内部ブロックのセットアップとホールドの要件のタイミング

時間	パラメータ	最小 (ns)	最大 (ns)
t_{9S}	セットアップ	1.5	—
t_{9H}	ホールド	0	—

一般的なケースの例

ゲートおよびソースの発信元が PFI ラインで、ゲートがレベルモードで使用されている場合のセットアップおよびホールド時間の要件を計算します。



メモ この例では、レベルゲートを使用して上記の PFI から PFI の例 (最初のケース) のセットアップとホールド時間を求める方法を説明します。

セットアップ

セットアップ時間を計算するには、ゲート遅延からソース遅延を差し引きます。最大遅延を使用してください。

ゲート遅延

PFI ~ PFI _i	22.0 ns
PFI _i ~ 選択したゲート	6.0 ns
選択したゲート ~ カウント有効化 (レベル)	18.0 ns
カウント有効化のセットアップ時間	+ 1.5 ns
	<hr/>
	47.5 ns

ソース遅延

PFI ~ PFI _i	18.2 ns
PFI _i ~ 選択したソース	+ 21.0 ns
	<hr/>
	39.2 ns

$$T_{\text{セットアップ}} > 47.5 \text{ ns} - 39.2 \text{ ns} = 8.3 \text{ ns}$$

ホールド

ホールド時間を計算するには、ソース遅延からゲート遅延を差し引きます。最小遅延を使用します。

ゲート遅延

PFI~PFI _i	5.2 ns
PFI _i ~選択したゲート	1.0 ns
選択したゲート~カウント有効化 (レベル)	6.0 ns
カウント有効化のホールド時間	+ 0.0 ns
	<u>12.2 ns</u>

ソース遅延

PFI~PFI _i	6.2 ns
PFI _i ~選択したソース	+ 8.0 ns
	<u>14.2 ns</u>

$$T_{\text{ホールド}} > 14.2 \text{ ns} - 12.2 \text{ ns} = 2.0 \text{ ns}$$

出力遅延

M シリーズカウンタ / タイマ回路については、図 B-41 を参照してください。

図 B-50 および表 B-34 は、出力遅延を示しています。

図 B-50. 出力遅延

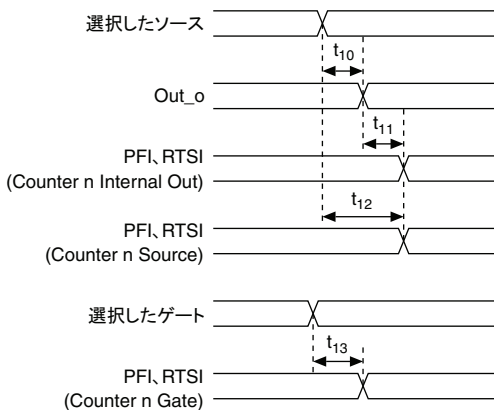


表 B-34. 出力遅延のタイミング

時間	ライン	最小 (ns)	最大 (ns)
t_{10}	—	1.0	4.0
t_{11}	PFI	7.5	28.2
	RTSI	6.5	18.0
t_{12}	PFI	8.5	32.2
	RTSI	7.5	22.0
t_{13}	PFI	7.5	28.7
	RTSI	6.5	18.0

ゲートモード

ゲートモードは、カウンタ / タイマによるゲート入力の使用方法です。一部のタイミング操作はゲートモードにより異なります。アプリケーションにより、カウンタ / タイマはレベルゲートモードまたはエッジゲートモードのどちらかになります。

NI-DAQmx では、カウンタ / タイマは以下の測定用にレベルゲートモードを使用します。

- エッジカウント
- パルス幅測定
- 2 信号エッジ間隔測定

その他の測定にはエッジゲートモードを使用します。

位相差出力エンコーダと 2 パルスエンコーダのタイミング

第 7 章「カウンタ」の「Counter n A、Counter n B、Counter n Z 信号」セクションに記述されている Counter n A、Counter n B、および Counter n Z は、位相差出力エンコーダおよび 2 パルスエンコーダのカウントモードを使用した位置測定に使用されます。表 B-35 は、これらの信号のタイミング要件を示しています。

図 B-51. 位相差出力エンコーダと 2 パルスエンコーダのタイミング図

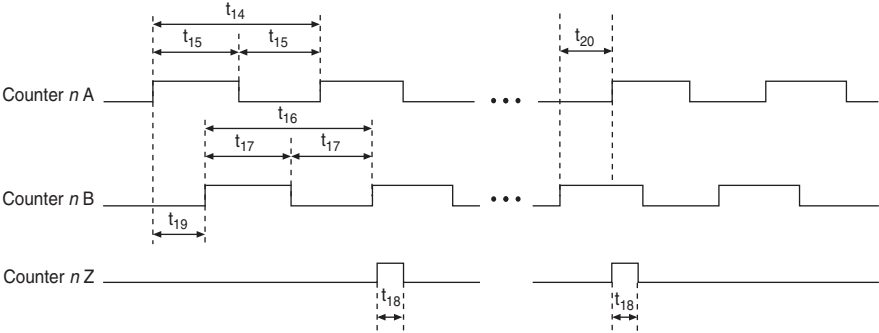


表 B-35. 位相差出力エンコーダと 2 パルスエンコーダのタイミング

時間	説明	最小 (ns)*	最大 (ns)
t_{14}	Counter n A の周期	50.0	—
t_{15}	Counter n A のパルス幅	25.0	—
t_{16}	Counter n B の周期	50.0	—
t_{17}	Counter n B のパルス幅	25.0	—
t_{18}	Counter n Z のパルス幅	25.0	—
t_{19}	Counter n A から Counter n B の遅延	25.0	—
t_{20}	Counter n B から Counter n A の遅延	25.0	—

* この表の時間は、M シリーズデバイスのピンで測定されています。たとえば、 t_{14} は、信号が Counter n A に内部的に接続されている場合、PFI、RTSI、または PXL_STAR ピンを駆動する信号の最小周期を示します。

クロック生成のタイミング図

表 B-36 は、第 9 章「デジタル接続とクロック生成」の「クロック経路設定」セクションに記述されているオンボード 80MHz 発振器からの異なるクロックの生成の遅延を示しています。

図 B-52. オンボード 80MHz 発振器から異なるクロックを生成する

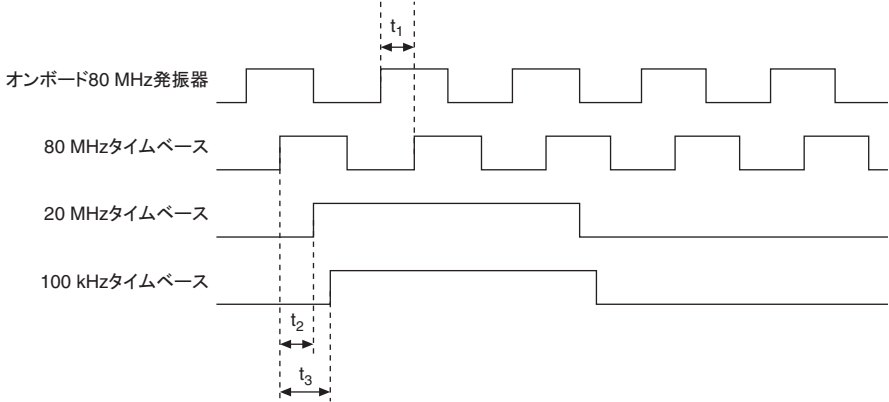


表 B-36. オンボード 80MHz 発振器から異なるクロックを生成する

時間	から	まで	最小 (ns)	最大 (ns)
t_1	オンボード 80MHz 発振器	80 MHz タイムベース	4.0	9.0
t_2	80 MHz タイムベース	20 MHz タイムベース	0.5	2.5
t_3	80 MHz タイムベース	100 kHz タイムベース	1.0	5.0

表 B-37 は、外部基準クロックと PLL を使用して異なるクロックを生成する場合の遅延を示しています。

図 B-53. 外部基準クロックと PLL を使用して異なるクロックを生成する

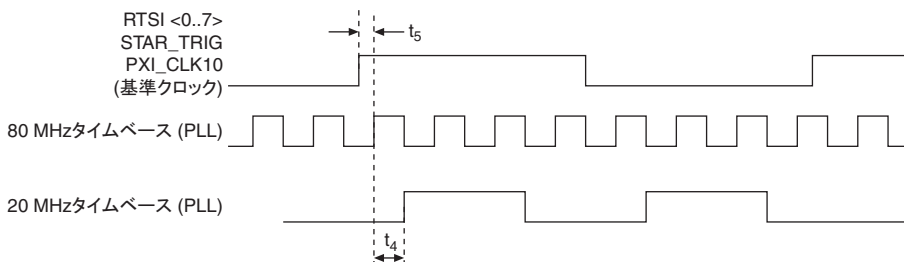


表 B-37. 外部基準クロックと PLL を使用して異なるクロックを生成する

時間	から	まで	最小 (ns)	最大 (ns)
t_4	80 MHz タイムベース	20 MHz タイムベース	1.5	5.0
t_5	外部基準クロック (RTSI <0..7>, STAR_TRIG, PXI_CLK10) のソース	(PLL_OUT を介した) 80 MHz タイムベース	1.0	5.5

トラブルシューティング

このセクションでは、M シリーズデバイスについての一般的な質問を掲載しています。質問に対する回答がここにはない場合は、ni.com/kb からナショナルインスツルメンツの技術サポートデータベースを参照してください。

アナログ入力

複数チャンネルをサンプル中に、クロストーク (ゴースト電圧) が起こります。これはどういう意味でしょうか？

マルチプレクサで一連の高出力インピーダンスソースをサンプルすると起きる、電荷注入と呼ばれる現象が発生している可能性があります。マルチプレクサはスイッチト キャパシタで作られたスイッチを内蔵しています。チャンネルの 1 つ、たとえば AI 0 がマルチプレクサで選択されると、キャパシタは電荷を蓄積します。次のチャンネル、たとえば AI 1 が選択されると、蓄積された電流 (または電荷) がチャンネル 1 を介して逆に漏れます。AI 1 に接続されたソースの出力インピーダンスが十分に高ければ、AI 1 の読み取り値は AI 0 の電圧に部分的に影響されます。この問題を避けるには、M シリーズデバイスに接続する前に、各高インピーダンスソースに対してユニティゲインを持つ演算アンプ (オペアンプ) 付きの電圧フォロワを使用します。それ以外の場合は、各チャンネルのサンプルレートを下げる必要があります。

チャンネルのクロストークが発生するもう 1 つの主な理由は、さまざまなゲインで複数のチャンネルをサンプルすることです。この場合、整定時間が長くなります。異なるゲインでのチャンネルのサンプルおよび電荷注入の詳細については、第 4 章「アナログ入力」の「複数チャンネルスキャンに関する注意事項」セクションを参照してください。

デバイスを差動アナログ入力グランド基準モードで使用し、差動入力信号を接続しましたが、測定値が変則的で急激に変動します。何が問題なのでしょう？

DIFF モードで、DAQ デバイスからの測定値が変則的で急激に変動する場合は、グランド基準接続を確認する必要があります。デバイスグランドを基準にすると、信号は浮動している場合があります。DIFF モードを使用している場合も、デバイス基準と同じグランドレベルが信号の基準であることが必要です。高コモンモード除去比 (CMRR) を維持しながら、この基準を達成するさまざまな方法があります。これらの方法の詳細については、第 4 章「アナログ入力」の「アナログ入力信号を接続する」セクションを参照してください。

AI GND は AI コモン信号で、デバイスのグランド接続ポイントに直接接続されます。デバイスへの一般的なアナロググランド接続ポイントが必要な場合は、この信号を使

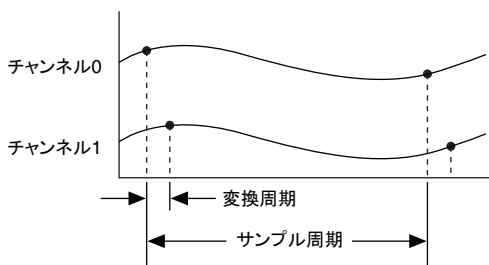
用できます。詳細については、第 4 章「アナログ入力」の「グランド基準型信号ソースに差動接続を使用する条件」セクションを参照してください。

AI チャンネルを M シリーズデバイスでサンプルするには、どのように AI サンプルクロックおよび AI 変換クロック信号を使用しますか？

M シリーズデバイスは、AI サンプルクロック (ai/SampleClock) および AI 変換クロック (ai/ConvertClock) を使用して間隔サンプリングを行います。図 C-1 が示すように、AI サンプルクロックは以下の式によって決定されるサンプル周期を制御します。

$$1/\text{サンプル周期} = \text{サンプルレート}$$

図 C-1. AI サンプルクロックと AI 変換クロック



AI 変換クロックは、以下の式によって決定される変換周期を制御します。

$$1/\text{変換周期} = \text{変換レート}$$

この方法では、全体のサンプルレートに対して複数のチャンネルを比較的迅速にサンプルすることができ、チャンネル間の遅延が一定でほぼ完全な同時効果があります。

アナログ出力

出力信号にグリッチが発生しています。これを抑えるにはどうしたらよいでしょうか？

DAC を使用して波形を生成する場合、出力信号でグリッチが発生することがあります。これらのグリッチは、DAC の電圧が切り替わる時に解放されるチャージによって発生するものであり、正常です。最大グリッチは DAC コードの最大ビットが変化するときに発生します。ローパスグリッチ除去フィルタを作成して、これらのグリッチを周波数や出力信号の特性に応じてある程度除去することができます。グリッチを抑える方法については、ni.com/support を参照してください。

カウンタ

ソースの連続するエッジの前に、バッファ型カウンタ測定の複数のサンプルクロックが起これば、動作が異常になります。これはなぜですか。

重複カウント防止を使用すると、低速または非周期的な外部ソースが使用される一部のアプリケーションで、カウンタはカウンタ測定用に正常なデータを返します。

詳細については、第 7 章「カウンタ」の「重複カウント防止」セクションを参照してください。

カウンタ信号は M シリーズデバイスにどのようにして接続しますか？

カウンタ信号の接続の詳細については、第 7 章「カウンタ」の「デフォルトのカウンタ/タイマピン配列」セクションを参照してください。

M シリーズの取り付けに関する問題

Measurement & Automation Explorer (MAX) または Windows 2000/NT/XP オペレーティングシステムで、M シリーズデバイスが検出されません。同じ PC でその他のデバイス (E シリーズデバイスなど) を使用した場合は正常に動作します。何が問題なのでしょう？

付録 D 「E シリーズから M シリーズにアップグレードする」に、E シリーズから M シリーズデバイスにアップグレードする際の問題が記載されています。

M シリーズデバイスに関する最新のトラブルシューティングのヒントや、よくある質問の解答は、NI の技術サポートデータベース (ni.com/kb) を参照してください。

E シリーズから M シリーズに アップグレードする

この付録では、M シリーズと E シリーズのマルチファンクション I/O ファミリの相違点について説明します。

M シリーズと E シリーズのピン配列の比較

68 ピン M シリーズデバイスのコネクタ 0 のピン配列は、68 ピン E シリーズデバイスのピン配列と似ています。M シリーズデバイスでは、一部の端子に強化された機能やわずかな相違点があります。表 D-1 は、2 つのピン配列を比較しています。

表 D-1. M シリーズと E シリーズのピン配列の比較

E シリーズ信号*	M シリーズ信号	相違点
FREQ OUT	PFI 14/P2.6	E シリーズデバイスを使用する場合、これらの各端子は 1 つの特定の内部タイミング信号として動作します。
CTR 0 OUT (GPCTRO_OUT)	PFI 12/P2.4	
CTR 1 OUT (GPCTR1_OUT)	PFI 13/P2.5	M シリーズデバイスは、E シリーズデバイスを使用した場合と同様に、各端子を駆動させることができます。M シリーズデバイスでは、各端子に他のたくさんのタイミング信号を接続することもできます。
EXT STROBE	PFI 10/P2.2	M シリーズデバイスでは、これらの端子を内部タイミング信号を動作する追加の PFI 入力として使用することもできます。 M シリーズデバイスでは、これらの端子をデジタル I/O 信号として使用することもできます。 第 8 章「PFI」も参照してください。
AI HOLD COMP (SCANCLK)	PFI 11/P2.3	
PFI 9/CTR 0 GATE (GPCTRO_GATE)	PFI 9/P2.1	PFI 入力では、E シリーズと M シリーズデバイスの機能はこれらの端子で似ています。
PFI 6/AO START TRIG (WFTRIG)	PFI 6/P1.6	E シリーズデバイスは、これらの各端子を 1 つの特定の内部タイミング信号で動作します。
PFI 5/AO SAMP CLK (UPDATE)	PFI 5/P1.5	M シリーズデバイスは、E シリーズデバイスを使用した場合と同様に、各端子を駆動させることができます。M シリーズデバイスでは、各端子に他のたくさんのタイミング信号を接続することもできます。
PFI 1/AI REF TRIG (TRIG2)	PFI 1/P1.1	
PFI 8/CTR 0 SRC (GPCTRO_SOURCE)	PFI 8/P2.0	M シリーズデバイスでは、これらの端子をデジタル I/O 信号として使用することもできます。 第 8 章「PFI」も参照してください。
PFI 7/AI SAMP CLK (STARTSCAN)	PFI 7/P1.7	
PFI 4/CTR 1 GATE (GPCTR1_GATE)	PFI 4/P1.4	
PFI 3/CTR 1 SRC (GPCTR1_SOURCE)	PFI 3/P1.3	
PFI 2/AI CONV CLK (CONVERT)	PFI 2/P1.2	

表 D-1. M シリーズと E シリーズのピン配列の比較 (続き)

E シリーズ信号*	M シリーズ信号	相違点
PFI 0/AI START TRIG (TRIG1)	PFI 0/P1.0	<p>E シリーズデバイスでは、入力としてこの端子は PFI 入力またはアナログトリガ入力になります。</p> <p>M シリーズデバイスでは、入力を考えた場合、この端子は PFI 入力だけになります。アナログトリガは APFI <0,1> 端子を使用します。</p> <p>E シリーズデバイスでは、この端子を AI START TRIG 信号として動作します。</p> <p>M シリーズデバイスでは、出力を考えた場合、この端子を AI START TRIG 信号として動作します。この端子に他の多くの内部タイミング信号を接続することもできます。</p> <p>M シリーズデバイスでは、この端子をデジタル I/O 信号、P1.0 として使用することもできます。</p> <p>第 8 章「PFI」も参照してください。</p>
P0.6 P0.7	P0.6 P0.7	<p>E シリーズと M シリーズデバイスの両方で、これらの端子はデジタル I/O 信号です。各信号を入力または出力として個別に構成することができます。</p> <p>E シリーズデバイスでは、P0.6 と P0.7 は汎用カウンタ 0 および 1 のアップ / ダウン信号をそれぞれ制御することもできます。</p> <p>M シリーズデバイスでは、PFI 端子の 1 つを使って汎用カウンタ 0 および 1 のアップ / ダウン信号を制御する必要があります。</p>
AO EXT REF (EXTREF)	APFI 0	<p>E シリーズデバイスでは、この端子は AO 回路の外部基準入力です。</p> <p>M シリーズデバイスでは、この端子は AO 回路の外部基準入力、AO 回路の外部オフセット、またはアナログトリガ入力として使用できます。これらの機能をすべてのデバイスで使用できるわけではありません。デバイスの仕様を参照してください。</p> <p>この端子は一部の E シリーズおよび M シリーズデバイスで接続がないことに注意してください。</p>

表 D-1. M シリーズと E シリーズのピン配列の比較 (続き)

E シリーズ信号*	M シリーズ信号	相違点
D GND	PFI 15/P2.7	E シリーズデバイスでは、これは D GND 端子の 1 つです。M シリーズデバイスでは、これは PFI 15/P2.7 端子です。
* ナショナルインスツルメンツでは、さらに分かりやすく、またナショナルインスツルメンツのハードウェアおよびソフトウェア製品との一貫性をより深めるために、NI-DAQmx で端子名を修正しました。この列に示されているのは、NI-DAQmx の端子名です (従来型 NI-DAQ (レガシー) の端子名は括弧内に表示されています)。		

M シリーズへのアップグレードの詳細

以下のドキュメントは、E シリーズから M シリーズにアップグレードする際によく起こる問題の解決に役立ちます。

- 『Major Differences Between E Series and M Series DAQ Devices』という技術サポートデータベースのドキュメントには、E シリーズと比較した M シリーズの利点と、2 つの DAQ デバイスシリーズ間の機能上およびその他の相違点の一覧が記載されています。この技術サポートデータベースのドキュメントを参照するには、ni.com/info で Info Code に「rdmess」と入力してください。
- 『Migrating an Application from E Series to M Series』という Developer Zone のドキュメントでは、E シリーズから M シリーズデバイスにアプリケーションを移動する際に注意すべき重要な相違点が説明されています。このドキュメントを参照するには、ni.com/info で Info Code に「rde2m1」と入力してください。
- 『Using E Series Accessories with M Series Devices』という技術サポートデータベースのドキュメントには、68 ピン E シリーズアクセサリを M シリーズデバイスで使用方法が記載されています。この技術サポートデータベースのドキュメントを参照するには、ni.com/info で Info Code に「rdea2m」と入力してください。
- 『M Series or S Series Devices Are Not Detected During Installation on Some Computers』という技術サポートデータベースのドキュメントには、M シリーズと E シリーズの電源レールの相違点、PCI バスと電源レールの PCI 仕様の説明、および M シリーズデバイスをサポートしない電源レール付きコンピュータの最新リストが記載されています。この技術サポートデータベースのドキュメントを参照するには、ni.com/info で Info Code に「rdmseis」と入力してください。

その他の情報

このセクションには、M シリーズデバイスおよびモジュールのサンプルプログラムおよび関連ドキュメントがある場所が記載されています。

サンプルプログラム

NI-DAQmx ソフトウェアには、M シリーズデバイスおよびモジュールでプログラミングを始める際に役立つサンプルプログラムが含まれています。サンプルコードを修正してアプリケーション内に保存したり、サンプルを基に新しいアプリケーションを開発したり、既存のアプリケーションにサンプルコードを追加することができます。

NI ソフトウェアサンプルを検索するには、ni.com/info で Info Code に「daqmxexp」と入力してください。その他のサンプルについては、ni.com/examples を参照してください。

デバイスを取り付けずにサンプルを実行するには、NI-DAQmx シミュレーションデバイスを使用します。詳細については、Measurement & Automation Explorer (MAX) で **ヘルプ→ヘルプトピック→NI-DAQmx→NI-DAQmx 用 MAX ヘルプ** を選択し、シミュレーションデバイスを検索します。

関連ドキュメント

各アプリケーションソフトウェアとドライバには、計測および測定デバイス制御用のアプリケーション作成に関する情報が含まれています。以下に挙げたドキュメントは、NI-DAQmx 15.5 以降の搭載を前提としています。

M シリーズドキュメント

ソフトウェアのインストールおよびデバイスまたはハードウェアの取り付けの手順については、『PXI/PXI Express 用 DAQ スタートアップガイド』、『PCI/PCI Express 用 DAQ スタートアップガイド』、または『外部電源型 USB 用 DAQ スタートアップガイド』（デバイスに同梱、ni.com/manuals から入手可能）に記載されています。また、デバイスまたはモジュールの動作確認方法、デバイスまたはモジュールの構成方法、テストパネルの実行方法、測定方法についても記載されています。

『NI 62xx 仕様』には、M シリーズデバイスまたはモジュールのすべての仕様が記載されています。ni.com/manuals でデバイスを検索してください。

『B/E/M/S/X Series Calibration Procedure』には、マルチファンクション I/O デバイスのキャリブレーションに関する情報が記載されています。ni.com/manuals を参照してください。

NI-DAQmx - Windows 用

『NI-DAQmx Readme』には、このバージョンの NI-DAQmx でサポートされているデバイス、ADE、および NI アプリケーションのリストがあります。

『NI-DAQmx ヘルプ』には、API の概要、計測の概念、NI-DAQmx の基本概念、およびすべてのプログラミング環境に共通するアプリケーションについての一般情報が記載されています。

NI-DAQmx - Linux 用

『DAQ スタートアップガイド』には、NI-DAQmx でサポートされている DAQ デバイス / モジュールの取り付け方法と動作確認方法が記載されています。

『NI-DAQ Readme for Linux』には、サポートされているデバイスおよびモジュールのリストや、ソフトウェアのインストールの説明、よくある質問、および既知の問題が記載されています。

『C Function Reference Help』には、関数と属性についての説明が記載されています。

『NI-DAQmx for Linux Configuration Guide』には、構成についての説明、テンプレート、およびテストパネルの使用方法が記載されています。



メモ NI-DAQmx - Linux 用ドキュメントは、すべて `/usr/local/natinst/nidaqmx/docs` にインストールされます。



メモ USB-622x/625x/628x デバイスは、NI-DAQmx - Linux 用ではサポートされていません。

NI-DAQmx Base (Linux/Mac OS X)

『NI-DAQmx Base Getting Started Guide』には、NI-DAQmx Base ソフトウェアのインストール方法と、NI-DAQmx Base でサポートされている DAQ デバイスの取り付け方法と動作確認方法が記載されています。

『Getting Started with NI-DAQmx Base for Linux and Mac Users』には、NI-DAQmx Base ソフトウェアおよび NI-DAQmx Base でサポートされている DAQ デバイスを Mac/Linux マシン上で取り付ける方法と動作確認方法が記載されています。

『NI-DAQmx Base Readme』には、NI-DAQmx Base のこのバージョンでサポートされているデバイスのリストがあります。

『NI-DAQmx Base VI Reference Help』には、VI の基準や計測の概念についての一般情報が記載されています。

『NI-DAQmx Base C Reference Help』には、C の基準や計測の概念についての一般情報が記載されています。



メモ NI-DAQmx Base - Linux 用のドキュメントは、すべて `/usr/local/natinst/nidaqmxbase/documentation` からインストールできます。



メモ NI-DAQmx Base - Mac OS X 用のドキュメントは、すべて `/Applications/National Instruments/NI-DAQmx Base/documentation` からインストールできます。



メモ USB-622x/625x/628x デバイスは、NI-DAQmx Base ではサポートされていません。

LabVIEW

LabVIEW についての詳細は、ni.com/gettingstarted を参照してください。

LabVIEW でヘルプ→LabVIEW ヘルプを選択して『**LabVIEW ヘルプ**』を開くと、LabVIEW のプログラミング概念や、LabVIEW の段階的な使用手順、LabVIEW の VI、関数、パレット、メニュー、およびツールに関するリファレンス情報が記載されています。NI-DAQmx の詳細については、『**LabVIEW ヘルプ**』の目次タブで以下の場所を参照します。

- **VI と関数のリファレンス**→測定 I/O VI および関数→DAQmx - データ収集 VI および関数 - LabVIEW NI-DAQmx VI および関数について説明しています。
- **プロパティとメソッドのリファレンス**→NI-DAQmx プロパティ - プロパティのリファレンスが記載されています。
- **計測を実行する** - 一般的な計測や、計測の基本、NI-DAQmx の主要概念、デバイスの注意事項など、LabVIEW で計測データを集録および解析するのに必要な概念や操作手順についての情報が提供されています。

LabVIEW Real-Time

LabVIEW の使い方の詳細については、ni.com/gettingstarted を参照してください。

『LabVIEW Real-Time モジュールヘルプ』の「Real-Time モジュール概念」ブックには、リアルタイムプログラミング技法の概念、アプリケーションアーキテクチャ、およびリアルタイムアプリケーションの作成に使用する Real-Time モジュールの機能に関する情報が含まれています。確定的リアルタイムアプリケーションの作成を開始する前に、Real-Time モジュールの概念を参照してください。

LabWindows/CVI

『LabWindows/CVI Help』の「**Data Acquisition**」のブックに含まれている「Taking an NI-DAQmx Measurement in LabWindows/CVI」には、DAQ アシスタントを使用して測定タスクを作成する手順が説明されています。LabWindows/CVI で、**ヘルプ** → **目次**を選択してから、**Using LabWindows/CVI → Data Acquisition** を選択します。また、このブックには『NI-DAQmx ヘルプ』から詳細な情報にアクセスする方法が記載されています。

『LabWindows/CVI Help』の「**NI-DAQmx Library**」ブックには、NI-DAQmx の API の概要および関数リファレンスが含まれています。『LabWindows/CVI Help』で、**Library Reference → NI-DAQmx Library** を選択します。

Measurement Studio

Measurement Studio で Visual C# または Visual Basic .NET を使用して NI-DAQmx 対応のデバイスをプログラムする場合、MAX または Visual Studio 内から DAQ アシスタントを起動してチャンネルおよびタスクを対話的に作成できます。タスクまたはチャンネルを基準にして Measurement Studio で構成コードを生成できます。コード生成の詳細については、『DAQ アシスタントヘルプ』を参照してください。

『NI Measurement Studio Help』は Microsoft Visual Studio ヘルプに統合されています。Visual Studio 内でこのヘルプを表示するには、**Measurement Studio → NI Measurement Studio Help** を選択します。NI-DAQmx で開発を行う方法については、『NI Measurement Studio Help』の以下のトピックを参照してください。

- Measurement Studio Application Wizard および DAQ アシスタントを使用して NI-DAQmx アプリケーションを作成する手順については、「Walkthrough: Creating a Measurement Studio NI-DAQmx Application」を参照してください。
- NI-DAQmx メソッド / プロパティの詳細については、「NationalInstruments.DAQmx Namespace」または「NationalInstruments.DAQmx.ComponentModel Namespace」を参照してください。
- NI-DAQmx の概念については、「Using the Measurement Studio NI-DAQmx .NET Library」および「Creating Projects with Measurement Studio NI-DAQmx」セクションを参照してください。
- Measurement Studio でプログラミングを行う方法については、「Getting Started with the Measurement Studio Class Libraries」を参照してください。

Visual Basic .NET または Visual C# を使用して NI-DAQmx アプリケーションを作成するには、一般的には以下の手順に従ってください。

1. Visual Studio では、**ファイル→新規→プロジェクト**を選択して新規のプロジェクトダイアログボックスを起動します。
2. プログラミング言語 (Visual C# または Visual Basic .NET) を選択した後に **Measurement Studio** を選択して、プロジェクトテンプレートのリストを表示します。
3. **NI DAQ Windows アプリケーション**を選択します。DAQ タスクをこの手順の一部として追加します。プロジェクトタイプを選択します。DAQ タスクをこの手順の一部として追加します。

ANSI C (NI アプリケーションソフトウェア不使用情况)

『NI-DAQmx ヘルプ』には、API の概要と計測の概念についての一般情報が含まれています。**スタート→すべてのプログラム→National Instruments → NI-DAQmx → NI-DAQmx ヘルプ**を選択してください。

『NI-DAQmx C Reference Help』は、計測、集録、および制御アプリケーションを開発するために、ナショナルインスツルメンツのデータ収集デバイスと使用する NI-DAQmx Library 関数について説明しています。**スタート→すべてのプログラム→National Instruments → NI-DAQmx → Text-Based Code Support → NI-DAQmx C Reference Help**を選択してください。

.NET 言語 (NI アプリケーションソフトウェア不使用情况)

Microsoft .NET Framework では、Measurement Studio なしで Visual C# および Visual Basic .NET を使用して、NI-DAQmx でアプリケーションを作成できます。サポートされているバージョンについては『NI-DAQmx Readme』を参照してください。

カスタマートレーニング

NI では、NI 製品を使用してアプリケーション開発を手がけるお客様をお手伝いするトレーニングコースを提供しています。コースへのお申し込み方法や、コースの詳細については、ni.com/training を参照してください。

技術サポートのウェブサイト

その他のサポートについては、ni.com/support または ni.com/examples を参照してください。



メモ これらのドキュメントは、ni.com/manuals からダウンロードできます。

DAQ の仕様書およびユーザガイド / マニュアルの多くは PDF 形式で利用可能です。PDF ファイルを開くには、Adobe Reader 7.0 以降 (PDF 1.6 以降) が必要です。Adobe Reader をダウンロードするには、アドビシステムズ社のウェブサイト (www.adobe.com/jp) にアクセスしてください。最新のドキュメントリソースは、ナショナルインスツルメンツの製品マニュアルライブラリ (ni.com/manuals) を参照してください。

NI サービス

ナショナルインスツルメンツは、お客さまを成功に導く手助けとしてグローバルサービスとサポートを提供しています。デプロイメントや継続的メンテナンスにおける計画から開発などの、アプリケーションライフサイクルの各段階で役立つトレーニングおよび認定プログラムに加え、製品サービスもご利用ください。

製品サービスを利用するには、ni.com/myproducts で製品を登録してください。

登録されている NI 製品をご使用のユーザには次の特典があります。

- 適用される製品サービスへのアクセス。
- オンラインアカウントによる簡単な製品管理。
- 製品に関する重要な通知、ソフトウェアアップデート、サービス期限の通知を受信。

ナショナルインスツルメンツ ni.com のユーザプロフィールにログインして、お客様向けサービス用にカスタマイズされたアクセスページを表示します。

サービスとリソース

- **メンテナンスとハードウェアサービス** — NI は、ご使用のシステムの確度および信頼性の要件を確認する手助けや、製品の寿命期間にわたって確度を維持し、ダウンタイムを最小限に抑えることができるように、保証や予備製品およびキャリブレーションサービスを提供しています。詳細については、ni.com/services を参照してください。
 - **保証と修理** — すべての NI ハードウェア製品には、5 年まで延長可能な 1 年の標準保証が提供されています。NI の修理サービスは、高度な訓練を受けた技術者によりナショナルインスツルメンツサービスセンターで迅速に行われ、修理に際しては純正品のみを使用しています。
 - **キャリブレーション** — 標準のキャリブレーションを通じて、計測器の測定性能を定量化および改善することができます。NI では、最新式のキャリブレーションサービスを提供しています。ご使用の製品でキャリブレーションがサポートされている場合、ni.com/calibration からその製品の Calibration Certificate（英語）を入手してご利用になることもできます。
- **システムインテグレーション** — 時間の制約がある場合や社内の技術リソースが不足している場合、またはプロジェクトで簡単に解消しない問題がある場合などは、ナショナルインスツルメンツのアライアンスパートナーによるサービスをご利用いただけます。詳しくは、最寄りの NI 営業所にお電話いただくか、ni.com/alliance をご覧ください。

- **トレーニングと認定** —NI のトレーニングおよび認定プログラムは、アプリケーション開発の習熟度と生産性を高める最も効果的な方法です。詳細については、ni.com/training をご覧ください。
 - 『NI LabVIEW スキルガイド』は、現在のアプリケーションの習熟度要件の確認を手助けし、これらのスキルを習得するための時間や予算の制約と個人的な学習方法の好みに合ったオプションを提供しています。これらのカスタムパスを確認するには、ni.com/skills-guide を参照してください。
 - NI では、お客様のニーズに応じて、講師による各国の施設でのクラスや、お客様の施設で行う出張コース、およびオンラインコースなど、複数の言語および形式のコースを提供しています。
- **技術サポート** —ni.com/support でのサポートには以下のリソースが含まれます。
 - **セルフヘルプリソース** —ni.com/support では、ソフトウェアドライバとアップデート、検索可能な技術サポートデータベース、製品マニュアル、トラブルシューティングウィザード、種類豊富なサンプルプログラム、チュートリアル、アプリケーションノート、計測器ドライバなどをご利用いただけます。ユーザ登録されたお客様は、NI ディスカッションフォーラム (ni.com/jp/dforum) にアクセスすることもできます。
 - **ソフトウェアサポートサービスマembership** — 標準サポート・保守プログラム (SSP) は、NI Developer Suite を含む大部分の NI ソフトウェア製品に含まれる、毎年更新が必要なプログラムです。このプログラムでは、NI のアプリケーションエンジニアによる電話または E メールでの個別サポートが提供されます。また、SSP の特典を必要な限り中断なく利用できる柔軟な延長契約オプションもご利用いただけます。詳細については、ni.com/ssp をご覧ください。
- **適合宣言 (DoC)** — 適合宣言とは、その会社の自己適合宣言を用いた、さまざまな欧州閣僚理事会指令への適合の宣言のことです。この制度により、電磁両立性 (EMC) に対するユーザ保護や製品の安全性に関する情報が提供されます。ご使用の製品の適合宣言は、ni.com/certification (英語) から入手できます。

その他の技術サポートオプションについては、ni.com/services をご覧いただくか、ni.com/contact からお問い合わせください。

また、弊社ウェブサイトの Worldwide Offices セクション (ni.com/niglobal (英語)) から各支社のウェブサイトにもアクセスすることもできます。各支社のサイトでは、お問い合わせ先、サポート電話番号、E メールアドレス、現行のイベントなどに関する最新情報を提供しています。

索引

記号

+5 V 電源、3-6

数値

10 MHz 基準クロック、9-2

100 kHz タイムベース、9-2

20 MHz タイムベース、9-2

2 信号エッジ間隔測定、7-18

単一、7-19

バッファ型、7-19

37 ピンデバイス

アクセサリオプション、2-9

ケーブルオプション、2-9

68 ピンデバイス

アクセサリオプション、2-3

ケーブルオプション、2-3

80 MHz ソースモード、7-37

80 MHz タイムベース、9-2

A

A/D 変換器、4-2

AI FIFO、4-2

ai/ConvertClock、4-27

ai/ConvertClockTimebase、4-30

ai/HoldCompleteEvent、4-30

ai/PauseTrigger、4-33

ai/ReferenceTrigger、4-32

ai/SampleClock、4-25

ai/SampleClockTimebase、4-27

ai/StartTrigger、4-31

AI 一時停止トリガ信号、4-33

AI 開始トリガ信号、4-31

AI 基準トリガ信号、4-32

AI サンプルクロック信号、4-25

AI サンプルクロックタイムベース信号、4-27

AI タイミング信号、4-22

AI チャンネル、AI サンプルクロックおよび AI 変換クロックを使用してサンプリングする、C-2

AI データ収集方法、4-9

AI 変換クロック信号、4-27

AI 変換クロックタイムベース信号、4-30

AI ホールド完了イベント信号、4-30

ANSI C のドキュメント、E-5

AO FIFO、5-1

ao/PauseTrigger、5-7

ao/SampleClock、5-8

ao/StartTrigger、5-6

AO 一時停止トリガ信号、5-7

AO オフセット、5-1

AO オフセットと AO 基準選択の設定、5-2

AO 開始トリガ信号、5-6

AO 基準選択、5-1

AO サンプルクロック、5-1

AO サンプルクロック信号、5-8

AO サンプルクロックタイムベース信号、5-10

APFI 端子、11-2

C

CompactPCI、PXI と使用する、10-5

Counter *n* Aux 信号、7-27

Counter *n* A 信号、7-28

Counter *n* B 信号、7-28

Counter *n* Gate 信号、7-26

Counter *n* HW Arm 信号、7-28

Counter *n* Internal Output 信号、7-29

Counter *n* Source 信号、7-25

Counter *n* TC 信号、7-29

Counter *n* Up_Down 信号、7-28

Counter *n* Z 信号、7-28

C シリーズ I/O モジュール仕様、E-2

D

DAC、5-1

DAQ

システム、2-1

ハードウェア、2-1

DAQ-6202、2-2

DAQ-STC2、2-2
di/SampleClock、6-3
DI サンプルクロック信号、6-3
DI 変化検出、6-7
DMA、10-3
 コントローラ、10-3
 データ転送方法を切り替える、
 10-2、10-3
 転送方法として、10-1
do/SampleClock、6-5
DO サンプルクロック信号、6-5

E

E シリーズ
 M シリーズとの相違点、D-4
 M シリーズとのピン配列の比較、
 D-1
 からアップグレードする、D-4
 からアプリケーションを移行する、
 D-4
E シリーズから M シリーズにアップグ
レードする、D-4

F

FREQ OUT 信号、7-29

I

I/O コネクタ、3-1
 PCI/PCIe/PXI/PXLe-6251 ピン配列、
 A-33
 PCI/PCIe/PXI/PXLe-6259 ピン配列、
 A-51
 PCI/PXI-6220 ピン配列、A-2
 PCI/PXI-6221 (68 ピン) ピン配列、
 A-4
 PCI/PXI-6224 ピン配列、A-14
 PCI/PXI-6225 ピン配列、A-16
 PCI/PXI-6229 ピン配列、A-23
 PCI/PXI-6250 ピン配列、A-31
 PCI/PXI-6254 ピン配列、A-42
 PCI/PXI-6255 ピン配列、A-44

 PCI/PXI-6280 ピン配列、A-61
 PCI/PXI-6281 ピン配列、A-63
 PCI/PXI-6284 ピン配列、A-70
 PCI/PXI-6289 ピン配列、A-72
 PCI-6221 (37 ピン) ピン配列、A-12
 USB-6221 BNC ピン配列、A-9
 USB-6221 ネジ留め式端子のピン配
 列、A-7
 USB-6225 ネジ留め式端子のピン配
 列、A-18
 USB-6225 マスターミネーションの
 ピン配列、A-20
 USB-6229 BNC ピン配列、A-28
 USB-6229 ネジ留め式端子のピン配
 列、A-25
 USB-6251 BNC ピン配列、A-37
 USB-6251 ネジ留め式端子のピン配
 列、A-35
 USB-6251 マスターミネーションの
 ピン配列、A-39
 USB-6255 ネジ留め式端子のピン配
 列、A-46
 USB-6255 マスターミネーションの
 ピン配列、A-48
 USB-6259 BNC ピン配列、A-56
 USB-6259 ネジ留め式端子のピン配
 列、A-54
 USB-6259 マスターミネーションの
 ピン配列、A-58
 USB-6281 ネジ留め式端子のピン配
 列、A-65
 USB-6281 マスターミネーションの
 ピン配列、A-67
 USB-6289 ネジ留め式端子のピン配
 列、A-74
 USB-6289 マスターミネーションの
 ピン配列、A-76

I/O 保護、6-6、8-6

IRQ

 データ転送方法を切り替える、
 10-2、10-3
 転送方法として、10-2

L

LabVIEW RealTime のドキュメント、E-3
 LabVIEW のドキュメント、E-3
 LabWindows/CVI のドキュメント、E-4
 LED パターン

- USB-6221 ネジ留め式端子、A-8、
A-11、A-15、A-17
- USB-6225 ネジ留め式端子、A-19
- USB-6225 マスターミネーション、
A-22
- USB-6229 BNC、A-30
- USB-6229 ネジ留め式端子、A-27
- USB-6251 BNC、A-38
- USB-6251 ネジ留め式端子、A-36
- USB-6251 マスターミネーション、
A-41
- USB-6255 ネジ留め式端子、A-47
- USB-6255 マスターミネーション、
A-50
- USB-6259 BNC、A-57
- USB-6259 ネジ留め式端子、A-55
- USB-6259 マスターミネーション、
A-60
- USB-6281 ネジ留め式端子、A-66
- USB-6281 マスターミネーション、
A-69
- USB-6289 ネジ留め式端子、A-75
- USB-6289 マスターミネーション、
A-78
- USB デバイス、3-9

Linux、2

M

Mac OS X、2
 Measurement Studio のドキュメント、
E-4
 MUX、4-1
 M シリーズ
 E シリーズとの相違点、D-4
 E シリーズとのピン配列の比較、
D-1

および E シリーズのアクセサリ、
D-4
 仕様、A-1
 情報、A-1
 にアップグレードする、D-4
 にアプリケーションを移行する、
D-4

N

.NET 言語ドキュメント、E-5
 NI 6259
 仕様、A-60
 NI 6220、A-2
 アクセサリオプション、A-4
 ケーブルオプション、A-4
 ピン配列、A-2
 NI 6221、A-4
 NI 6224、A-14
 アクセサリオプション、A-15
 ケーブルオプション、A-15
 仕様、A-15、A-17
 ピン配列、A-14
 NI 6225、A-16
 仕様、A-22
 NI 6229、A-23
 NI 6250、A-31
 アクセサリオプション、A-32
 ケーブルオプション、A-32
 仕様、A-32
 ピン配列、A-31
 NI 6251、A-33
 仕様、A-41
 NI 6254、A-42
 アクセサリオプション、A-43
 ケーブルオプション、A-43
 仕様、A-43
 ピン配列、A-42
 NI 6255、A-44
 仕様、A-45、A-50
 NI 6259、A-51
 NI 6280、A-61
 アクセサリオプション、A-62

ケーブルオプション、A-62
仕様、A-62
ピン配列、A-61
NI 6281、A-63
仕様、A-64
NI 6284、A-70
アクセサリオプション、A-71
ケーブルオプション、A-71
仕様、A-71
ピン配列、A-70
NI 6289、A-72
仕様、A-73、A-78
NI 6224
アクセサリオプション、A-22
ケーブルオプション、A-22
NI 6220
仕様、A-4
NI-DAQmx
重複カウント防止を有効にする、
7-36
ドキュメント、E-2
NI-DAQmx - Linux 用のドキュメント、2
NI-DAQmx Base のドキュメント、2
NI-DAQmx で重複カウント防止を有効に
する、7-36
NI-PGIA、4-1
NRSE 接続
グランド基準型信号ソースに使用す
る、4-21
グランド基準型信号ソースに使用す
る条件、4-19
浮動型信号ソースに使用する、4-16
浮動型信号ソースに使用する条件、
4-13

P

PCI Express
「PCIe-6251」を参照。
「PCIe-6259」を参照。
ディスクドライブ電源コネクタ、
1-5
PCI/PCIe/PXI/PXIe-6251

アクセサリオプション、A-34
ケーブルオプション、A-34
仕様、A-34
ピン配列、A-33
PCI/PCIe/PXI/PXIe-6259
アクセサリオプション、A-53
ケーブルオプション、A-53
仕様、A-53
ピン配列、A-51
PCI/PXI-6221 (68 ピン)
アクセサリオプション、A-6、A-13
ケーブルオプション、A-6、A-13
仕様、A-6
ピン配列、A-4
PCI/PXI-6225
アクセサリオプション、A-17
ケーブルオプション、A-17
仕様、A-17
ピン配列、A-16
PCI/PXI-6229
アクセサリオプション、A-24
ケーブルオプション、A-24
仕様、A-24
ピン配列、A-23
PCI/PXI-6255
アクセサリオプション、A-45
ケーブルオプション、A-45
ピン配列、A-44
PCI/PXI-6281
アクセサリオプション、A-64
ケーブルオプション、A-64
ピン配列、A-63
PCI/PXI-6289、A-72
アクセサリオプション、A-73
ケーブルオプション、A-73
ピン配列、A-72
PCI-6220、A-2
PCI-6221 (37 ピン)
仕様、A-13
ピン配列、A-12
PCI-6221 (68 ピン)、A-4
PCI-6224、A-14
PCI-6225、A-16

PCI-6229、A-23
 PCI-6250、A-31
 PCI-6251、A-33
 PCI-6254、A-42
 PCI-6255、A-44
 PCI-6259、A-51
 PCI-6280、A-61
 PCI-6281、A-63
 PCI-6284、A-70
 PCIe-6251、A-33
 PCIe-6259、A-51
 PFI、8-1
 I/O 保護、8-6
 PFI 端子を使用してタイミング出力
 信号をエクスポートする、8-3
 端子をスタティックデジタル I/O と
 して使用する、8-3
 端子をタイミング入力信号として使
 用する、8-2
 入力信号を接続する、8-4
 フィルタ、8-4
 プログラム可能な起動時の状態、
 8-6
 PFI 端子を使用してタイミング出力信号
 をエクスポートする、8-3
 PXI
 CompactPCI と使用する、10-5
 および PXI Express、10-3
 クロック、10-3
 クロックおよびトリガ信号、9-8
 注意事項、10-3
 トリガ、9-8
 トリガ信号、10-3
 PXI-6229、A-23
 PXI Express
 「PXIe-6251」を参照。
 「PXIe-6259」を参照。
 および PXI、10-3
 シャーシの互換性、10-3
 PXI-6220、A-2
 PXI-6221、A-4
 PXI-6224、A-14
 PXI-6225、A-16

PXI-6250、A-31
 PXI-6251、A-33
 PXI-6254、A-42
 PXI-6255、A-44
 PXI-6259、A-51
 PXI-6280、A-61
 PXI-6281、A-63
 PXI-6284、A-70
 PXI_CLK10、9-8
 PXIe-6251、A-33
 PXIe-6259、A-51
 PXI_STAR
 トリガ、9-9
 フィルタ、9-9

R

RSE 構成、4-17
 RSE 接続
 グラウンド基準型信号ソースに使用す
 る条件、4-19
 浮動型信号ソースに使用する、4-17
 浮動型信号ソースに使用する条件、
 4-13
 RTSI、9-4
 コネクタのピン配列、3-8、9-5
 出力として使用する、9-6
 端子をタイミング入力信号として使
 用する、9-6
 フィルタ、9-7

S

SCC、2-12
 SCXI、2-11

U

USB
 ケーブル抜け防止機構、1-9、1-13
 信号ストリーム、10-3
 バルク転送、10-3
 USB M シリーズ

- セキュリティケーブルスロット、
1-9
- デバイスセキュリティ、1-9
- USB-6225 マスターミネーション
ピン配列、A-20
- USB-6221 BNC
USB ケーブル抜け防止機構、1-10
ケーブル管理、1-10
ピン配列、A-9
- USB-6221 マスターミネーション
USB ケーブル抜け防止機構、1-9
- USB-6221 ネジ留め式端子
LED パターン、A-8、A-11、A-15、
A-17
USB ケーブル抜け防止機構、1-9、
1-13
アクセサリオプション、A-8、A-11、
A-20、A-27、A-30、A-39、A-58
ケーブルオプション、A-8、A-11、
A-20、A-27、A-30、A-39、A-58
仕様、A-8、A-11、A-13、A-15、
A-17
信号ラベル、1-7
ヒューズ交換、A-8、A-11
- USB-6225 ネジ留め式端子
仕様、A-19
- USB-6221 ネジ留め式端子
ピン配列、A-7
- USB-6225 マスターミネーション
USB ケーブル抜け防止機構、1-9、
1-13
- USB-6225 ネジ留め式端子
LED パターン、A-19
USB ケーブル抜け防止機構、1-9、
1-13
信号ラベル、1-7
ヒューズ交換、A-19
ピン配列、A-16、A-18
- USB-6225 マスターミネーション、A-16
LED パターン、A-22
アクセサリオプション、A-22
ケーブルオプション、A-22
仕様、A-22
ヒューズ交換、A-22
- USB-6229 BNC
LED パターン、A-30
USB ケーブル抜け防止機構、1-10
ケーブル管理、1-10
仕様、A-30
ヒューズ交換、A-30
ピン配列、A-28
- USB-6229 ネジ留め式端子
LED パターン、A-27
USB ケーブル抜け防止機構、1-9、
1-13
仕様、A-27、A-36
信号ラベル、1-7
ヒューズ交換、A-27、A-36
ピン配列、A-25
- USB-6251 BNC
LED パターン、A-38
USB ケーブル抜け防止機構、1-10
ケーブル管理、1-10
仕様、A-38
ヒューズ交換、A-39
ピン配列、A-37
- USB-6251 マスターミネーション
USB ケーブル抜け防止機構、1-9、
1-13
- USB-6251 ネジ留め式端子
LED パターン、A-36
USB ケーブル抜け防止機構、1-9、
1-13
仕様、A-36
ヒューズ交換、A-36、A-48、A-56、
A-66、A-76
ピン配列、A-35
信号ラベル、1-7
- USB-6251 マスターミネーション
LED パターン、A-41
アクセサリオプション、A-41
ケーブルオプション、A-41
仕様、A-41
ヒューズ交換、A-41

- ピン配列、A-39
- USB-6255
 - USB ケーブル抜け防止機構、1-9、1-13
- USB-6255 マスターミネーション
 - USB ケーブル抜け防止機構、1-9、1-13
- USB-6255 ネジ留め式端子
 - LED パターン、A-47
 - 仕様、A-47
 - ヒューズ交換、A-47
 - ピン配列、A-44、A-46
 - 信号ラベル、1-7
- USB-6255 マスターミネーション、A-44
 - LED パターン、A-50
 - アクセサリオプション、A-50
 - ケーブルオプション、A-50
 - 仕様、A-50
 - ヒューズ交換、A-50
 - ピン配列、A-48
- USB-6259 BNC
 - LED パターン、A-57
 - USB ケーブル抜け防止機構、1-10
 - ケーブル管理、1-10
 - 仕様、A-57
 - ヒューズ交換、A-57
 - ピン配列、A-56
- USB-6259 マスターミネーション
 - USB ケーブル抜け防止機構、1-9、1-13
- USB-6259 ネジ留め式端子
 - LED パターン、A-55
 - USB ケーブル抜け防止機構、1-9、1-13
 - 仕様、A-55
 - ヒューズ交換、A-55
 - ピン配列、A-54
 - 信号ラベル、1-7
- USB-6259 マスターミネーション
 - LED パターン、A-60
 - アクセサリオプション、A-60
 - ケーブルオプション、A-60
 - 仕様、A-60
 - ヒューズ交換、A-60
 - ピン配列、A-58
- USB-6281 マスターミネーション
 - USB ケーブル抜け防止機構、1-9
- USB-6281 ネジ留め式端子
 - LED パターン、A-66
 - USB ケーブル抜け防止機構、1-9、1-13
 - 仕様、A-66
 - 信号ラベル、1-7
 - ヒューズ交換、A-66
 - ピン配列、A-65
- USB-6281 マスターミネーション
 - LED パターン、A-69
 - アクセサリオプション、A-69
 - ケーブルオプション、A-69
 - 仕様、A-69
 - ヒューズ交換、A-69
 - ピン配列、A-67
 - USB ケーブル抜け防止機構、1-13
- USB-6289 マスターミネーション
 - USB ケーブル抜け防止機構、1-9、1-13
- USB-6289 ネジ留め式端子
 - LED パターン、A-75
 - USB ケーブル抜け防止機構、1-9、1-13
 - 仕様、A-75
 - 信号ラベル、1-7
 - ヒューズ交換、A-75
 - ピン配列、A-74
- USB-6289 マスターミネーション
 - LED パターン、A-78
 - アクセサリオプション、A-78
 - ケーブルオプション、A-78
 - 仕様、A-78
 - ヒューズ交換、A-78
 - ピン配列、A-76
- USB 信号ストリーム、10-3
 - 転送方法としての、10-3
 - データ転送方法を切り替える、10-3

X

- X1 エンコード、7-15
- X2 エンコード、7-16
- X4 エンコード、7-16

あ

- アーム開始トリガ、7-31
- アクセサリ、2-3
 - 37 ピンコネクタデバイス、2-9
 - 68 ピンコネクタデバイス、2-3
- M で使用されるシリーズ、D-4
- PCI/PCIe/PXI/PXIe-6251、A-34
- PCI/PCIe/PXI/PXIe-6259、A-53
- PCI/PXI-6220、A-4
- PCI/PXI-6221 (68 ピン)、A-6
- PCI/PXI-6224、A-15
- PCI/PXI-6225、A-17
- PCI/PXI-6229、A-24
- PCI/PXI-6250、A-32
- PCI/PXI-6254、A-43
- PCI/PXI-6255、A-45
- PCI/PXI-6280、A-62
- PCI/PXI-6281、A-64
- PCI/PXI-6284、A-71
- PCI/PXI-6289、A-73
- PCI-6221 (37 ピン)、A-13
- USB-6221 BNC、A-11
- USB-6221 ネジ留め式端子、A-8
- USB-6225 ネジ留め式端子、A-20
- USB-6225 マスターミネーション、A-22
- USB-6255 マスターミネーション、A-22
- USB-6229 BNC、A-30
- USB-6229 ネジ留め式端子、A-27
- USB-6251 BNC、A-39
- USB-6251 マスターミネーション、A-41
- USB-6255 マスターミネーション、A-50

- USB-6259 BNC、A-58
- USB-6259 マスターミネーション、A-60
- USB-6281 マスターミネーション、A-69
- USB-6289 マスターミネーション、A-78

デバイスに合わせて選択する、1-14

アナログ

- エッジトリガ、11-4
- トリガ、11-2
- トリガタイプ、11-4
- トリガ動作、11-3
 - 比較イベント、経路設定する、11-3
 - 比較イベント、信号、11-3
- アナログウィンドウトリガ、11-6
- アナログエッジトリガ
 - ヒステリシスによる、11-4
- アナログからデジタルへの変換器、4-2
- アナログ出力、5-1
 - アプリケーションソフトウェアについて、5-10
 - オフセット、5-2
 - 回路、5-1
 - 基準選択、5-2
 - 基本機能、5-1
 - 出力信号のグリッチ、5-3
 - 信号、5-6
 - AO 一時停止トリガ、5-7
 - AO 開始トリガ、5-6
 - AO サンプルクロック、5-8
 - AO サンプルクロックタイムベース、5-10
 - 信号を接続する、5-5
 - タイミング信号、5-6
 - タイミング図、B-21
 - データの生成方法、5-3
 - トラブルシューティング、C-2
 - トリガ、5-5
 - トリガ信号、5-5
- アナログソース、トリガ、11-2
- アナログトリガ、11-2
 - 確度、11-6

確度を向上させる、11-6
 動作、11-3
 アナログトリガの確度を向上させる、
 11-6
 アナログトリガの種類、11-4
 アナログ入力、4-1
 AI サンプルクロックおよび AI 変換
 クロックを使用してチャンネル
 をサンプルする、C-2
 I/O コネクタを介して接続する、4-1
 MUX、4-1
 アプリケーションソフトウェアにつ
 いて、4-34
 回路、4-1
 差動、トラブルシューティング、
 C-1
 信号、4-22
 AI 一時停止トリガ、4-33
 AI 開始トリガ、4-31
 AI 基準トリガ、4-32
 AI サンプルクロック、4-25
 AI サンプルクロックタイム
 ベース、4-27
 AI 変換クロック、4-27
 AI 変換クロックタイムベース、
 4-30
 AI ホールド完了イベント、4-30
 信号を接続する、4-11
 接地基準設定、4-1
 タイミング信号、4-22
 タイミング図、B-1
 チャンネル、11-3
 データ収集、4-9
 方法、4-9
 電荷注入、C-1
 トラブルシューティング、C-1
 トリガ、4-11
 複数のチャンネルをサンプル中にク
 ロストーク、C-1
 複数のチャンネルをサンプル中に
 ゴースト電圧、C-1
 レンジ、4-2
 ローパスフィルタ、4-4

アプリケーション
 エッジカウント、7-2
 カウンタ出力、7-20
 カウンタ入力、7-2
 安全ガイドライン
 危険電圧に関する、1-2

い

位相差出力エンコーダ、7-15
 一時停止トリガ、7-31
 アナログ入力内部のタイミング図、
 B-18
 位置測定、7-15
 バッファ型、7-17
 インストール
 トラブルシューティング、C-3
 インタフェース、バス、10-1

う

ウェブリソース、F-1

え

エッジカウント、7-2
 オンデマンド、7-2
 サンプルクロック、7-3
 シングルポイント、7-2
 バッファ型、7-3
 エッジ間隔測定
 単一 2 信号、7-19
 バッファ型 2 信号、7-19
 エッジをカウントする、7-2
 エンコーダ、位相差出力、7-15
 エンコード
 X1、7-15
 X2、7-16
 X4、7-16

お

抑える
 出力信号のグリッチ、5-3、C-2

オプション、2-11

オンデマンド

エッジカウント、7-2

集録、4-9

タイミング、4-9

か

開始

アナログ入力内部タイミング、B-10

トリガ、7-31

外部基準クロック、9-2

外部ソースモード、7-38

概要、2-1

カウンタ、7-1

エッジカウント、7-2

開始トリガで単一パルスを生成、
7-21

カスケード接続する、7-32

簡易パルス生成、7-20

再トリガ可能な単一パルス生成、
7-21

出力アプリケーション、7-20

生成、7-20

その他の機能、7-32

タイミング信号、7-25

タイミング図、B-34

カウンタ入力遅延、B-34

単一パルス生成、7-20

重複カウント防止、7-34

同期モード、7-36

トラブルシューティング、C-3

トリガ、7-31

入力アプリケーション、7-2

パルス列生成、7-22

フィルタ、7-32

プリスケール、7-33

カウンタ信号

Counter *n* A、7-28

Counter *n* Aux、7-27

Counter *n* B、7-28

Counter *n* Gate、7-26

Counter *n* HW Arm、7-28

Counter *n* Internal Output、7-29

Counter *n* Source、7-25

Counter *n* TC、7-29

Counter *n* Up_Down、7-28

FREQ OUT、7-29

周波数出力、7-29

カウンタをカスケード接続する、7-32

カウント方向を指定する、7-2

カウント有効化の遅延、B-37

確度、アナログトリガ、11-6

カスタムケーブル、2-8

簡易パルス生成、7-20

き

技術サポート、E-6、F-1

基準

クロック

10 MHz、9-2

外部、9-2

トリガ、アナログ入力内部タイミン
グ、B-13

基準化シングルエンド接続

グランド基準型信号ソースに使用す
る条件、4-19

浮動型信号ソースに使用する、4-17

浮動型信号ソースに使用する条件、
4-13

起動時の状態、6-6、8-6

機能、カウンタ、7-32

逆周波数測定、7-11

キャリブレーション、1-4

く

グランド基準

接続、チェックする、C-1

グランド基準型信号ソース

NRSE モードで使用する、4-21

NRSE モードで使用する条件、4-19

RSE モードで使用する条件、4-19

差動モードで使用する、4-20

差動モードで使用する条件、4-18

接続する、4-18

説明、4-18
 クロック
 10 MHz 基準、9-2
 PXI、トリガ信号、9-8
 外部基準、9-2
 経路設定、9-1
 生成、9-1
 タイミング図、B-45

け

ケーブル、2-3
 37 ピンコネクタデバイス、2-9
 68 ピンコネクタデバイス、2-3
 PCI/PCIe/PXI/PXIe-6251、A-34
 PCI/PCIe/PXI/PXIe-6259、A-53
 PCI/PXI-6220、A-4
 PCI/PXI-6221 (68 ピン)、A-6
 PCI/PXI-6224、A-15
 PCI/PXI-6225、A-17
 PCI/PXI-6229、A-24
 PCI/PXI-6250、A-32
 PCI/PXI-6254、A-43
 PCI/PXI-6255、A-45
 PCI/PXI-6280、A-62
 PCI/PXI-6281、A-64
 PCI/PXI-6284、A-71
 PCI/PXI-6289、A-73
 PCI-6221 (37 ピン)、A-13
 USB-6225 マスターミネーション、
 A-22
 USB-6251 マスターミネーション、
 A-41
 USB-6255 マスターミネーション、
 A-50
 USB-6259 マスターミネーション、
 A-60
 USB-6281 マスターミネーション、
 A-69
 USB-6289 マスターミネーション、
 A-78
 カスタム、2-8

デバイスに合わせて選択する、1-14
 ケーブル管理、1-10
 計装用アンプ、4-1
 経路設定
 クロック、9-1
 デジタル、9-1
 経路設定する
 アナログ比較イベントを出力端子
 に、11-3
 検出、トラブルシューティング、C-3

こ

コネクタ
 PCI/PCIe/PXI/PXIe-6251 ピン配列、
 A-33
 PCI/PCIe/PXI/PXIe-6259 ピン配列、
 A-51
 PCI/PXI-6220 ピン配列、A-2
 PCI/PXI-6221 (68 ピン) ピン配列、
 A-4
 PCI/PXI-6224 ピン配列、A-14
 PCI/PXI-6225 ピン配列、A-16
 PCI/PXI-6229 ピン配列、A-23
 PCI/PXI-6250 ピン配列、A-31
 PCI/PXI-6254 ピン配列、A-42
 PCI/PXI-6255 ピン配列、A-44
 PCI/PXI-6280 ピン配列、A-61
 PCI/PXI-6281 ピン配列、A-63
 PCI/PXI-6284 ピン配列、A-70
 PCI/PXI-6289 ピン配列、A-72
 PCI-6221 (37 ピン) ピン配列、A-12
 RTSI、3-8
 USB-6221 BNC ピン配列、A-9
 USB-6221 ネジ留め式端子のピン配
 列、A-7
 USB-6225 ネジ留め式端子のピン配
 列、A-18
 USB-6225 マスターミネーションの
 ピン配列、A-20
 USB-6229 BNC ピン配列、A-28
 USB-6229 ネジ留め式端子のピン配
 列、A-25

USB-6251 BNC ピン配列、A-37
USB-6251 ネジ留め式端子のピン配列、A-35
USB-6251 マスターミネーションのピン配列、A-39
USB-6255 ネジ留め式端子のピン配列、A-46
USB-6255 マスターミネーションのピン配列、A-48
USB-6259 BNC ピン配列、A-56
USB-6259 ネジ留め式端子のピン配列、A-54
USB-6259 マスターミネーションのピン配列、A-58
USB-6281 ネジ留め式端子のピン配列、A-65
USB-6281 マスターミネーションのピン配列、A-67
USB-6289 ネジ留め式端子のピン配列、A-74
USB-6289 マスターミネーションのピン配列、A-76
情報、3-1

コントローラ、DMA、10-3

さ

最小限に抑える

隣接チャンネル間の電圧ステップ、4-8

再トリガ可能な単一パルス生成、7-21

差動アナログ入力、トラブルシューティング、C-1

差動接続

グランド基準型信号ソースに使用する、4-20

グランド基準型信号ソースに使用する条件、4-18

浮動型信号ソースに使用する、4-14

浮動型信号ソースに使用する条件、4-12

サポート

技術、F-1

サンプルクロック

アナログ入力内部タイミング、B-15

エッジカウント、7-3

サンプルクロック測定、7-17

サンプルプログラム、E-1

し

周期測定、7-6

単一、7-6

バッファ型、7-7

周波数

生成、7-23

測定、7-9

発生器、7-23

分周、7-24

周波数出力信号、7-29

周波数測定方法を選択する、7-12

集録

オンデマンド、4-9

循環バッファ型、4-10

ソフトウェアタイミング、4-9

ダブルバッファ型、4-10

デジタル波形、6-3

ハードウェアタイミング、4-10

出力

信号グリッチ、C-2

抑える、5-3

端子、アナログ比較イベントを経路設定する、11-3

出力、RTSI を〜として使用する、9-6

循環バッファ型集録、4-10

仕様、A-1

PCI/PCIe/PXI/PXIe-6251、A-34

PCI/PCIe/PXI/PXIe-6259、A-53

PCI/PXI-6220、A-4

PCI/PXI-6221、A-6

PCI/PXI-6224、A-15、A-17

PCI/PXI-6225、A-17

PCI/PXI-6229、A-24

PCI/PXI-6250、A-32

PCI/PXI-6254、A-43

PCI/PXI-6255、A-45

PCI/PXI-6280、A-62
 PCI/PXI-6281、A-64
 PCI/PXI-6284、A-71
 PCI/PXI-6289、A-73
 PCI-6221 (37 ピン)、A-13
 USB-6221 ネジ留め式端子、A-8、
 A-11、A-13、A-15、A-17
 USB-6225 ネジ留め式端子、A-19
 USB-6225 マスターミネーション、
 A-22
 USB-6229 BNC、A-30
 USB-6229 ネジ留め式端子、A-27、
 A-36
 USB-6251 BNC、A-38
 USB-6251 ネジ留め式端子、A-36
 USB-6251 マスターミネーション、
 A-41
 USB-6255 ネジ留め式端子、A-47
 USB-6255 マスターミネーション、
 A-50
 USB-6259 BNC、A-57
 USB-6259 ネジ留め式端子、A-55
 USB-6259 マスターミネーション、
 A-60
 USB-6281 ネジ留め式端子、A-66
 USB-6281 マスターミネーション、
 A-69
 USB-6289 ネジ留め式端子、A-75
 USB-6289 マスターミネーション、
 A-78

使用する

PFI 端子

スタティックデジタル I/O とし
 て、8-3
 タイミング出力信号をエク
 スポートする、8-3
 タイミング入力信号として、
 8-2

RTSI

出力として、9-6
 端子をタイミング入力信号とし
 て、9-6

低インピーダンスソース、4-7
 ディスクドライブ電源コネクタ
 (PCI Express)、1-5
 短い高品質のケーブル、4-7

シングル

ポイントエッジカウント、7-2

シングルエンド接続

RSE 構成、4-17
 浮動型信号ソース、4-17

信号

AI 開始トリガ、4-31
 AI 基準トリガ、4-32
 AI サンプルクロック、4-25
 AI サンプルクロックタイムベース、
 4-27
 AI 変換クロック、4-27
 AI 変換クロックタイムベース、4-30
 AI ホールド完了イベント、4-30
 AO 一時停止トリガ、5-7
 AO 開始トリガ、5-6
 AO サンプルクロック、5-8
 AO サンプルクロックタイムベ
 ース、5-10
 Counter n A、7-28
 Counter n Aux、7-27
 Counter n B、7-28
 Counter n Gate、7-26
 Counter n HW Arm、7-28
 Counter n Internal Output、7-29
 Counter n Source、7-25
 Counter n TC、7-29
 Counter n Up_Down、7-28
 Counter n Z、7-28
 DI サンプルクロック、6-3
 DO サンプルクロック、6-5
 FREQ OUT、7-29
 PFI 端子を使用してタイミング出力
 をエクスポートする、8-3
 PFI 入力を接続する、8-4
 アナログ出力、5-6
 アナログ出力を接続する、5-5
 アナログ入力、4-22

アナログ入力を接続する、4-11
 AI一時停止トリガ、4-33
 カウンタ、7-25
 カウンタを接続する、C-3
 周波数出力、7-29
 出力、～のグリッチを抑える、5-3
 出力グリッチを抑える、C-2
 デジタルI/Oを接続する、6-8
 変化検出イベント、6-7
 信号経路設定、RTSIバス、9-4
 信号ストリーム、USB、10-3
 信号ソース
 浮動型、4-12
 グラウンド基準型、4-18
 信号調節、2-11
 オプション、2-11
 信号の説明、3-1
 信号ラベル
 USB ネジ留め式端子デバイス、1-7

す

スキャン速度、4-8
 スタティックDIO、6-2
 PFI端子を～として使用する、8-3
 スタティックデジタルI/OとしてのPFI
 端子、8-3

せ

生成
 ETSのパルス、7-24
 アナログ出力データ、5-3
 開始トリガによる単一パルス、7-21
 簡易パルス、7-20
 クロック、9-1
 再トリガ可能な単一パルス、7-21
 周波数、7-23
 ソフトウェアタイミング、5-3
 単一パルス、7-20
 デジタル波形、6-4
 ハードウェアタイミング、5-4

バッファ型ハードウェアタイミン
 グ、5-4
 パルス列、7-22
 非バッファ型ハードウェアタイミン
 グ、5-5
 連続パルス列、7-22

接続

シングルエンド、RSE構成、4-17
 浮動型信号ソース、4-17
 浮動型信号ソースのシングルエン
 ド、4-17

接続する

PFI入力信号、8-4
 アナログ出力信号、5-5
 アナログ入力信号、4-11
 カウンタ信号、C-3
 グラウンド基準型信号ソース、4-18
 デジタルI/O信号、6-8
 浮動型信号ソース、4-12

接地基準

設定、4-1、4-4
 アナログ入力、4-4

接地したチャンネルの信号チャンネル間
 への挿入、4-8

設定

AO オフセット、5-2
 AO 基準選択、5-2
 アナログ入力接地基準、4-4
 セルフキャリブレーション、1-4
 センサ、2-11

そ

測定

2信号エッジ間隔、7-18
 2つのカウンタによる高周波数、
 7-10
 2つのカウンタによる広範囲周波
 数、7-11
 2パルスエンコーダによる、7-17
 位相差出力エンコーダによる、7-15
 位置、7-15
 周期、7-6

周波数、7-9
 周波数を選択する、7-12
 単一 2 信号エッジ間隔、7-19
 単一周期、7-6
 単一パルス幅、7-4
 単一半周期、7-8
 バッファ型 2 信号エッジ間隔、7-19
 バッファ型周期、7-7
 バッファ型パルス幅、7-5
 バッファ型半周期、7-8
 パルス幅、7-4
 半周期、7-8

測定する

1 つのカウンタによる低周波数、
 7-9
 平均、7-10

その他

内部ソースモード、7-37

ソフトウェア

AI 接地基準設定を構成する、4-6
 デバイスをプログラミングする、
 2-13

ソフトウェアタイミング

集録、4-9
 生成、5-3

ソフトウェアで AI 接地基準設定を構成
 する、4-6

ソフトウェアでデバイスをプログラミング
 する、2-13

た

タイミング集録、4-9
 タイミング出力信号、PFI 端子を使用し
 てエクスポートする、8-3

タイミング図

2 パルスエンコーダ、B-44
 AI タイミングクロック、B-5
 アナログ出力、B-21
 アナログ出力カー時停止トリガ、
 B-25、B-28
 アナログ出力開始トリガ、B-24
 アナログ出力信号の定義、B-21

アナログ出カタイミング開始トリ
 ガ、B-27

アナログ出力入力カタイミング、B-22

アナログ入力、B-1

アナログ入力カー時停止トリガ、B-18

アナログ入力開始、B-10

アナログ入力基準トリガ、B-13

アナログ入力サンプルクロック、
 B-15

アナログ入力出カタイミング、B-19

アナログ入力信号の定義、B-2

アナログ入カタイミング、B-4

アナログ入力内部タイミング、B-5

位相差出力エンコーダ、B-44

カウンタ、B-34

カウンタゲートモード、B-43

カウンタ出力遅延、B-42

カウンタ入力要件、B-38

カウンタピンから内部信号の遅延、
 B-35

カウント有効化の遅延、B-37

クロック生成、B-45

ゲートからソースのセットアップお
 よびホールド、B-40

ゲートのパルス幅入力要件、B-39

出カタイミング、B-27

選択したゲートおよびカウント有効
 化の遅延、B-37

選択したゲートおよび選択したソー
 ス遅延、B-36

ソース周期入力要件、B-38

デジタル I/O、B-30

デジタル波形集録、B-30

デジタル波形生成、B-32

内部アナログ出カタイミング、B-23

入カタイミングの確認、B-26

パルス幅入力要件、B-38

変換クロック、B-8

タイムベース

100 MHz、9-2

20 MHz、9-2

80 MHz、9-2

ダブルバッファ型集録、4-10

単一

2 信号エッジ間隔測定、7-19

周期測定、7-6

パルス生成、7-20

開始トリガによる、7-21

再トリガ可能、7-21

パルス幅測定、7-4

半周期測定、7-8

端子構成、4-4

アナログ入力、4-1

端子名、D-1

ち

チャンネル

AI サンプルクロックおよび AI 変換
クロックを使用してサンプルす
る、C-2

Z の動作、7-16

アナログ入力、11-3

スキャンする順序、4-7

チャンネルをスキャンする順序、4-7

注意事項

PXI に関する、10-3

フィールド配線、4-22

マルチチャンネルスキャンの、4-6

重複カウント防止、7-34

NI-DAQmx で有効にする、7-36

トラブルシューティング、C-3

防止の例、7-35

例、7-34

て

データ

収集方法、4-9

生成方法、5-3

転送方法、10-1、10-3

DMA、10-1

IRQ、10-2

USB 信号ストリーム、10-3

プログラム I/O、10-2、10-3

データ転送方法を切り替える

DMA と IRQ の間、10-2、10-3

USB 信号ストリームとプログラム

I/O 間、10-3

低インピーダンスソース、4-7

ディスクドライブ電源 (PCI Express)、
1-5

ディスクドライブ電源コネクタ (PCI
Express デバイス)、1-5

デジタル

波形集録、6-3

波形生成、6-4

デジタル I/O、6-1

DI 変化検出、6-7

I/O 保護、6-6

アプリケーションソフトウェアにつ
いて、6-9

回路、6-1

信号を接続する、6-8

スタティック DIO、6-2

タイミング図、B-30

デジタル波形集録、6-4

トリガ、11-1

波形集録、6-3

波形トリガ、6-2

プログラム可能な電源投入時の状
態、6-6

ブロック図、6-1

デジタル経路設定、9-1

デジタル信号

DI サンプルクロック、6-3

DO サンプルクロック、6-5

接続する、6-8

変化検出イベント、6-7

デジタルソース、トリガ、11-1

デジタル波形

集録、6-3

生成、6-4

デバイス

NI 6221、A-4

NI 6224、A-14

NI 6225、A-16

NI 6229、A-23

NI 6251、A-33

NI 6254、A-42
 NI 6255、A-44
 NI 6259、A-51
 NI 6280、A-61
 NI 6281、A-63
 NI 6284、A-70
 NI 6289、A-72
 NI 6220、A-2
 NI 6250、A-31
 仕様、A-1
 情報、A-1
 セルフキャリブレーション、1-4
 ピン配列、1-14
 複数同期、9-3
 電荷注入、C-1
 電源
 +5 V、3-6
 コネクタ、PCI Express ディスクド
 ライブ、1-5
 ルール、D-4

と

等価時間サンプリング (ETS)、7-24
 同期カウントモード、7-34
 同期モード、7-36
 80 MHz ソース、7-37
 他の内部ソース、7-37
 外部ソース、7-38
 ドキュメント
 NI リソース、F-1
 トラブルシューティング
 アナログ出力、C-2
 アナログ入力、C-1
 インストール、C-3
 カウンタ、C-3
 トランスデューサ、2-11
 トリガ、11-1
 APFI 端子、11-2
 PXI、9-8
 PXI_STAR、9-9
 Star トリガ、9-9
 アーム開始、7-31

アナログウィンドウ、11-6
 アナログエッジ、11-4
 アナログ確度、11-6
 アナログソースによる、11-2
 アナログタイプ、11-4
 アナログ動作、11-3
 アナログ入力、4-11
 アナログ入力チャンネル、11-3
 一時停止、7-31
 開始、7-31
 カウンタ、7-31
 デジタルソースによる、11-1
 デジタル波形、6-2
 ヒステリシスによるアナログエッ
 ジ、11-4

取り付け
 ハードウェア、1-3
 トレーニング、E-6

な

内部タイミング、アナログ入力、B-5

に

入力信号
 PFI 端子を～として使用する、8-2、
 9-6
 入カタイミング、アナログ入力、B-4
 入力レンジを大から小に切り替える、
 4-7

は

ハードウェア、2-1
 ハードウェアタイミング
 集録、4-10
 生成、5-4
 ハードウェアの取り付け、1-3
 波形
 生成
 信号、5-6
 デジタル、6-4
 トリガ、6-2

はじめに、 1-3
AI アプリケーションソフトウェア、
4-34
AO アプリケーションソフトウェ
ア、 5-10
DIO アプリケーションソフトウェ
ア、 6-9

バス
RTSI、 9-4
インタフェース、 10-1

バッファ型
2 信号エッジ間隔測定、 7-19
位置測定、 7-17
エッジカウント、 7-3
周期測定、 7-7
ハードウェアタイミング集録、 4-10
ハードウェアタイミング生成、 5-4
パルス幅測定、 7-5
半周期測定、 7-8

パルス
ETS 用の生成、 7-24
エンコーダ、 7-17
列生成、 7-22
連続、 7-22

パルス幅測定、 7-4
単一、 7-4
バッファ型、 7-5

半周期測定、 7-8
単一、 7-8
バッファ型、 7-8

ひ

非基準化シングルエンド接続
グランド基準型信号ソースに使用す
る、 4-21
グランド基準型信号ソースに使用す
る条件、 4-19
浮動型信号ソースに使用する、 4-16
浮動型信号ソースに使用する条件、
4-13

ヒステリシス、アナログエッジトリガに
よる、 11-4

必要以上に高速なスキャンを避ける、
4-8

非バッファ型
ハードウェアタイミング集録、 4-10
ハードウェアタイミング生成、 5-5

ヒューズ交換
USB-6221 ネジ留め式端子、 A-8、
A-11
USB-6225 ネジ留め式端子、 A-19
USB-6225 マスターミネーション、
A-22
USB-6229 BNC、 A-30
USB-6229 ネジ留め式端子、 A-27、
A-36
USB-6251 BNC、 A-39
USB-6251 ネジ留め式端子、 A-36、
A-56、 A-66、 A-76
USB-6251 マスターミネーション、
A-41
USB-6251 ネジ留め式端子、 A-48
USB-6255 ネジ留め式端子、 A-47
USB-6255 マスターミネーション、
A-50
USB-6259 BNC、 A-57
USB-6259 ネジ留め式端子、 A-55
USB-6259 マスターミネーション、
A-60
USB-6281 ネジ留め式端子、 A-66
USB-6281 マスターミネーション、
A-69
USB-6289 ネジ留め式端子、 A-75
USB-6289 マスターミネーション、
A-78

ヒューズ交換 (USB デバイス)、 3-8

ピン配列
USB-6225 ネジ留め式端子、 A-18
NI 6250、 A-31
NI 6254、 A-42
NI 6280、 A-61
NI 6284、 A-70
PCI/PCle/PXI/PXle-6251、 A-33
PCI/PCle/PXI/PXle-6259、 A-51

PCI/PXI-6220、A-2
 PCI/PXI-6221 (68 ピン)、A-4
 PCI/PXI-6224、A-14
 PCI/PXI-6225、A-16
 PCI/PXI-6229、A-23
 PCI/PXI-6255、A-44
 PCI/PXI-6281、A-63
 PCI/PXI-6289、A-72
 PCI-6221 (37 ピン)、A-12
 RTSI コネクタ、3-8、9-5
 USB-6221 BNC、A-9
 USB-6221 ネジ留め式端子、A-7
 USB-6225 マスターミネーション、
 A-20
 USB-6229 BNC、A-28
 USB-6229 ネジ留め式端子、A-25
 USB-6251 BNC、A-37
 USB-6251 ネジ留め式端子、A-35
 USB-6251 マスターミネーション、
 A-39
 USB-6255 ネジ留め式端子、A-46
 USB-6255 マスターミネーション、
 A-48
 USB-6259 BNC、A-56
 USB-6259 ネジ留め式端子、A-54
 USB-6259 マスターミネーション、
 A-58
 USB-6281 ネジ留め式端子、A-65
 USB-6281 マスターミネーション、
 A-67
 USB-6289 ネジ留め式端子、A-74
 USB-6289 マスターミネーション、
 A-76
 デバイス、1-14
 比較、D-1

ピン割り当て「ピン配列」を参照。

ふ

フィールド配線に関する注意事項、4-22
 フィルタ
 PFI、8-4

PXI_STAR、9-9

RTSI、9-7

カウンタ、7-32

複数デバイスの同期、9-3

複数のチャンネルをサンプル中にクロストーク、C-1

複数のチャンネルをサンプル中にゴースト電圧、C-1

複数のデバイスを同期する、9-3

浮動型信号ソース

NRSE モードで使用する条件、4-13

RSE モードで使用する条件、4-13

差動モードで使用する、4-14

差動モードで使用する条件、4-12

接続する、4-12

説明、4-12

NRSE モードで使用する、4-16

RSE モードで使用する、4-17

プリスケール、7-33

プログラム I/O、10-2、10-3

データ転送方法を切り替える、10-3

プログラム可能な

起動時の状態、6-6、8-6

機能的インタフェース (PFI)、8-1

へ

ヘルプ

技術サポート、F-1

変化検出イベント信号、6-7

ほ

方法、データ転送、10-1、10-3

ま

マルチチャンネルスキャンに関する注意事項、4-6

み

短い高品質のケーブル、4-7

索引

ゆ

有限パルス列タイミング生成、7-23

り

リアルタイムシステムインテグレーションバス、9-4

れ

レンジ、アナログ入力、4-2
連続パルス列生成、7-22

ろ

ローパスフィルタ、アナログ入力、4-4

わ

割り込み要求、転送方法として、10-2

図一覽

- 図 A-1. PCI/PXI-6220 ピン配列 A-2
- 図 A-2. PCI/PXI-6221 ピン配列 A-5
- 図 A-3. USB-6221 ネジ留め式端子ピン配列 A-7
- 図 A-4. USB-6221 BNC のトップパネルとピン配列 A-9
- 図 A-5. PCI-6221 (37 ピン) ピン配列 A-12
- 図 A-6. PCI/PXI-6224 ピン配列 A-14
- 図 A-7. PCI/PXI-6225 ピン配列 A-16
- 図 A-8. USB-6225 ネジ留め式端子ピン配列 A-18
- 図 A-9. USB-6225 マスターミネーションのピン配列 A-20
- 図 A-10. PCI/PXI-6229 ピン配列 A-23
- 図 A-11. USB-6229 ネジ留め式端子ピン配列 A-25
- 図 A-12. USB-6229 BNC のトップパネルとピン配列 A-28
- 図 A-13. PCI/PXI-6250 ピン配列 A-31
- 図 A-14. NI PCI/PCIe/PXI/PXIe-6251 ピン配列 A-33
- 図 A-15. USB-6251 ネジ留め式端子ピン配列 A-35
- 図 A-16. USB-6251 BNC のトップパネルとピン配列 A-37
- 図 A-17. USB-6251 マスターミネーションのピン配列 A-39
- 図 A-18. PCI/PXI-6254 ピン配列 A-42
- 図 A-19. PCI/PXI-6255 ピン配列 A-44
- 図 A-20. USB-6255 ネジ留め式端子ピン配列 A-46
- 図 A-21. USB-6255 マスターミネーションのピン配列 A-48
- 図 A-22. NI PCI/PCIe/PXI/PXIe-6259 ピン配列 A-51
- 図 A-23. USB-6259 ネジ留め式端子ピン配列 A-54
- 図 A-24. USB-6259 BNC のトップパネルとピン配列 A-56
- 図 A-25. USB-6259 マスターミネーションのピン配列 A-58
- 図 A-26. PCI/PXI-6280 ピン配列 A-61
- 図 A-27. PCI/PXI-6281 ピン配列 A-63
- 図 A-28. USB-6281 ネジ留め式端子のピン配列 A-65
- 図 A-29. USB-6281 マスターミネーションのピン配列 A-67
- 図 A-30. PCI/PXI-6284 ピン配列 A-70
- 図 A-31. PCI/PXI-6289 ピン配列 A-72
- 図 A-32. USB-6289 ネジ留め式端子のピン配列 A-74
- 図 A-33. USB-6289 マスターミネーションのピン配列 A-76