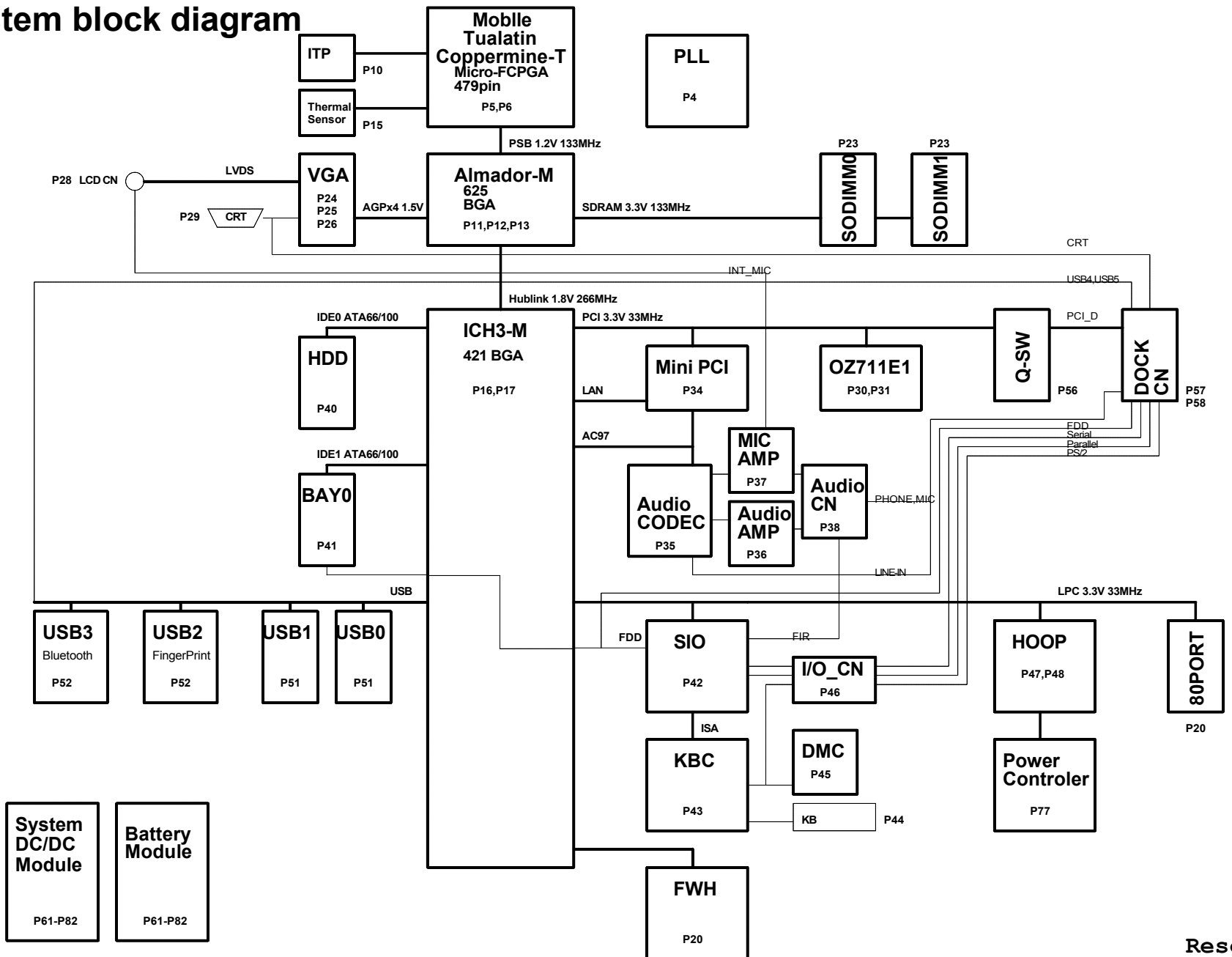
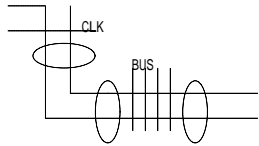
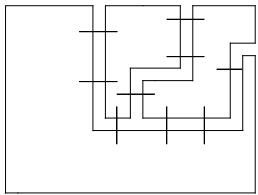


Laurel system block diagram



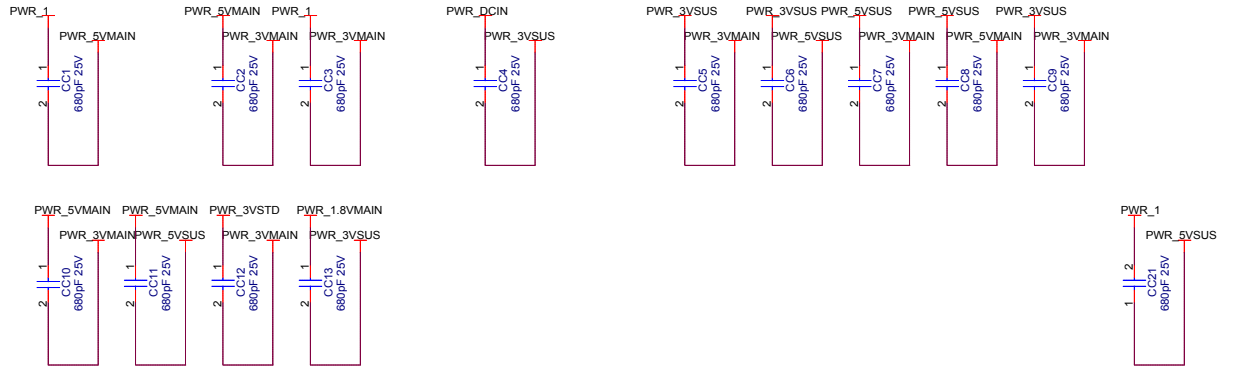
Resource

TITLE		Laurel	
DRAW. No.		C1CPxxxxx-X1	
Rev.		DATE	
Design	Appr.	Description	
Design	2001.01.16	Check	Yoshida
Appr.	Aoki	FUJITSU LTD.	
SHEET			2 / 82



本コンデンサは電源/グランド層に発生するベタプレーン同士を接続するためのものである。
 そのため、上記のようなベタ構成であれば、ポイントとなる個所にコンデンサを配置する。
 ・クロックがベタをまたいで引く場合
 ・Bus系がベタをまたいで引く場合(数本毎に1個間隔で)

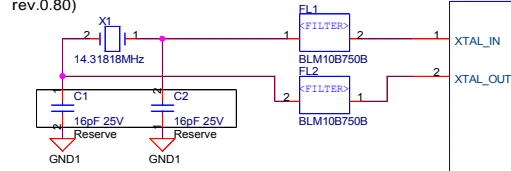
個数については、適宜増やすこと。



EMI

							TITLE	
							Laurel	
							DRAW. No.	
							C1CPxxxxx-X1	
							CAST	
Rev.	DATE	Design	Appr.	Description			SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	3 / 82	
							FUJITSU LTD.	

Place crystal within 500mils of Clk TITAN
(by ALMADOR -M CHIPSET/MOBILE TUALATIN
PROCESSOR
CUSTOMER REFERENCE BOARD SCHEMATICS
rev.0.80)



5.8 CPU_BSEL1 >>> S1

17,23,25,50 SMB_CLK_ICh
17,23,25,50 SMB_DATA_ICh >>> SCLK
>>> SDATA

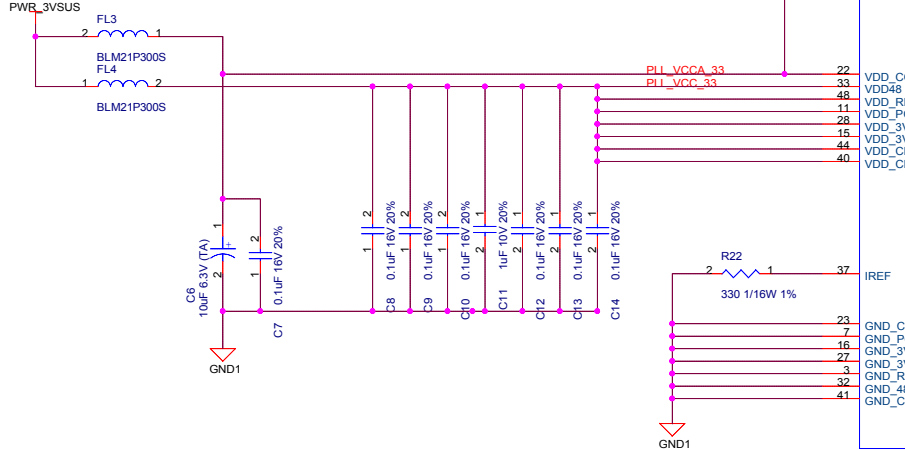
12 CLK_GBO66 >>> 66MHz_IN/3V66_5

2,45,60,61,62,69,76 USB# >>> PWR_DWN#

16 STP_CPU# >>> CPU_STOP#

16 STP_PCI# >>> PCI_STOP#

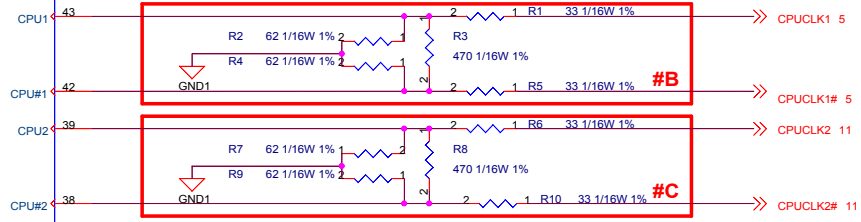
76 VTTTPWRGD# >>> PWR_DG#



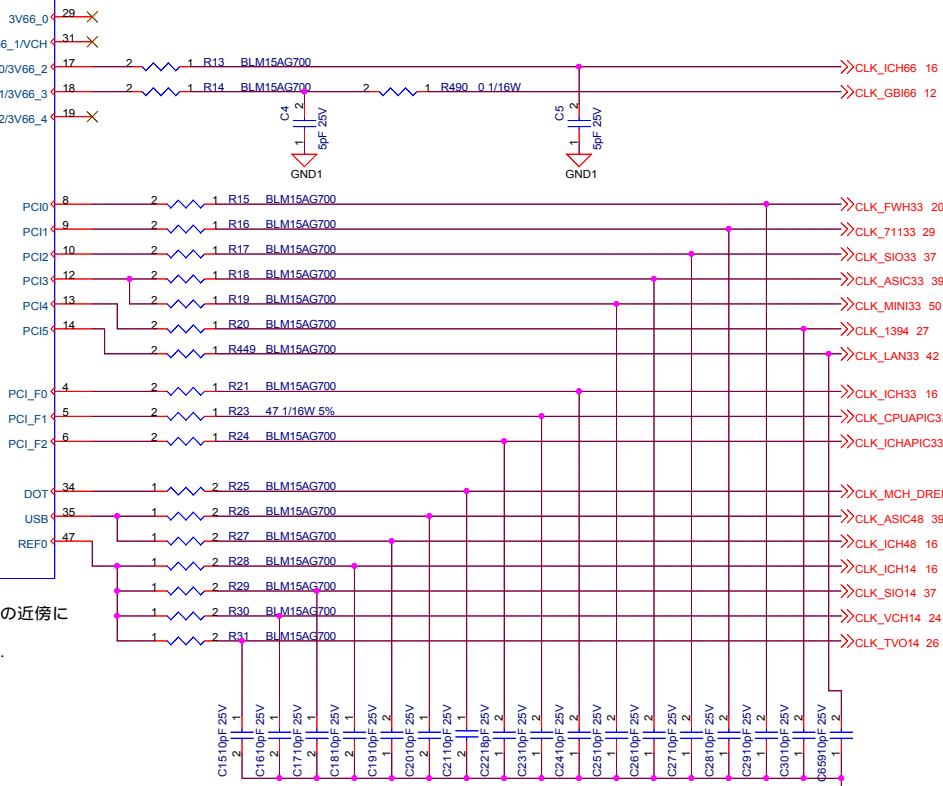
本ページのコンデンサは、PLLの近傍に
配置すること。
Place these capacitors near PLL.

のバタンのライン・インピーダンスは、55 で引くこと。(5mil幅)
また、各対のクロックライン同士の間隔(CPUCLK0, CPUCLK0#間など3対)
は、各対の間インピーダンス100 で引くこと。(9mil幅)

Control the impedance of signals that "*" are marked are 55 ohm. (the width is 5mil)
Control the impedance between the pair of clock (CPUCLK0 & CPCLK0#, etc) 100 ohm.
(the width is 9mil)



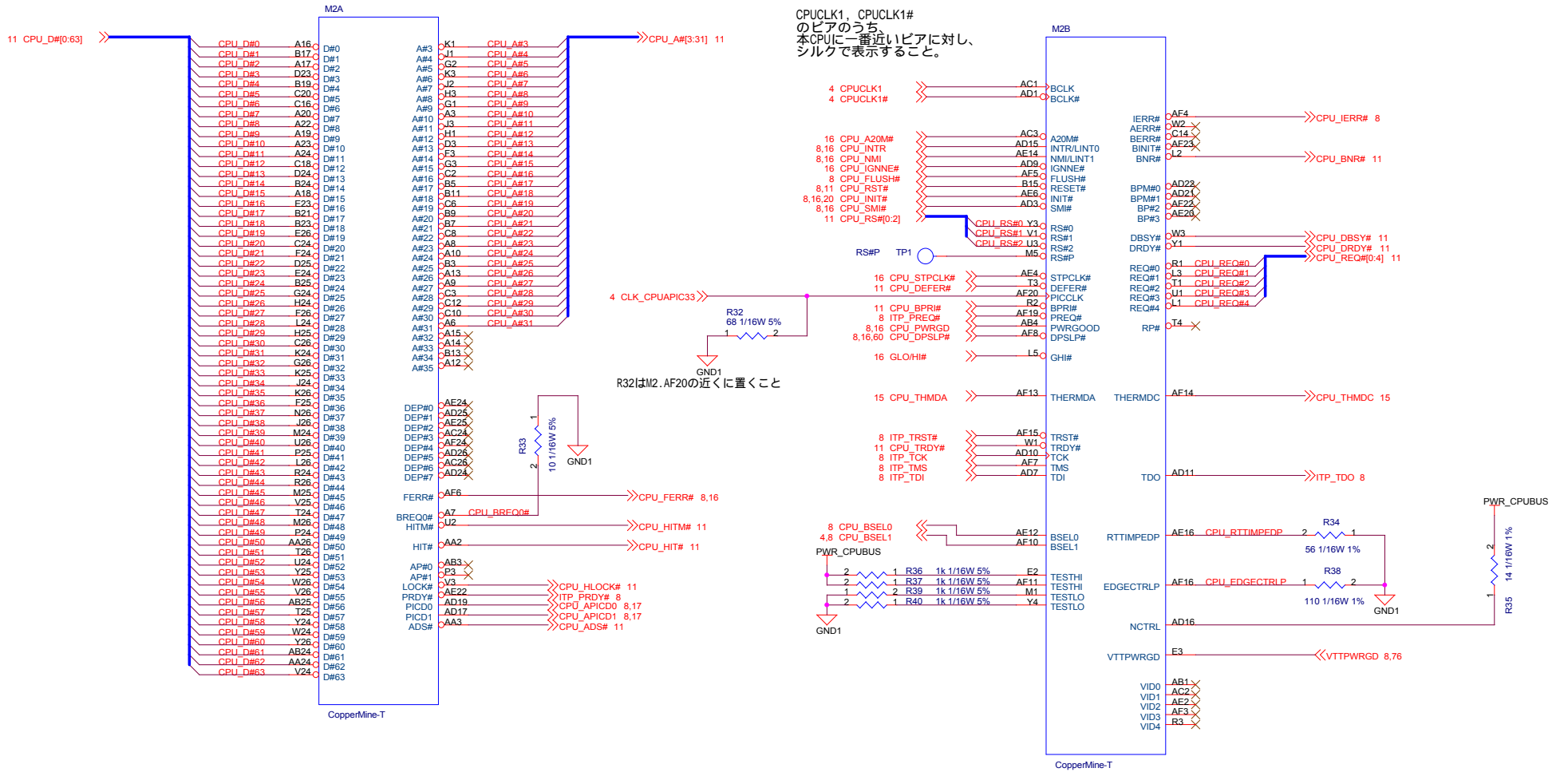
#B 枠内部品は、M2(CPU)裏面 PAD直裏に配置のこと。
#C 枠内部品は、M3(GMCH)裏面 PAD直裏に配置のこと。



各クロックのダンピング抵抗はチップから
1cm以内に配置すること。
Place each dumping resistor of clock line near PLL as
possible.(less than 10mm)

PLL

				TITLE	
				Laurel	
				DRAW. No.	CAST
				C1CPxxxxxx-X1	
Rev.	DATE	Design	Appr.	Description	SHEET
Design	2001.01.16	Komahara	Check	Yoshida	4 / 82
			Appr.	Aoki	
				FUJITSU LTD.	

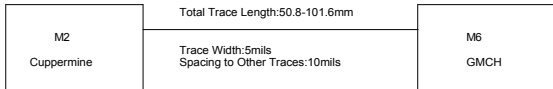


CPUCLK1, CPUCLK1#
のビアのうち
本CPUに一番近いビアに対し、
シルクで表示すること。

4 CLK_CPUAPIC33
R32
68 1/16W 5%
1 2
GND1
R32はM2.AF20の近くに置くこと

PSB Freq.	BSEL1	BSEL0
100MHz	0	1
133MHz	1	1

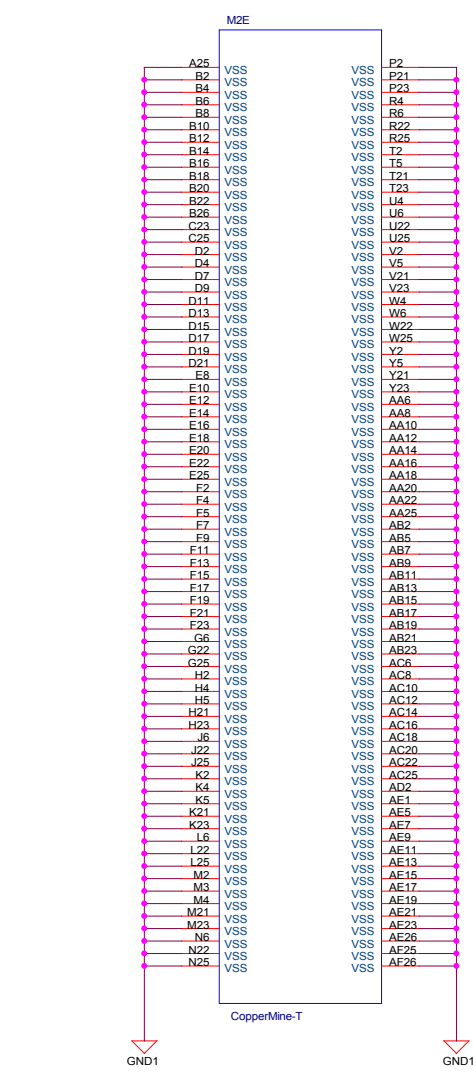
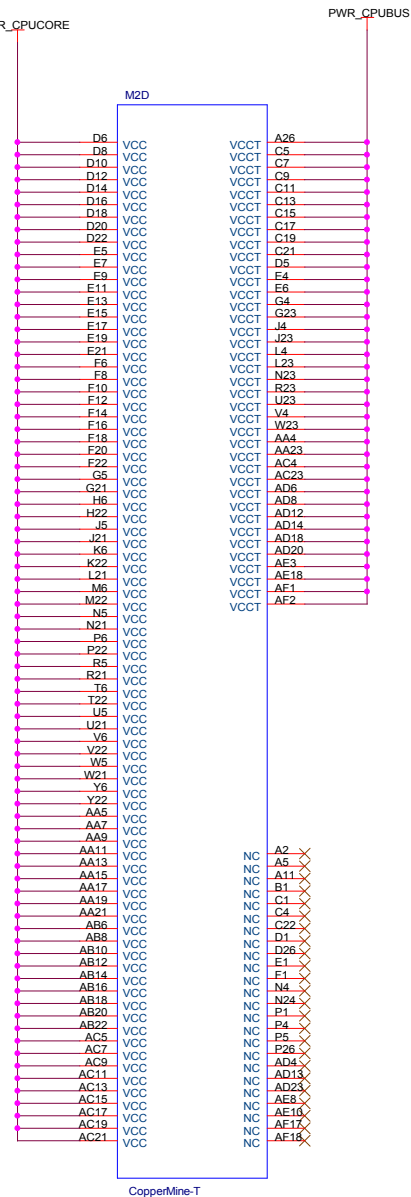
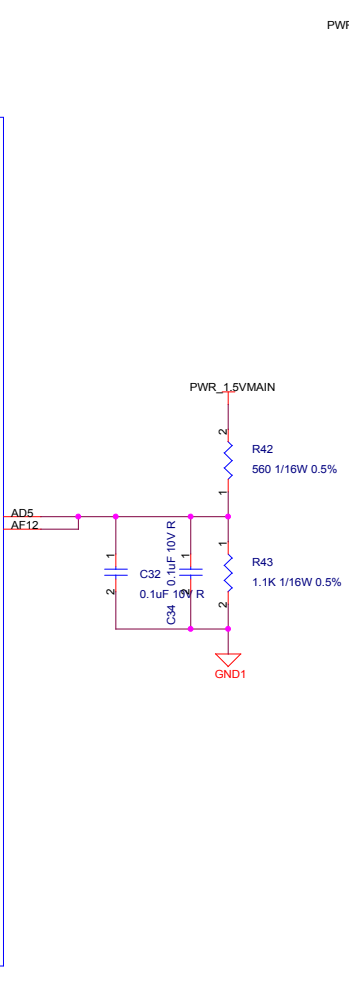
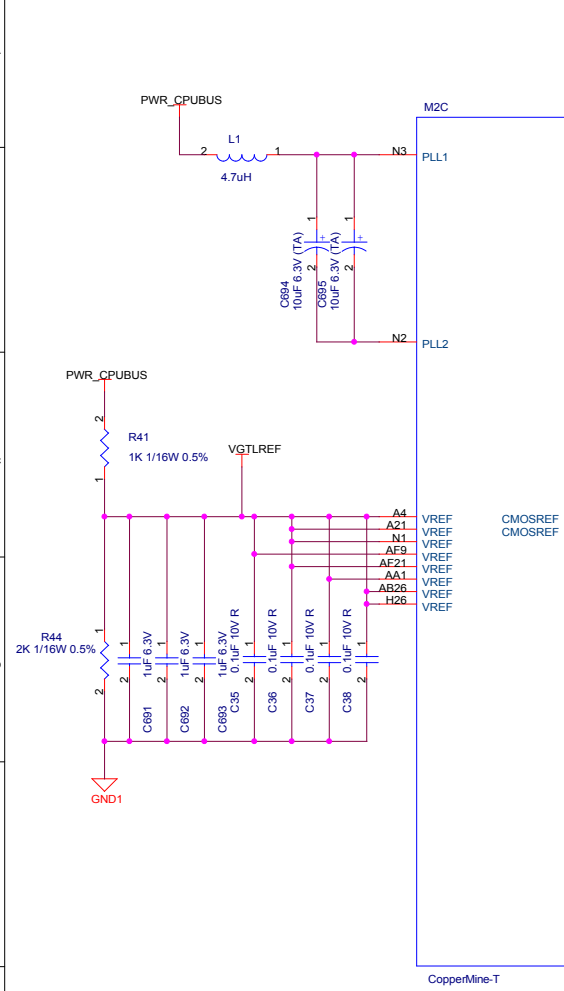
印のついた信号線はGND1で両側をガードすること。



M2からM3への信号線は上記の条件を厳守すること。

CPU-1

TITLE	Laurel	CAST	
DRAW. No.	C1CPxxxxx-X1	SHEET	5 / 82
Rev.	DATE	Design	Appr.
Design	2001.01.16	Komahara	Check Yoshida
Description	FUJITSU LTD.		

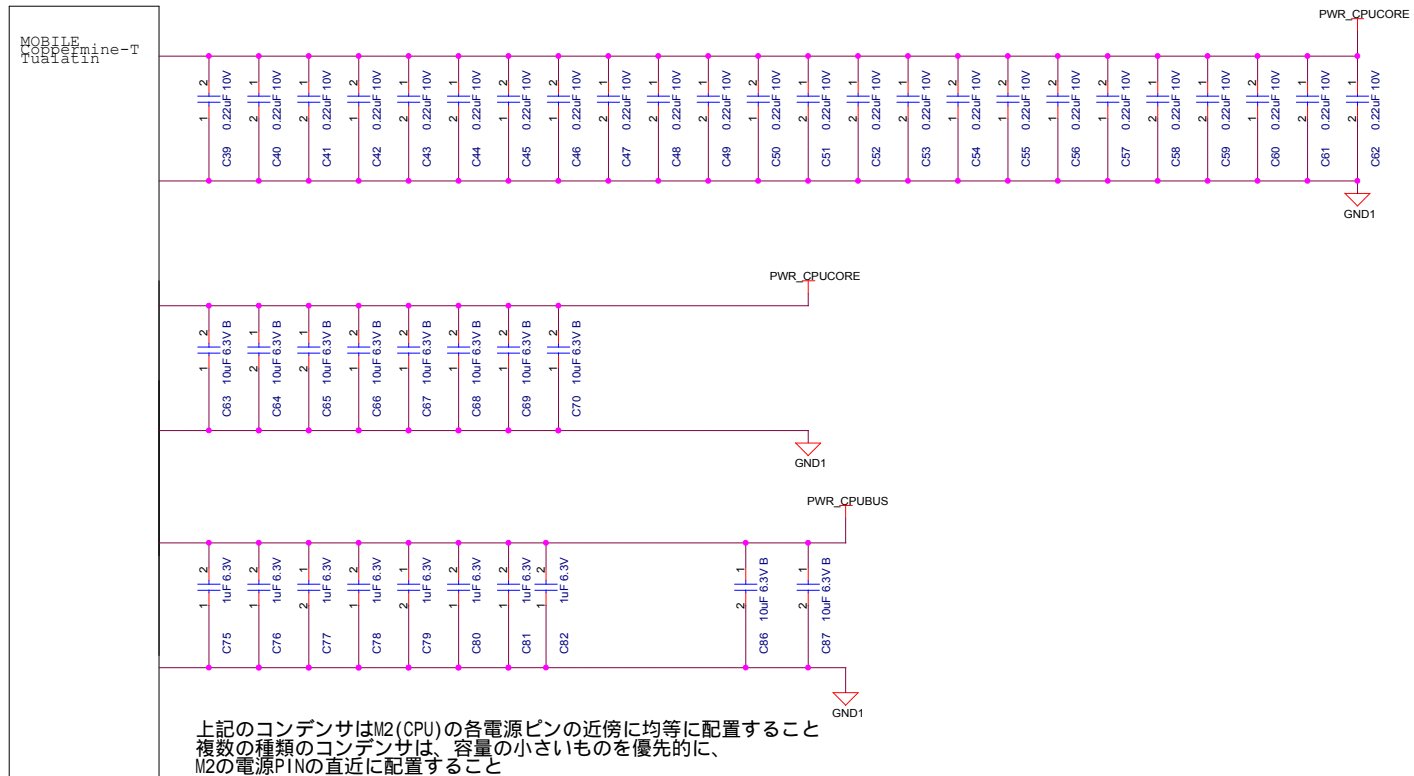


のついた信号線は、25mil以上の太さで配線し、
 周りをベタのGNDで配線すること。
 このページの抵抗・キャパシタ・インダクタはCPUの近傍に置くこと

CPU-2

				TITLE		Laurel	
				DRAW. No.		C1CPxxxxx-X1	
				Rev.		DATE	
				Design		Appr.	
				Check		Yoshida	
				Aoki		Appr.	
				Description		FUJITSU	
				Design		2001.01.16	
				Komahara		6 / 82	
				SHEET		6 / 82	
				LTD.			

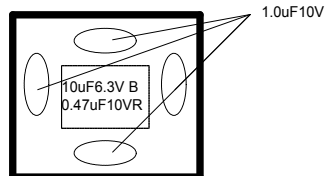
At least x24 0.47uF & x10 10uF CPUCOREVCC(PWR_CPUCORE)
 decoupling capacitors.
 At least x10 1.0uF CPUBUSVCC(PWR_CPUBUS) de capacitors.
 (by Tualatin / Coppermine-T SpecSheet)



上記のコンデンサはM2(CPU)の各電源ピンの近傍に均等に配置すること
 複数の種類のコンデンサは、容量の小さいものを優先的に、
 M2の電源PINの直近に配置すること

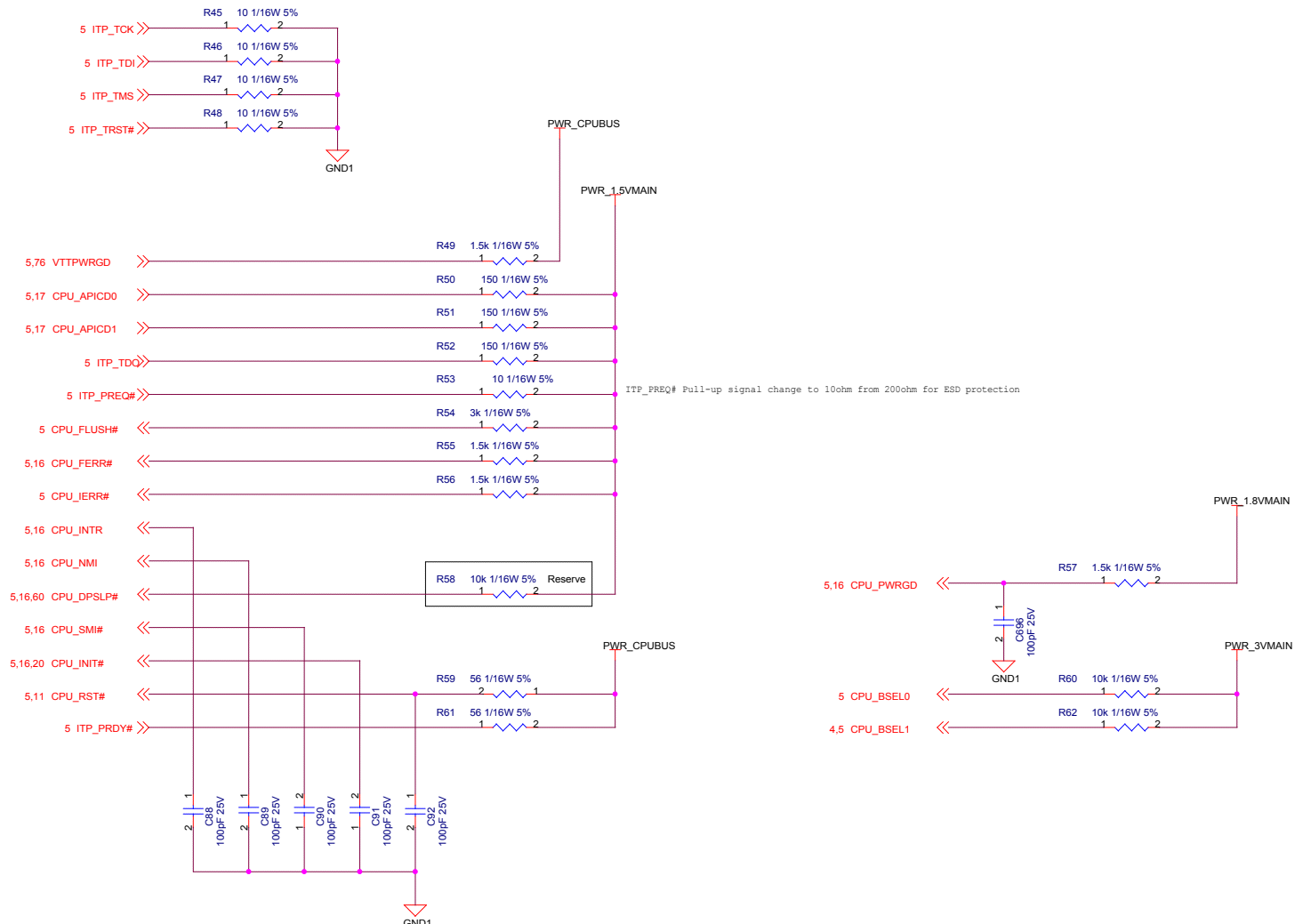
上記コンデンサ

0.47uF 10V R(C36-C59), 10uF 6.3V B(C60-C71)はCPU裏の中央に配置し、
 1.0uF 10V(C72-C84)はCPU_BUS電源(VCC)のPIN近くに均等に配置すること。



PassC for CPU

TITLE		Laurel	
DRAW. No.		C1CPxxxxx-X1	
Rev.		DATE	
Design	Appr.	Description	
2001.01.16	Komahara	Check	Yoshida
Appr.		Aoki	
FUJITSU LTD.		SHEET 7 / 82	

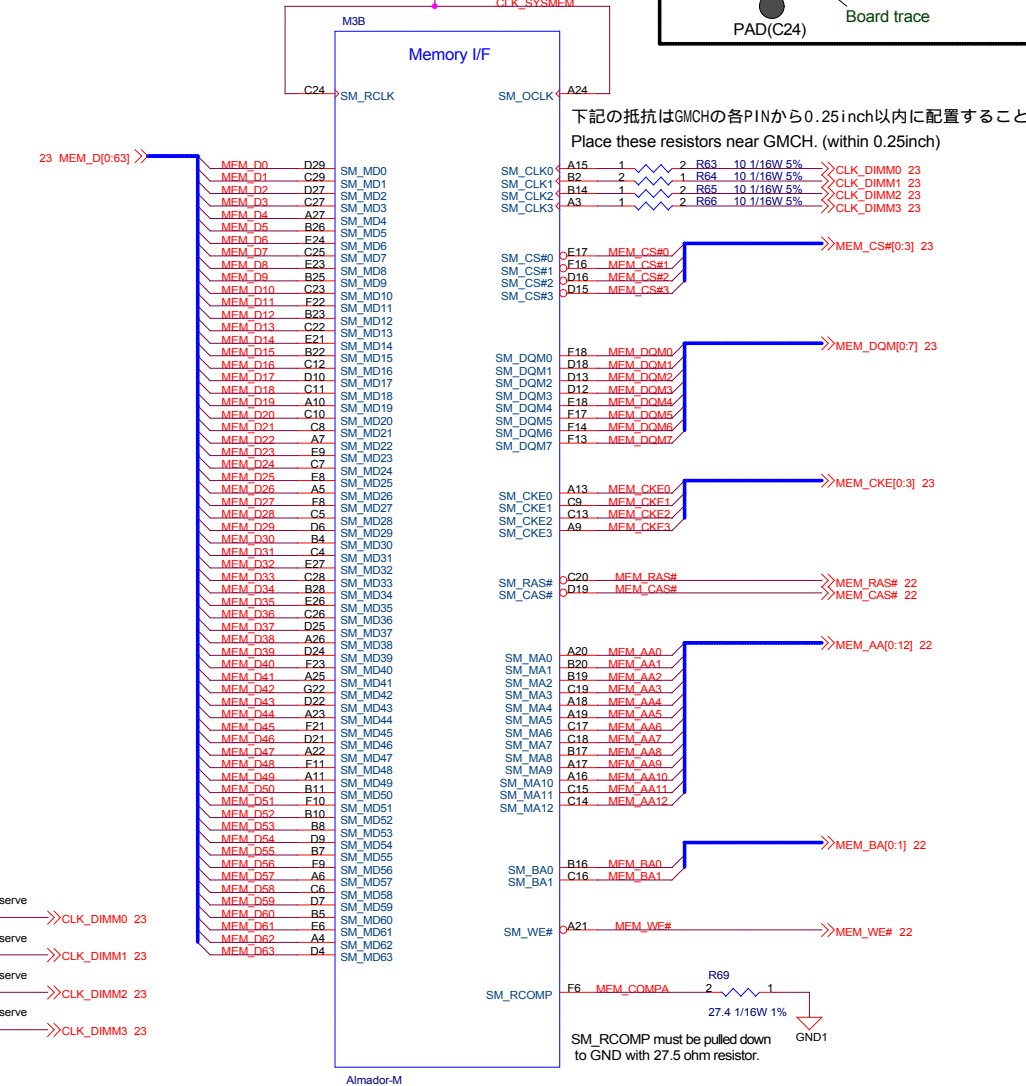
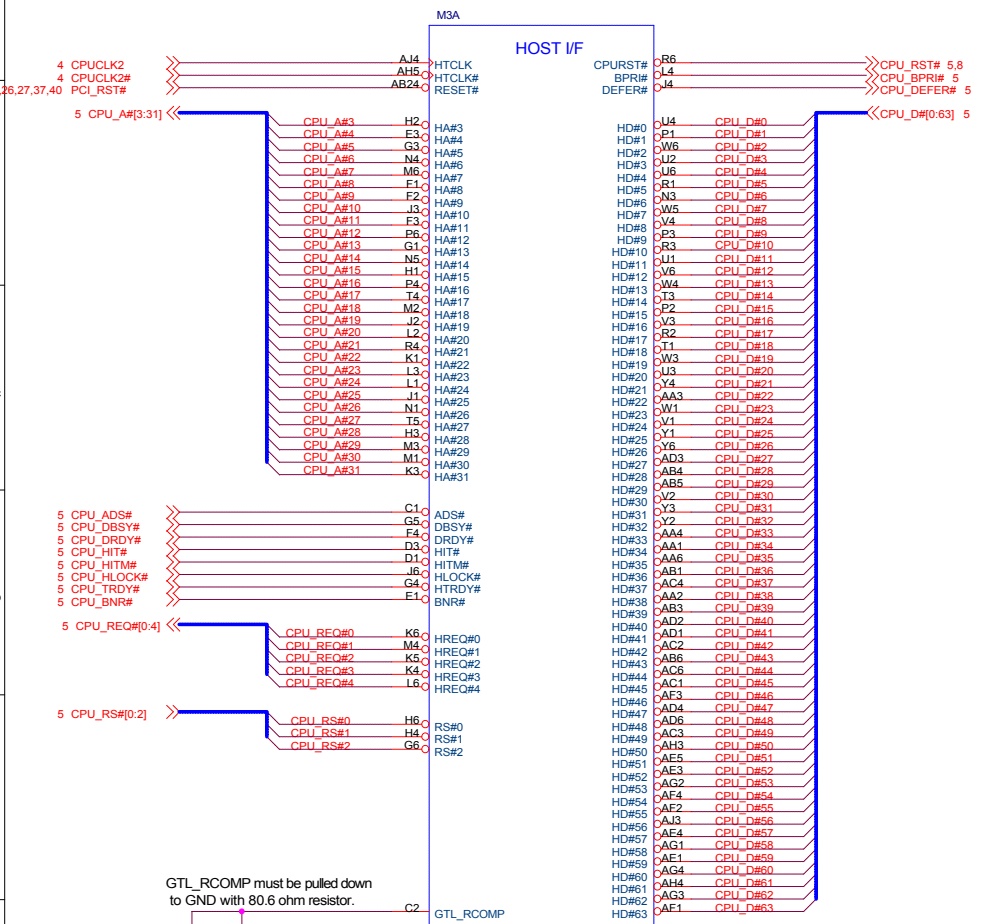
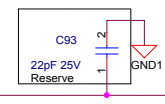
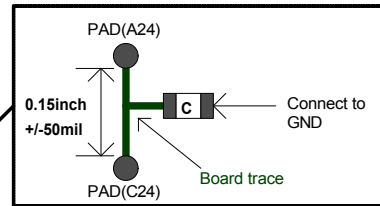


CPU_RST#は上記抵抗までの分岐配線を0.1inch以下にすること。
 本ページの抵抗・コンデンサはCPUの近くに配置すること

Pullup for CPU

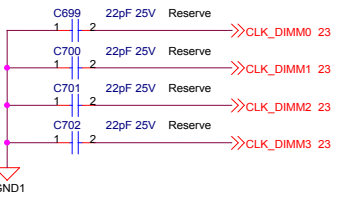
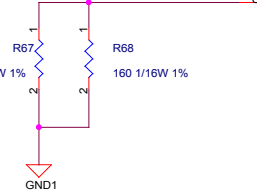
				TITLE		Laurel	
				DRAW. No.		CAST	
				Description		C1CPxxxxx-X1	
Rev.	DATE	Design	Appr.	Check	Yoshida	Appr.	Aoki
Design	2001.01.16	Komahara					
						FUJITSU LTD.	
						SHEET 8 / 82	

GMCH_A24, GMCH_C24間の信号-CLK_SYSMEMには0.15inch(+/-50mil)で配線すること。
またコンデンサはその信号線の中間に配置すること。



下記の抵抗はGMCHの各PINから0.25inch以内に配置すること。
Place these resistors near GMCH. (within 0.25inch)

GTL_RCOMP must be pulled down to GND with 80.6 ohm resistor.



SM_RCOMP must be pulled down to GND with 27.5 ohm resistor.

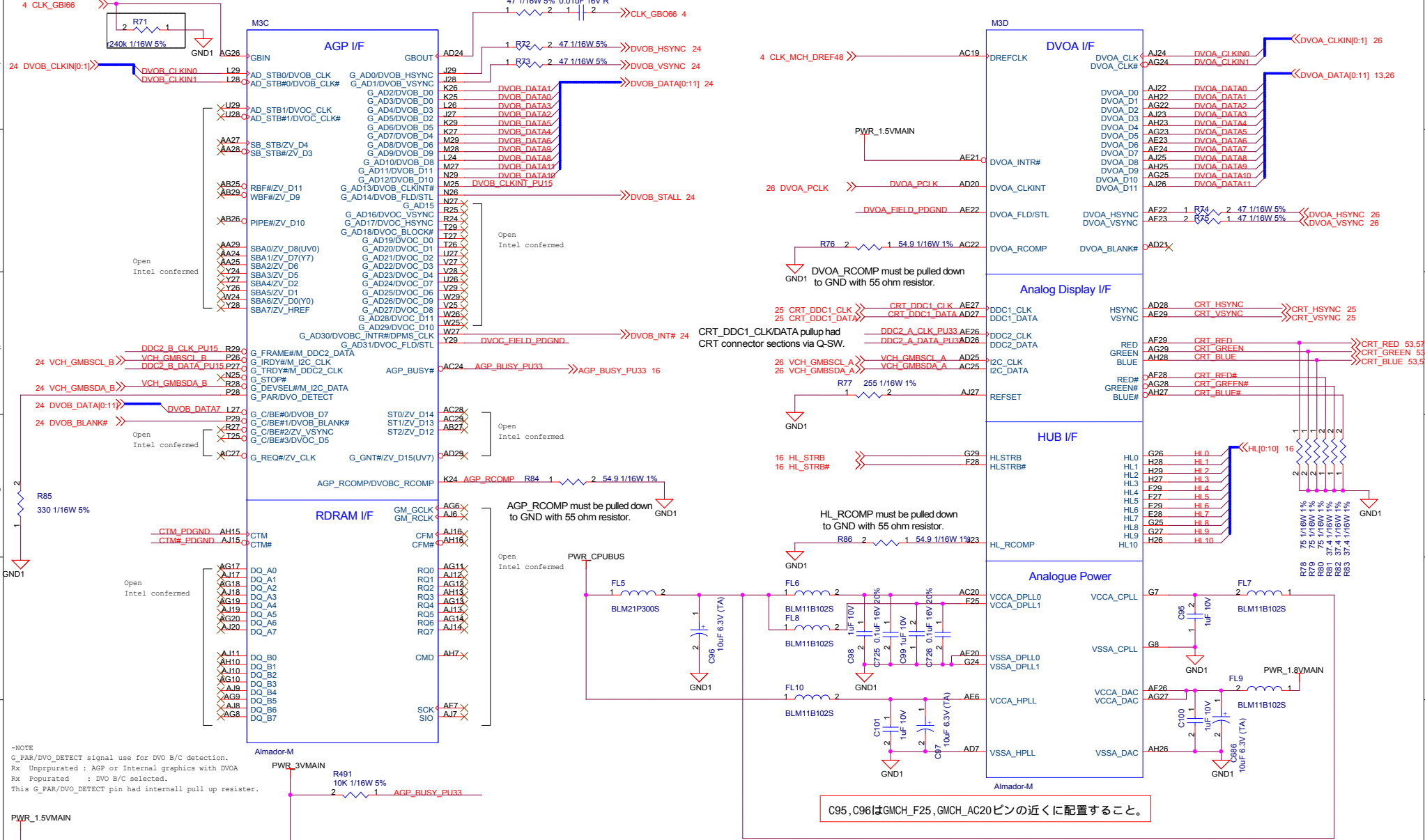
Memoryの配線条件については、回路図_Page22を参照すること。

R82, R83, R84の抵抗はGMCH(M6)から0.5inch以内に置き、
のついた信号線は10mil幅以上で配線すること。
Place R82,R83,R84 near GMCH (within 0.5 inch) and
the width of patterns must be more than 10 mil.

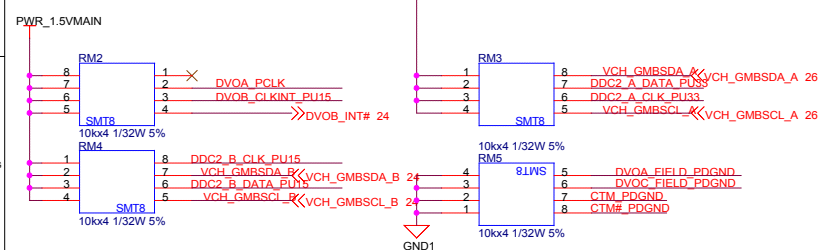
GMCH-M-1

		TITLE		Laurel	
		DRAW. No.		C1CPxxxxx-X1	
		Rev. DATE		Design Appr. Description	
Design	2001.01.16	Komahara	Check	Yoshida	Appr. Aoki
		SHEET		FUJITSU LTD.	
		11		/ 82	

下記抵抗 (R85) はM6-AD24から0.5inch以内に配置すること。



-NOTE
G_PAR/DVO_DETECT signal use for DVO B/C detection.
Rx Unpopulated : AGP or Internal graphics with DVOA
Rk Populated : DVO B/C selected.
This G_PAR/DVO_DETECT pin had internal pull up resistor.



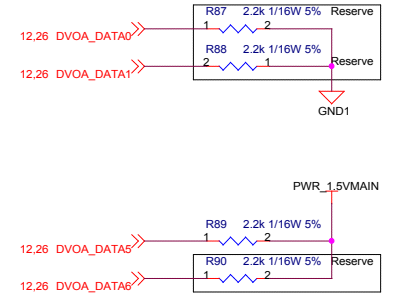
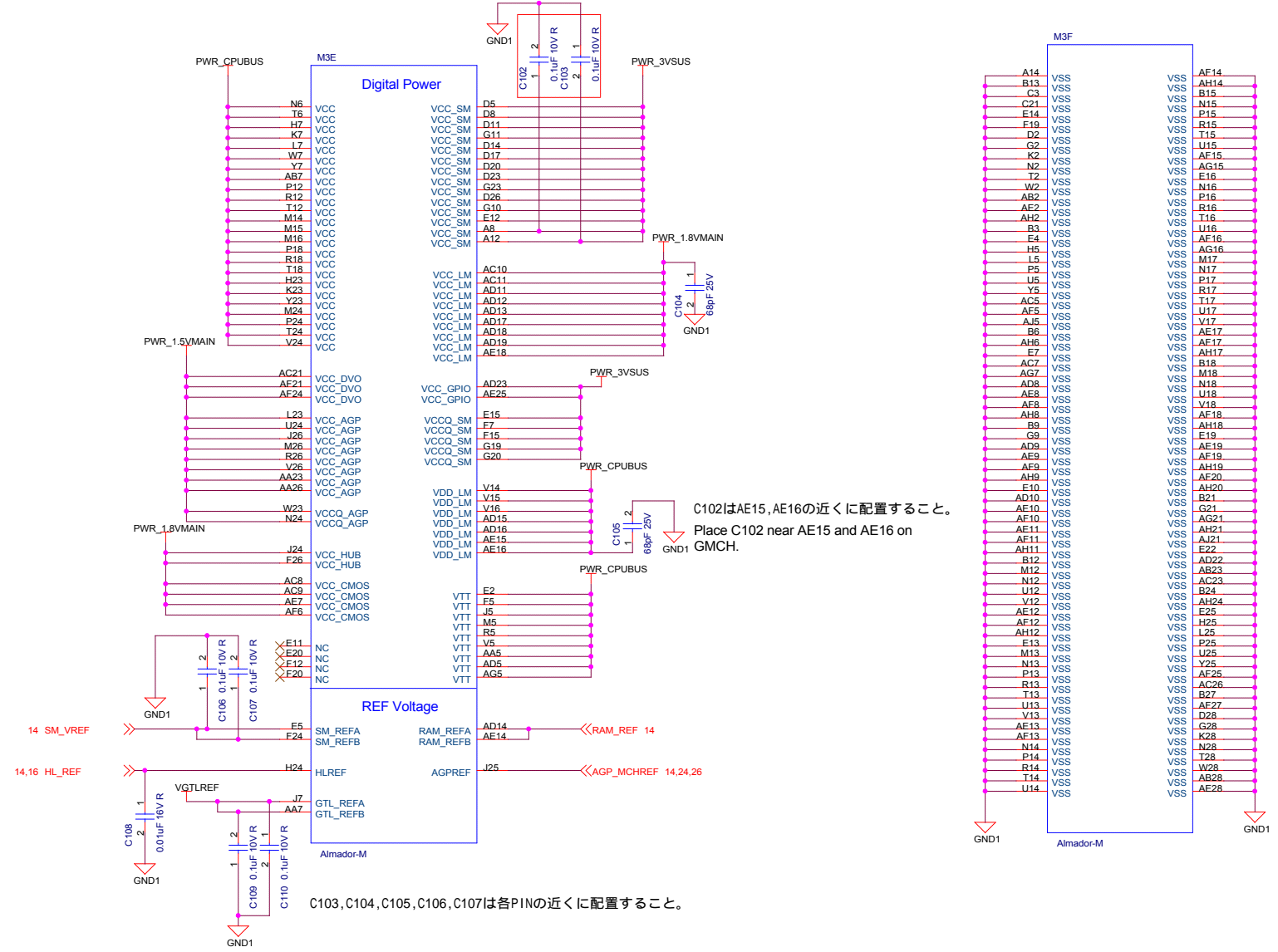
R87, R88, R90, R91, R92, R93, R94は GMCH (M6) から0.5inch以内に置き、配線は10mil以上にする
こと
Place R87, R88, R90, R91, R92, R93, R94 near GMCH (within 0.5 inch) and the width of patterns must be more than 10 mil.

C95, C96はGMCH_F25, GMCH_AC20ピンの近くに配置すること。

GMCH-M-2

TITLE			Laurel	
DRAW. No.			C1CPxxxxx-X1	
Rev.			DATE	
Design			Appr.	
Description			Appr.	
Design			Check	
Appr.			Aoki	
SHEET			12 / 82	
FUJITSU LTD.				

C99, C100はGMCH_A8, GMCH_A12に直接接続すること。
 A8, A12pinは可能な限り広い電源ヘタに貫通VIAで接続すること。(電源層が望ましい)
 またGNDへの接続も貫通VIAで接続すること。
 コンデンサはGMCH_A8, GMCH_A12の90mil(2.286mm)以内に配置すること。



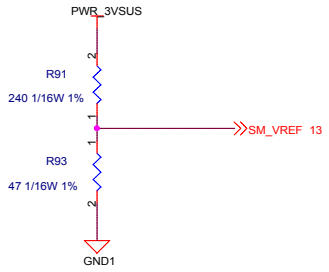
Almador-M Strapping Options

Signal	Notes
DVOA_D0	0=Reserved 1=133MHz(default)
DVOA_D1	0=IOQD1 1=IOQD8(default)
DVOA_D5	0=Desktop(default) 1=Mobile
DVOA_D6	0=dual ended termination(default) 1=single ended termination
DVOA_D7	0=Normal operation (default) 1=XOR Chain test mode
DVOA_D8	0=Normal operation(default) 1=Tri-state all i830M outputs
G_PAR	0=DVO B/C Device connected. 1=AGP Device (Default)

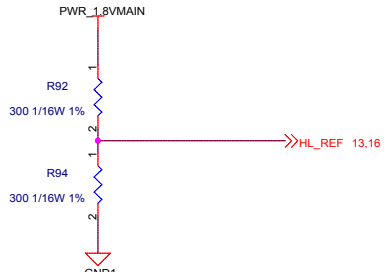
のついた信号線は、25mil以上の太さで配線し、
 周りをベタのGNDで配線すること。
 The width of signals that marked " " must be laid out
 more than 25 mil and guard at the both sides, top and
 bottom by GND1 pattern.

GMCH-M-3, STRAP

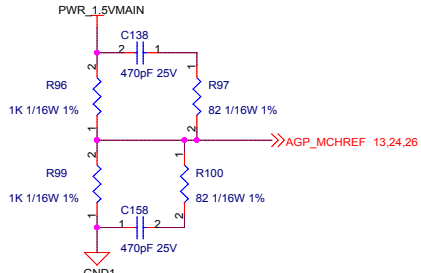
TITLE		Rickwood Main Board	
DRAW. No.		C1CPxxxxxx-X1	
Rev.		DATE	Design Appr.
Description		Check	Yoshida
SHEET		Appr.	Aoki
FUJITSU LTD.		13 / 82	



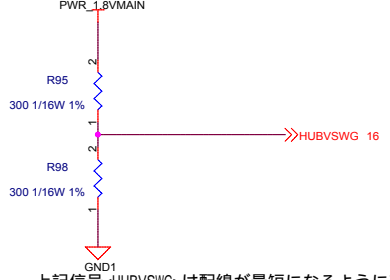
上記信号<SM_VREF>は配線が最短になるように部品をGMCHの近くに配置すること。



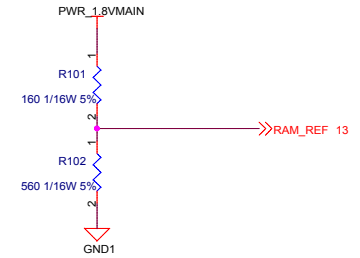
上記抵抗とコンデンサは、極力 GMCH と ICH3 の中間になるように配置し、それぞれの配線長は 10cm 以内とする。



上記信号<AGP_VGAREF>は配線が最短になるように部品をGMCH(M6)の近くに配置すること。

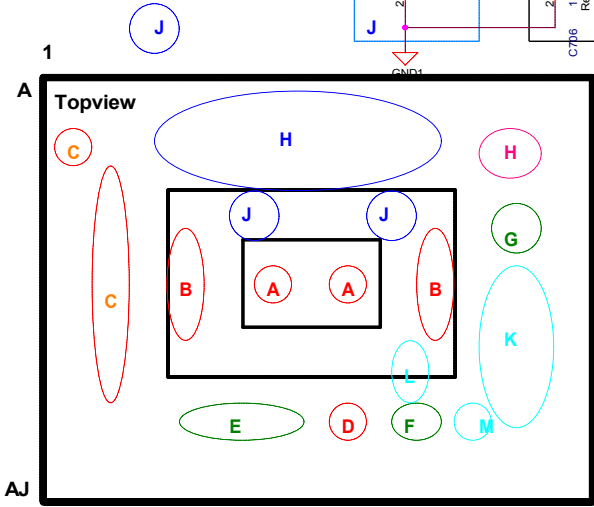
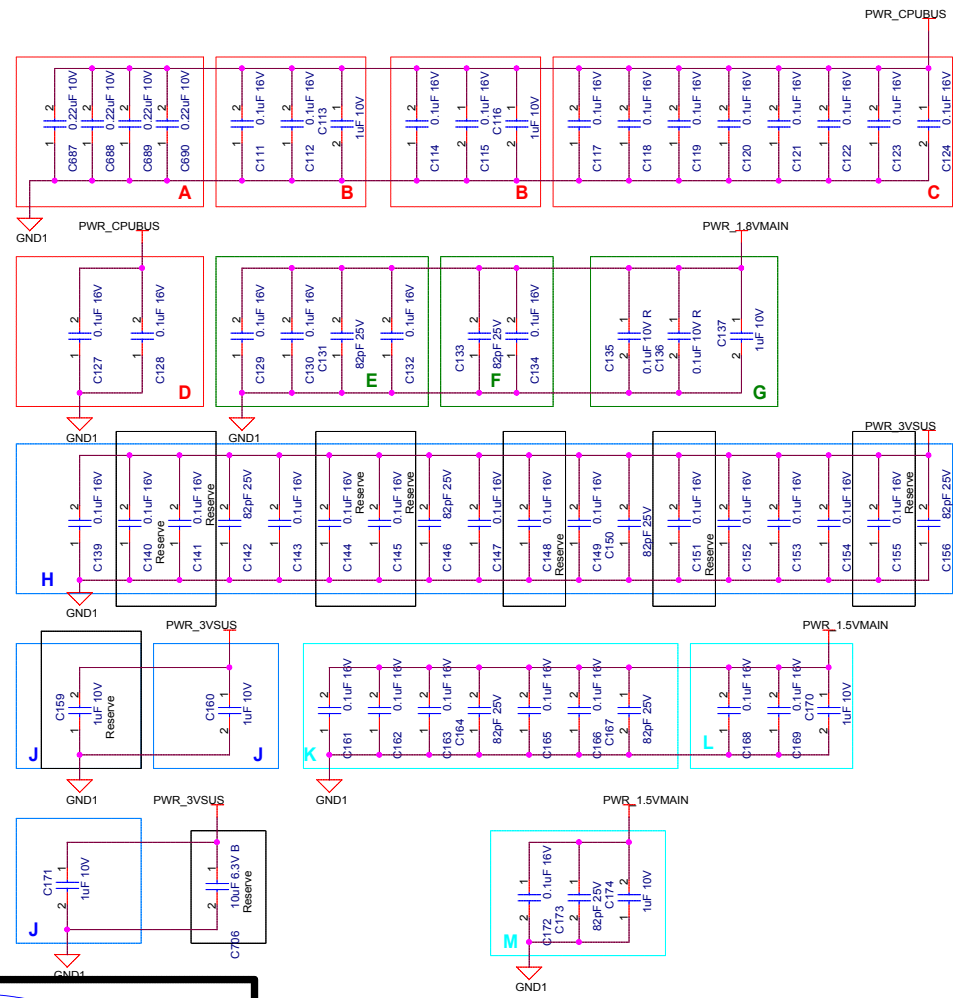


上記信号<HUBVSWG>は配線が最短になるように部品をICH3の近くに配置すること。



上記信号<RAM_REF>は配線が最短になるように部品をGMCH(M6)の近くに配置すること。

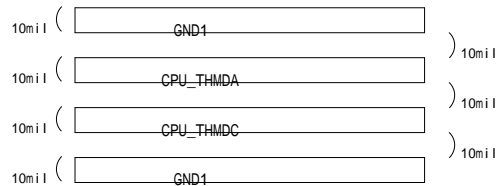
のついた信号線BGA PAD横に貫通THを空けその裏面直下に部品を搭載、配線すること。



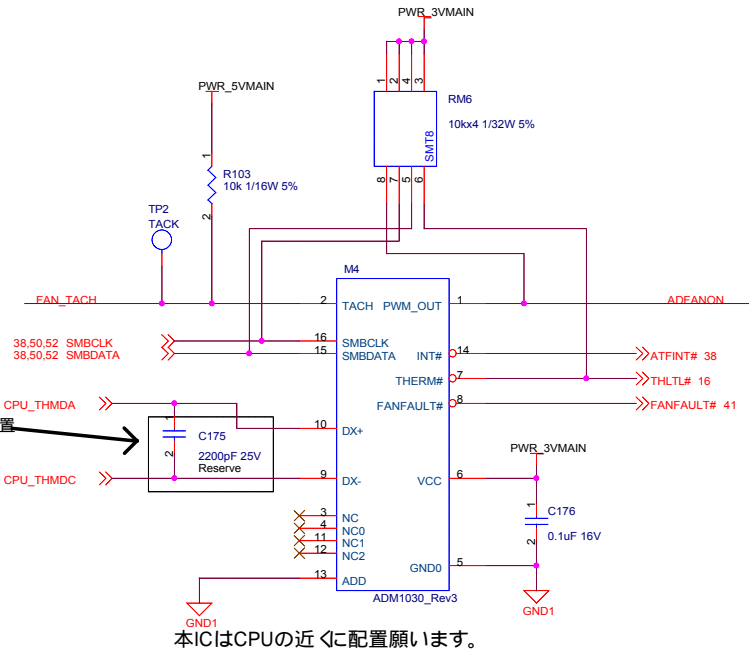
TITLE						Rickwood Main Board	
DRAW. No.						C1CPxxxxx-X1	
Description						FUJITSU LTD.	
Rev.	DATE	Design	Appr.	Check	Yoshida	Appr.	Aoki
Design	2001.01.16	Komahara					
SHEET						14 / 82	

ADD pin	A1	A0	Address
GND	1	0	01011,10
N.C	0	0	01011,00
VCC	0	1	01011,01

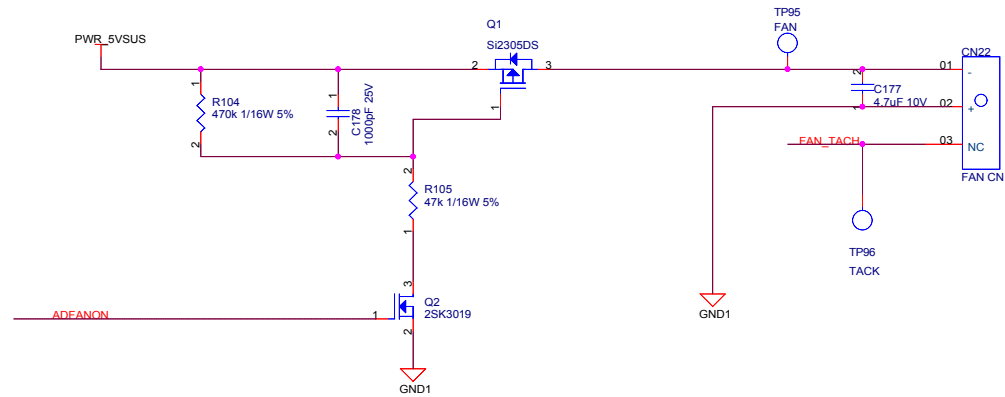
印の付いた信号線(CPU_THMDA,CPU_THMDC)は、GND1で両側をガードすること(下図参照)



コンデンサは本ICの近くに配置

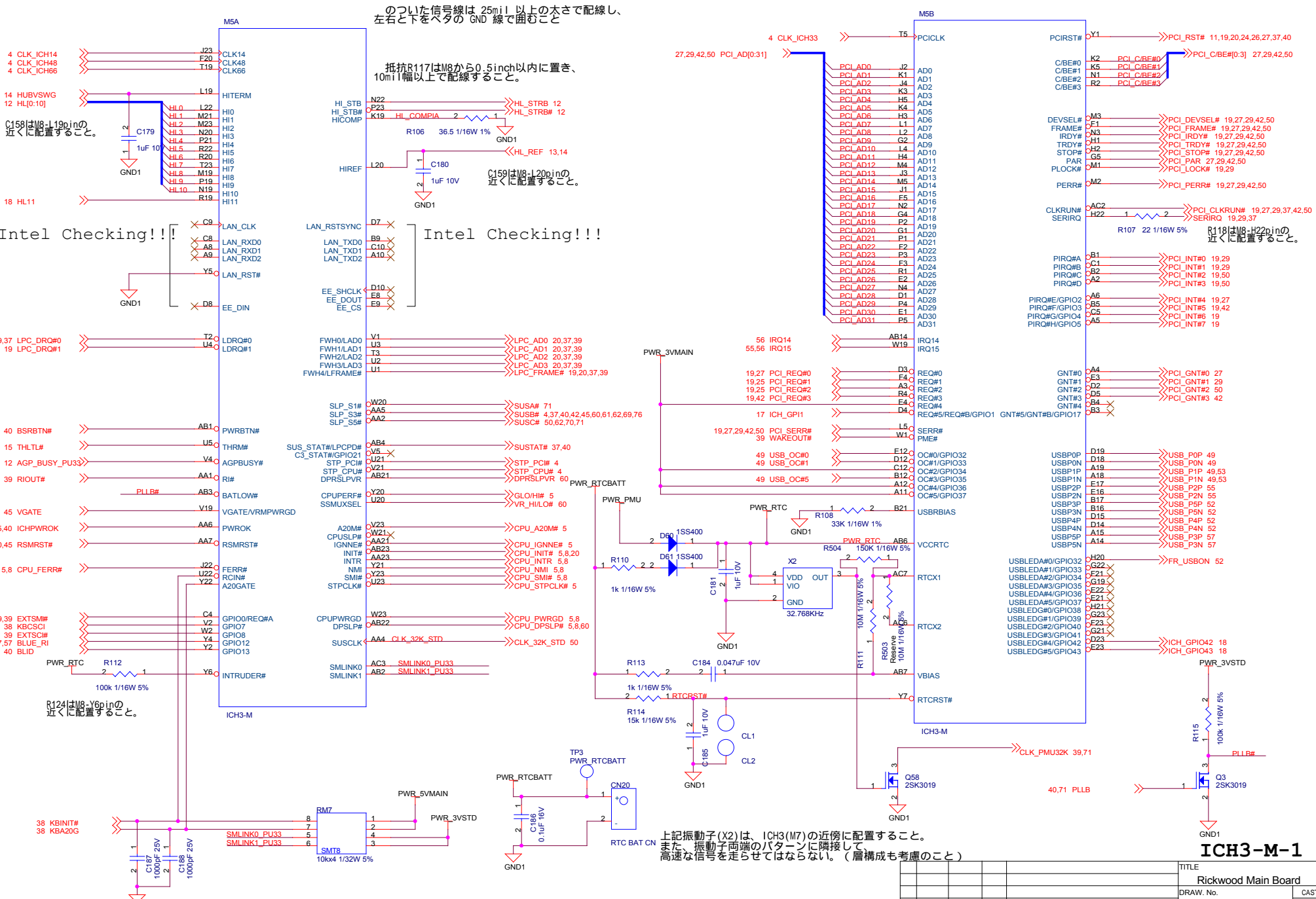


本ICにはCPUの近くに配置願います。



Thermister , FAN

TITLE					Rickwood Main Board	
DRAW. No.					CAST	
Description					C1CPxxxxx-X1	
Rev.	DATE	Design	Appr.	Description		FUJITSU LTD.
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	
					SHEET 15 / 82	



のついた信号線は、25mil以上の大きで配線し、
左右と下をベタの GND 線で囲むこと

抵抗R117はM8から0.5inch以内に置き、
10mil幅以上で配線すること。

C159はU8-L20pinの近くに配置すること。

R118はU8-H22pinの近くに配置すること。

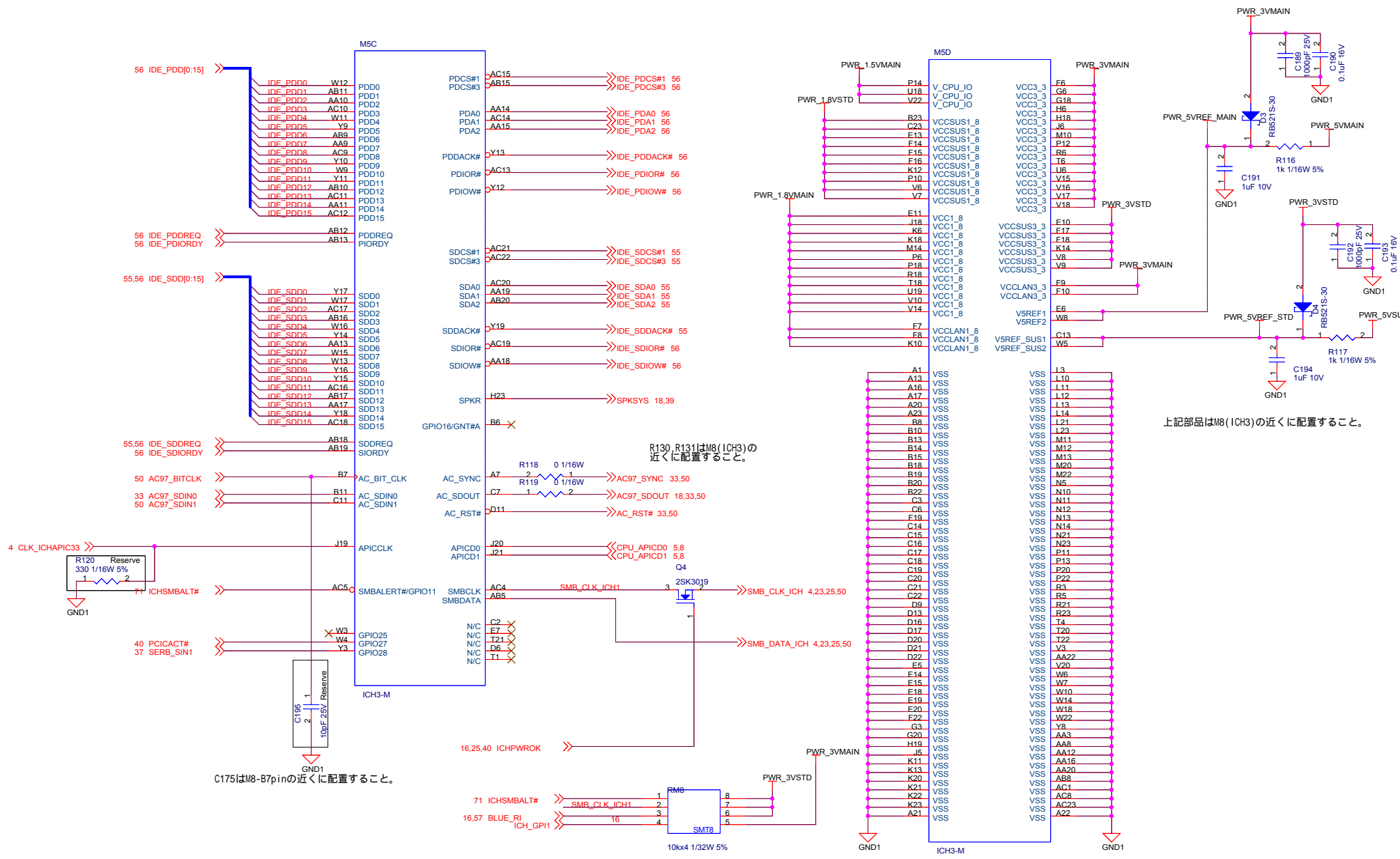
Intel Checking!!!

Intel Checking!!!

上記振動子(X2)は、ICH3(M7)の近傍に配置すること。
また、振動子両端のパターンに隣接して高速な信号を走らせてはならない。(層構成も考慮のこと)

ICH3-M-1

TITLE				Rickwood Main Board	
DRAW. No.				CAST	
C1CPxxxxx-X1					
Rev.	DATE	Design	Appr.	Description	SHEET
Design	2001.01.16	Komahara	Check	Yoshida	16 / 52
				Appr.	Aoki
				FUJITSU	
				LTD.	



R130, R131はM8 (ICH3)の近くに配置すること。

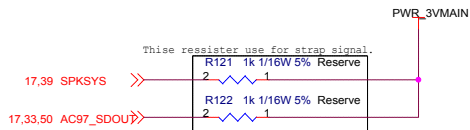
上記部品はM8 (ICH3)の近くに配置すること。

C175はM8-B7pinの近くに配置すること。

のついた信号線は、25mil 以上の太さで配線し、左右と下をベタの GND 線で囲むこと

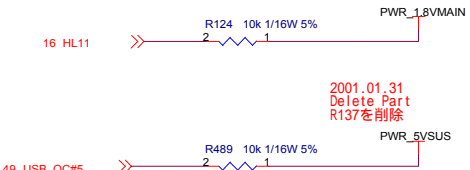
ICH3-M-2

				TITLE		Rickwood Main Board	
				DRAW. No.		C1CPxxxxx-X1	
				Rev.		DATE	
				Design		Appr.	
				Description		SHEET	
				Design		17 / 82	
				2001.01.16		FUJITSU LTD.	
				Komahara		Yoshida	
				Check		Appr.	
				Aoki			

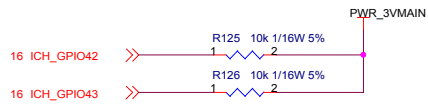


Configuration Table

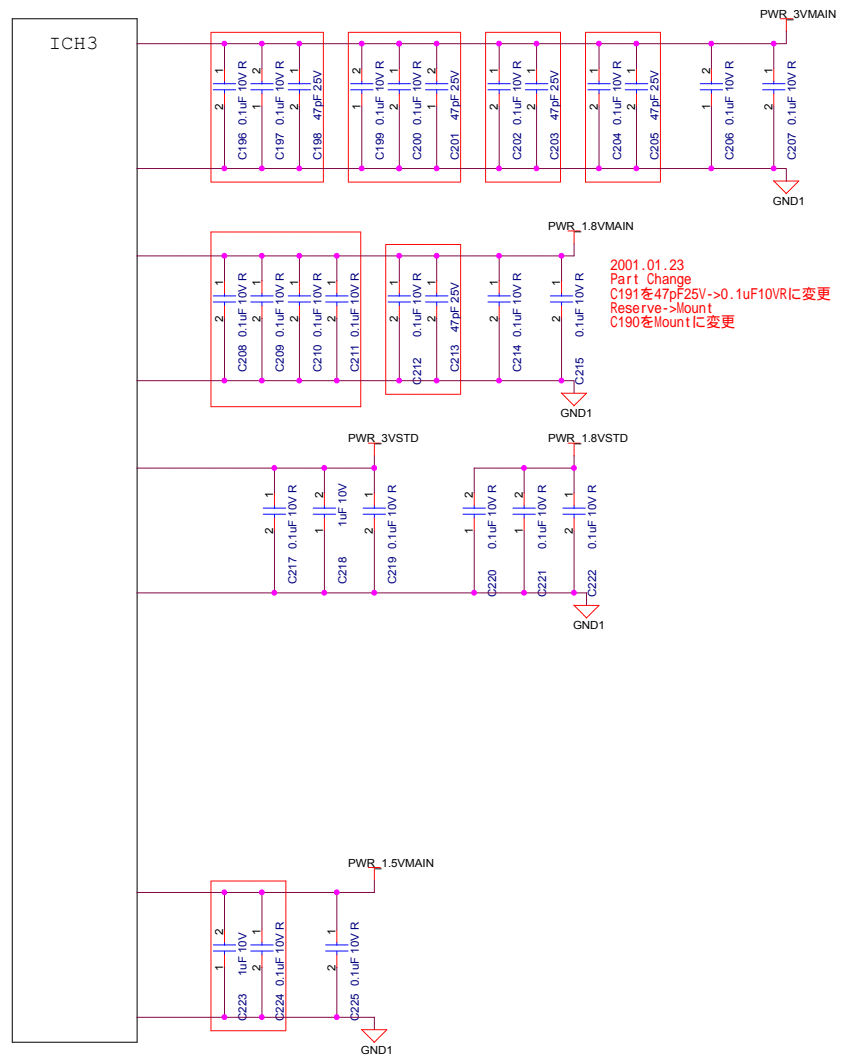
SPKSYS	0=Normal mode (Default) 1=NO_REBOOT
AC97_SDOU	0=Normal mode (Default) 1=SAFE_MODE



2001.01.31
Delete Part
R137を削除



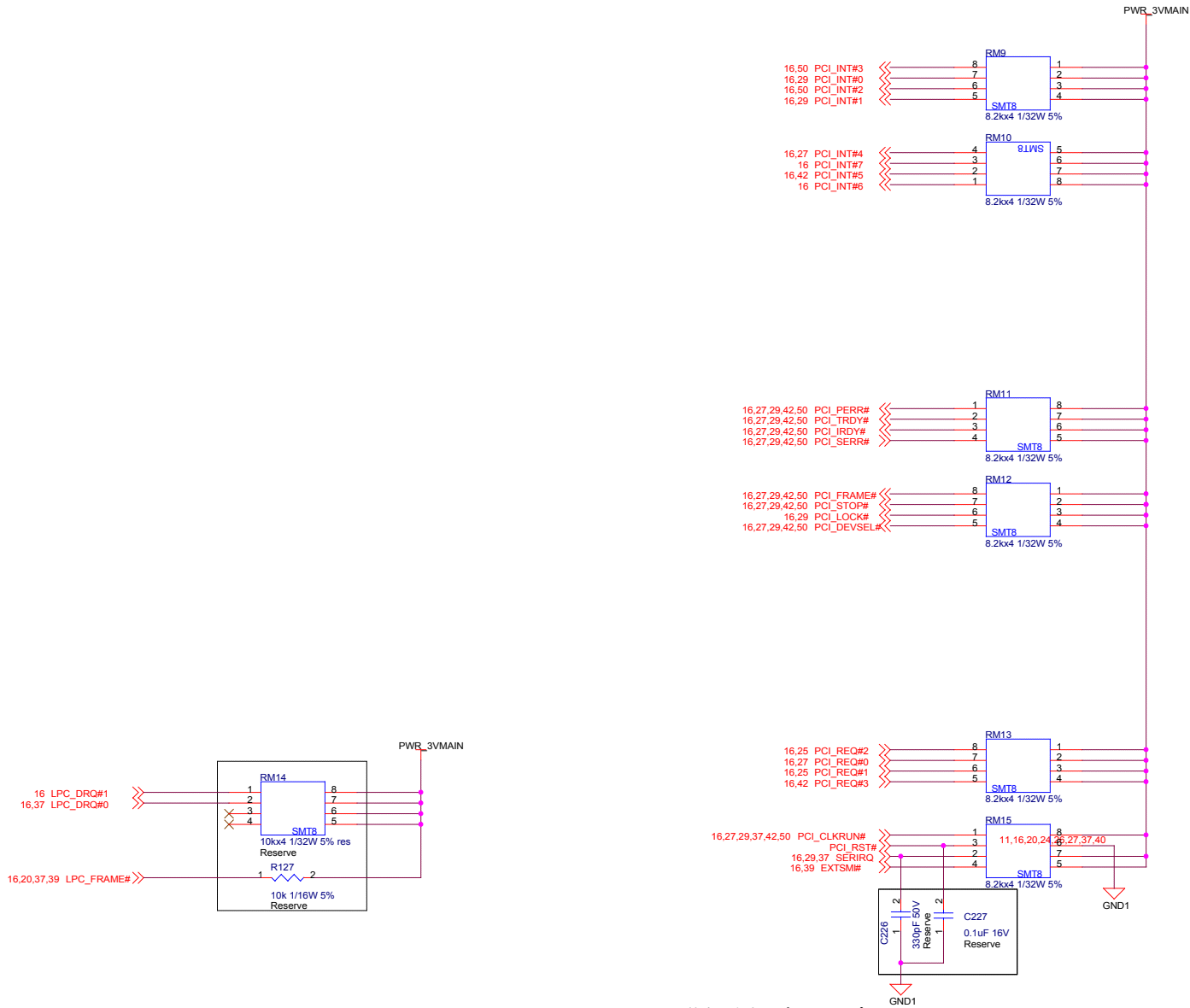
下記のICH3のコンデンサは、各電源ピンの近くに均等に配置すること。
また複数種類のコンデンサがある場合は、容量の小さいコンデンサを優先的に各電源ピンの近くに配置すること。



本ページの部品はM8(ICH3)の近くに配置すること。

Pullup & PassC for ICH3-M

							TITLE	
							Rickwood Main Board	
							DRAW. No.	
							C1CPxxxxx-X1	
							CAST	
Rev.	DATE	Design	Appr.	Description			SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	FUJITSU LTD.	
							18 / 52	



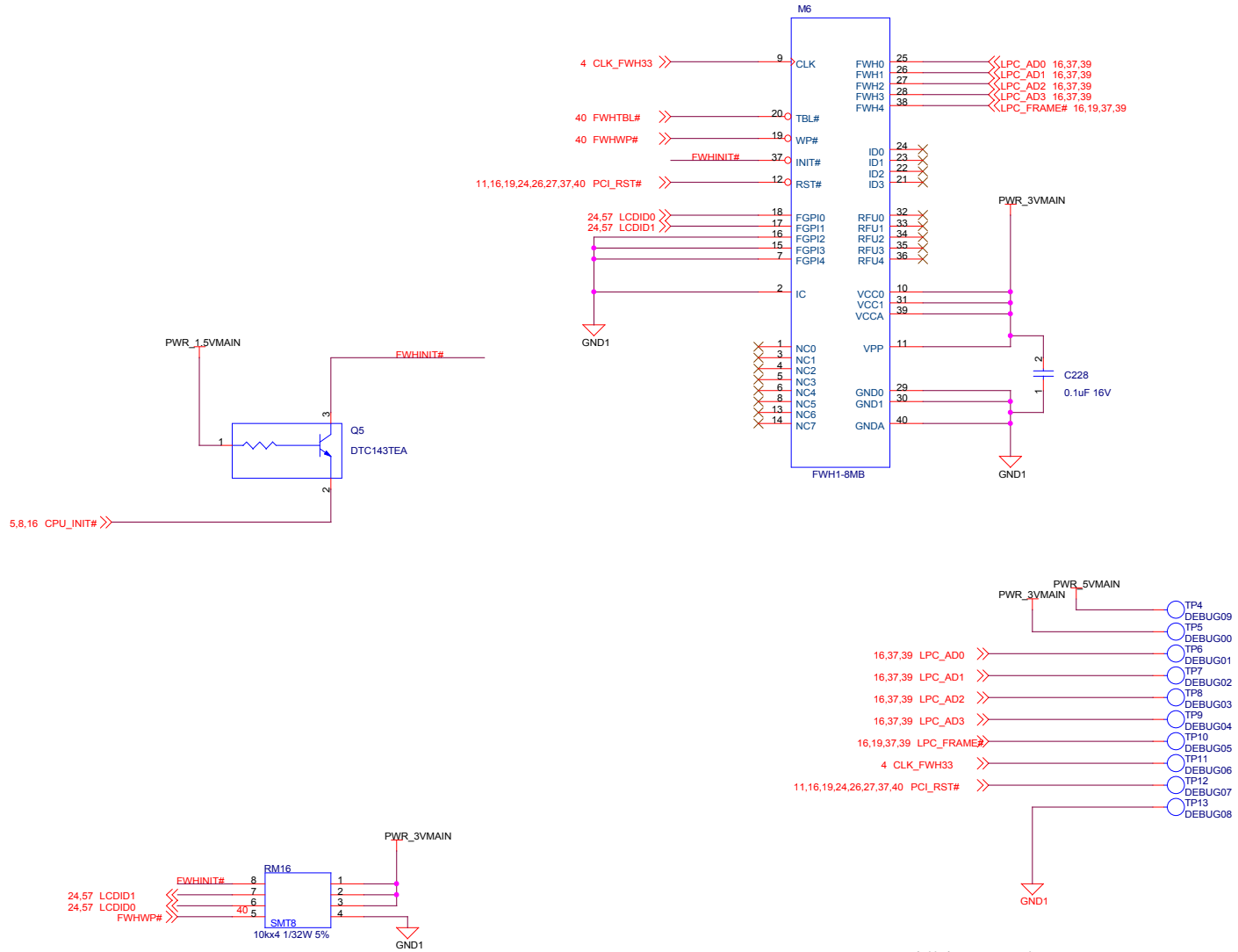
本枠内の部品は、ICH3-Mの近くに配置すること。

本ページの部品はM8(ICH3)の近くに配置すること。

枠内は自由にピンスワップ可

Pullup for AGP, PCI, LPC

TITLE							Rickwood Main Board	
DRAW. No.							CAST	
Description							C1CPxxxxx-X1	
Rev.	DATE	Design	Appr.	Check	Yoshida	Appr.	Aoki	SHEET
Design	2001.01.16	Komahara						19 / 82
FUJITSU LTD.							19 / 82	



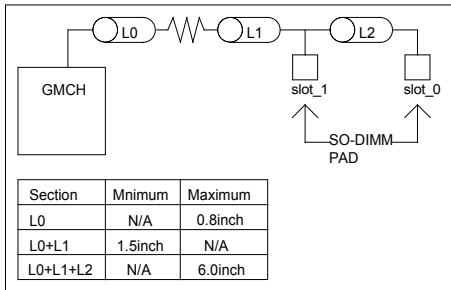
本枠内のTPIは一列に配置すること

本ページの部品はM10(FWH)の近くに配置すること。

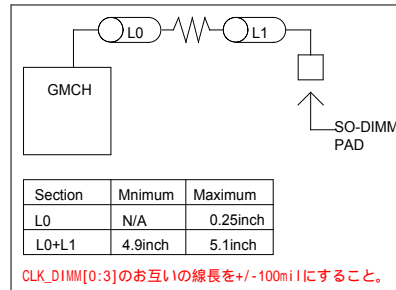
FWH (BIOS)

TITLE							Rickwood Main Board	
DRAW. No.							CAST	
Description							C1CPxxxxx-X1	
Rev.	DATE	Design	Appr.	Check	Yoshida	Appr.	Aoki	SHEET
Design	2001.01.16	Komahara						20 / 82
FUJITSU LTD.								

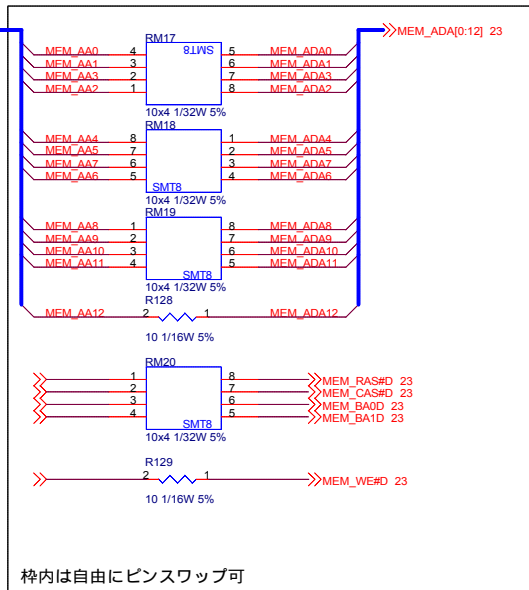
MEM_AA[0:12], MEM_RAS#, MEM_CAS#, MEM_WE#, MEM_BA[0:1]の配線条件



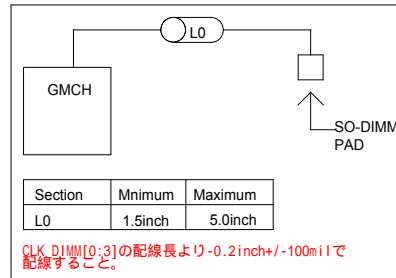
CLK_DIMM[0:3]の配線条件



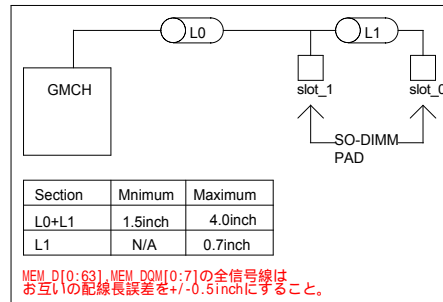
11 MEM_AA[0:12]



MEM_CS#[0:3], MEM_CKE[0:3]の配線条件

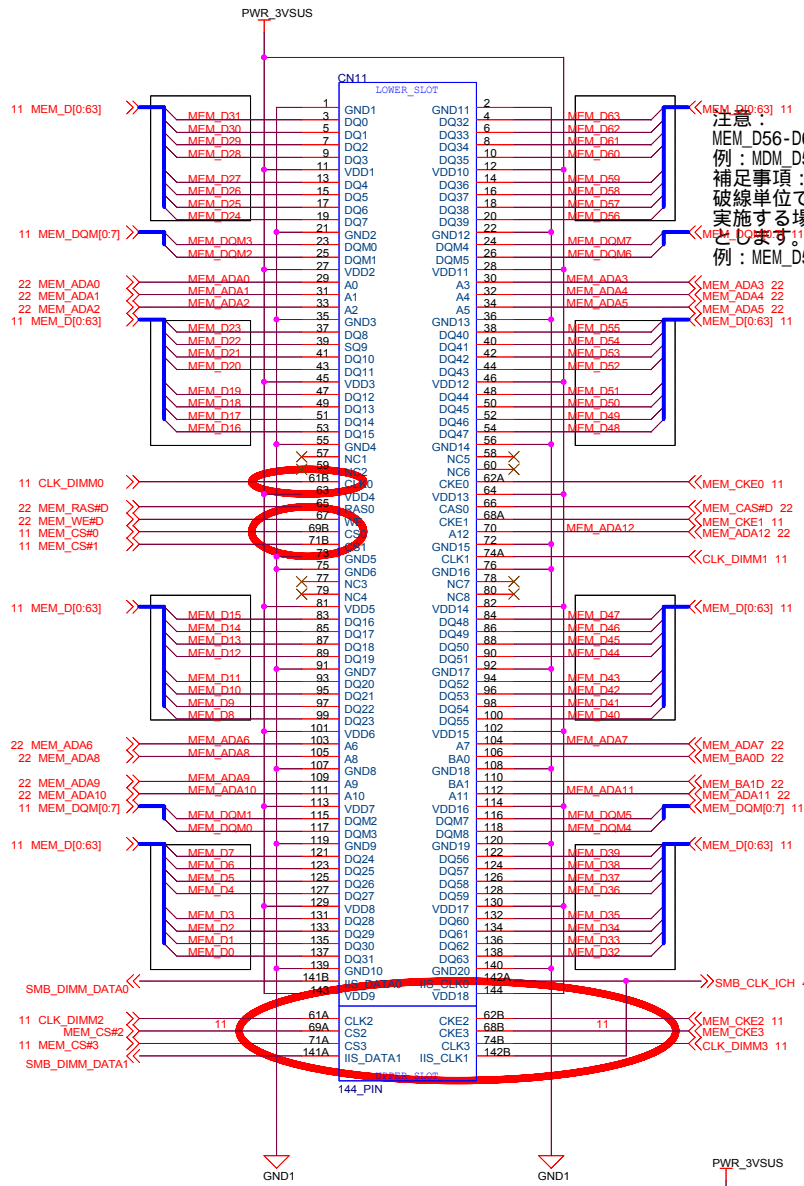


MEM_D[0:63], MEM_DQM[0:7]の配線条件



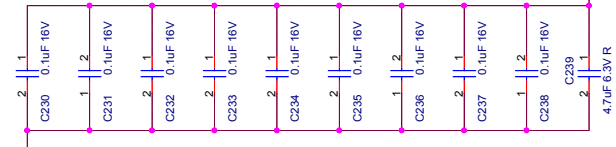
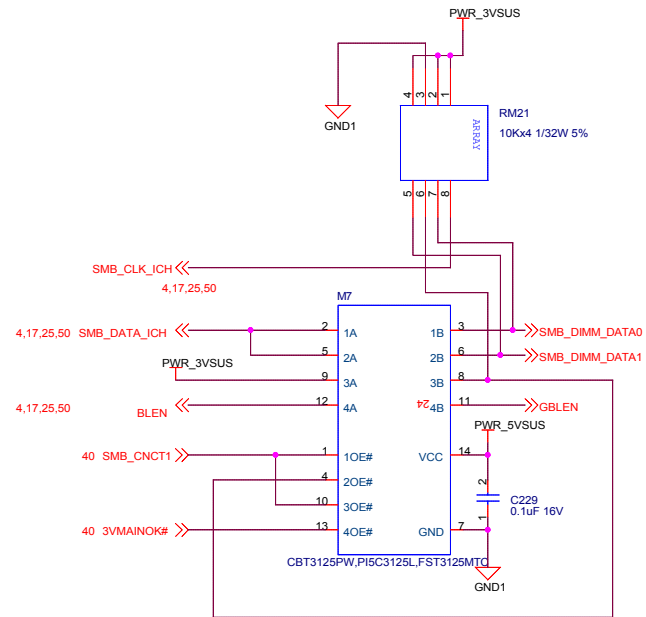
SDRAM Dumping System Memory Design Guideline

								TITLE	
								Rickwood Main Board	
								DRAW. No.	
								C1CPxxxxxx-X1	
								CAST	
Rev.	DATE	Design	Appr.	Description				SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	FUJITSU LTD.		
								22 / 82	



注意：
MEM_D56-D63等、各破線グループ内であれば自由にピンスワップが可能。
例：MDM_D56、MDM_D53をスワップ

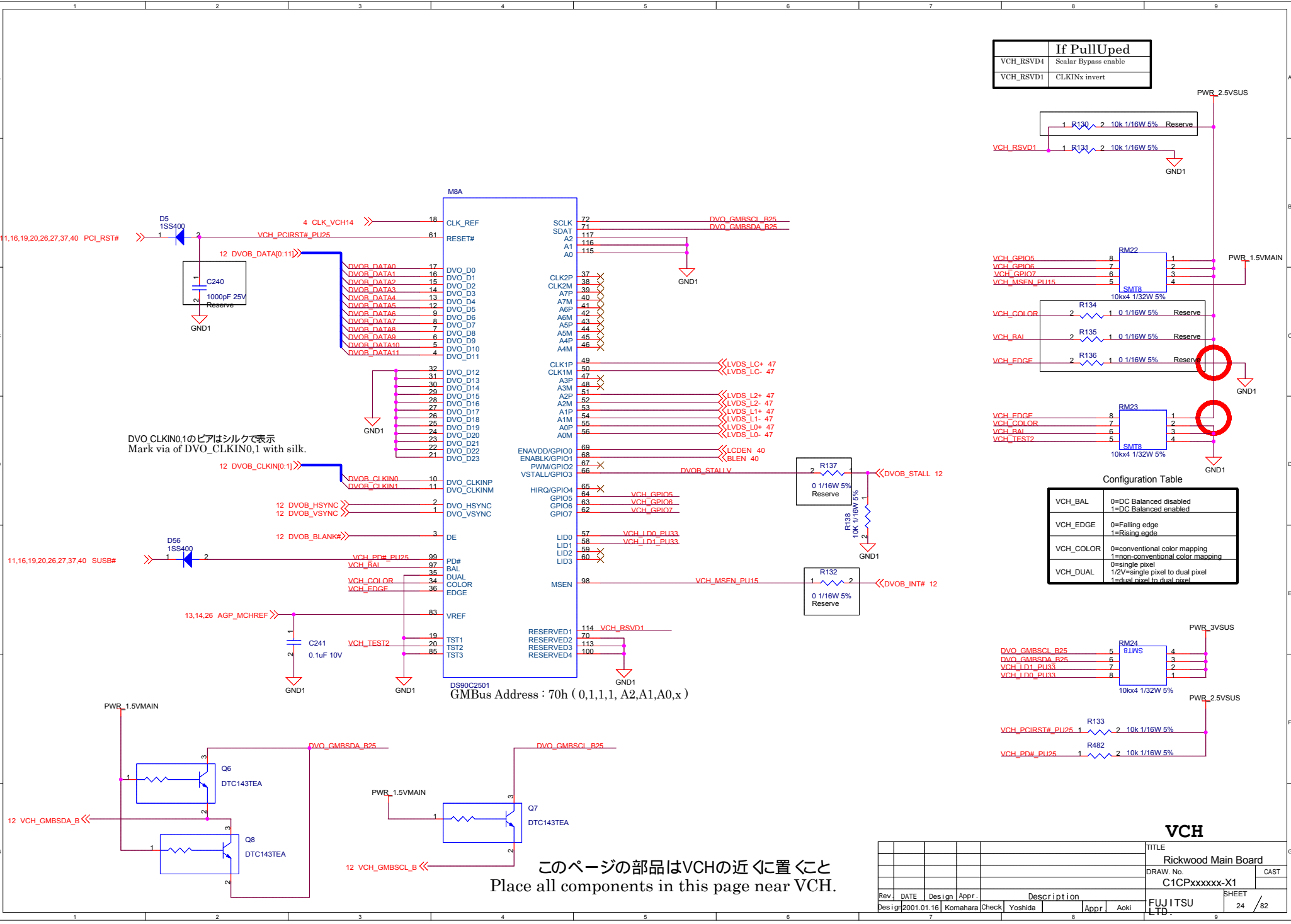
補足事項：
破線単位での他信号を含めたスワップについても可能ではあるが
実施する場合は、ネットの一時戻しorCADからの再生成を条件
とします！！
例：MEM_D56-D63とMEM_D48、D55をグループ単位で丸々スワップ



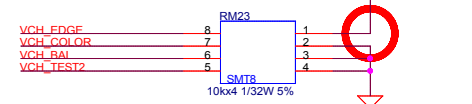
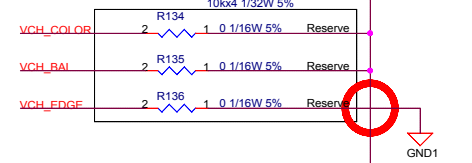
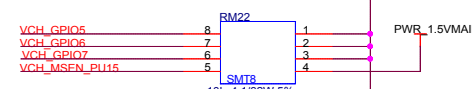
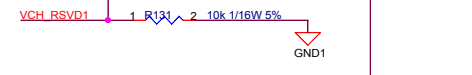
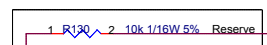
本コンデンサは、コネクタの電源PINの近傍に配置すること。
コンデンサは、0.1uFを優先的に各電源ピンの近くに配置すること。

DIMM CN

TITLE				Rickwood Main Board	
DRAW. No.				C1CPxxxxxx-X1	
Description				FUJITSU	
Rev.	DATE	Design	Appr.	Check	Yoshida
2001.01.16		Komahara		Appr.	Aoki
SHEET				23 / 82	
LTD.					

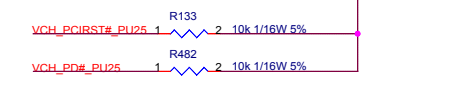
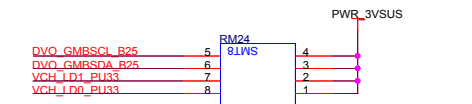


If PullUped	
VCH_RSVD1	Scalar Bypass enable
VCH_RSVD1	CLKINx invert



Configuration Table

Parameter	Value
VCH_BAL	0=DC Balanced disabled 1=DC Balanced enabled
VCH_EDGE	0=Falling edge 1=Rising edge
VCH_COLOR	0=conventional color mapping 1=non-conventional color mapping
VCH_DUAL	0=single pixel 1/2=single pixel to dual pixel 1=dual pixel to dual pixel



VCH

Rev.	DATE	Design	Appr.	Description	TITLE
Design	2001.01.16	Komahara	Check	Yoshida	Rickwood Main Board
					DRAW. No. C1CPxxxxx-X1
					FUJITSU LTD.
					SHEET 24 / 82

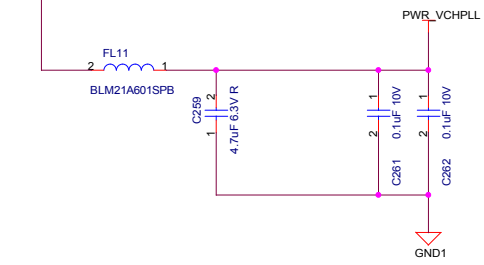
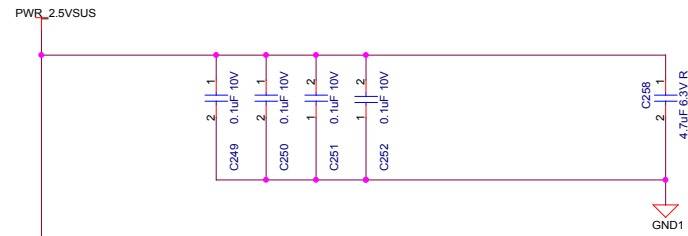
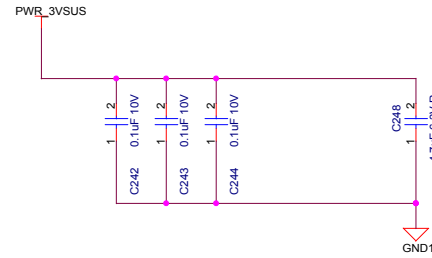
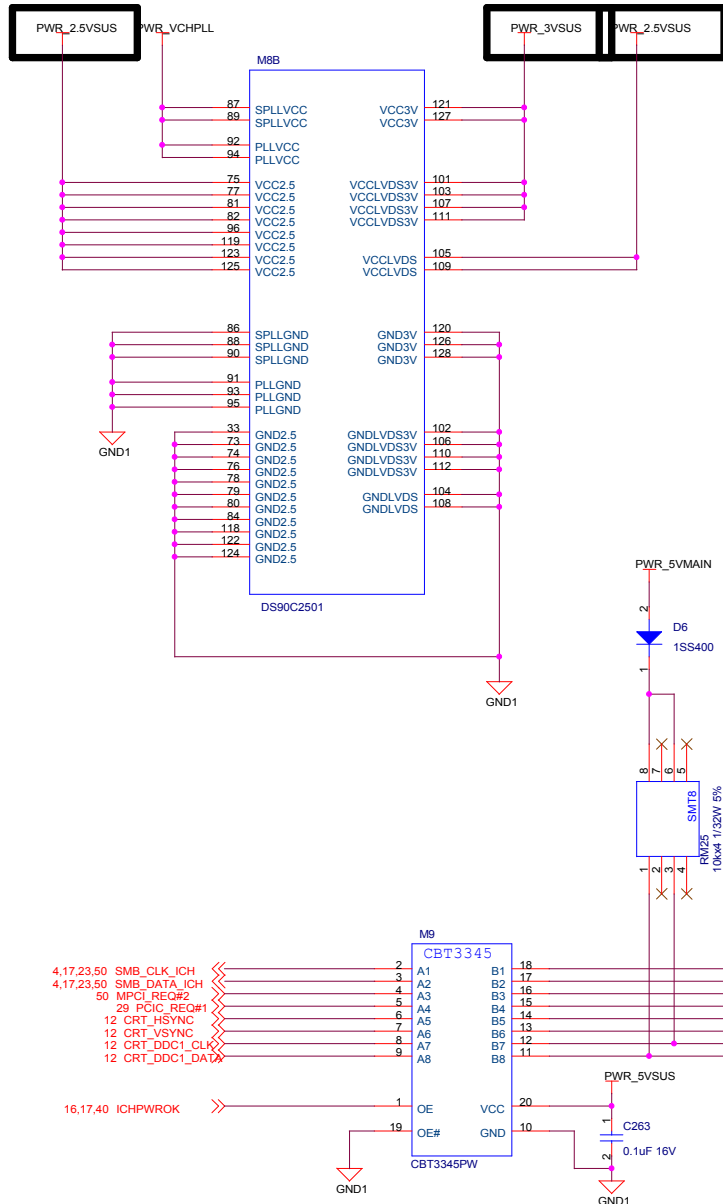
NOTE for LDO

Input: PWR_3VSUS

Output: PWR_VCH2.5/500mA (max)

Output cont1

下記コンデンサはVCHの各電源ピンの近くに1個ずつ配置のこと。
 4.7uFのコデンサは電源プレート接続位置付近に配置する。
 PWR_2.5VMIN - PWR_3VMIN間コンデンサは、Pin
 107-105間に最短距離で実装すること。



VCH

VGA-2

TITLE						Rickwood Main Board	
DRAW. No.						CAST	
Description						C1CPxxxxx-X1	
Rev.	DATE	Design	Appr.			SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	25 / 82
FUJITSU LTD.							

S-OUT無しモデルが発生するならば、空きピン処理等の検討が必要!!

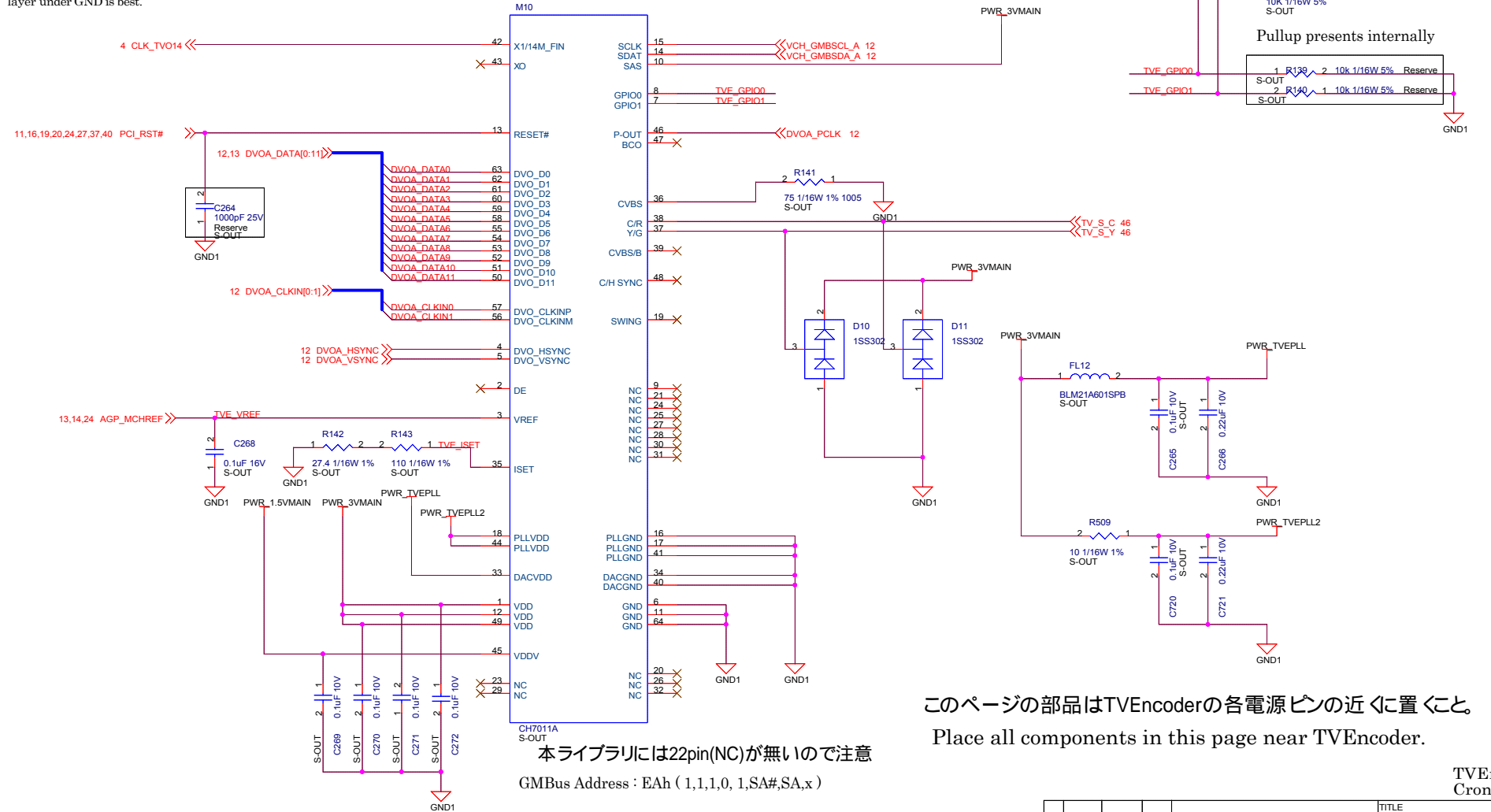
C1450はTVEncoderの近くに配置すること
Place C1450 near TVEncoder

振動子および周辺部品は、M165-42,43pin付近に配置、配線すること また、パターン下にバス等の高速な信号は走らせないと すべてのクロックは、内層を走らせることGND層の隣がベスト。

Place oscillator near M165-42,43 pins. Don't route high speed bus under oscillator. All clock lines should be routed in internal layer, layer under GND is best.

TV MODESEL

TVE_GPIO0	
Pullup	NTSC
Pulldown	PAL

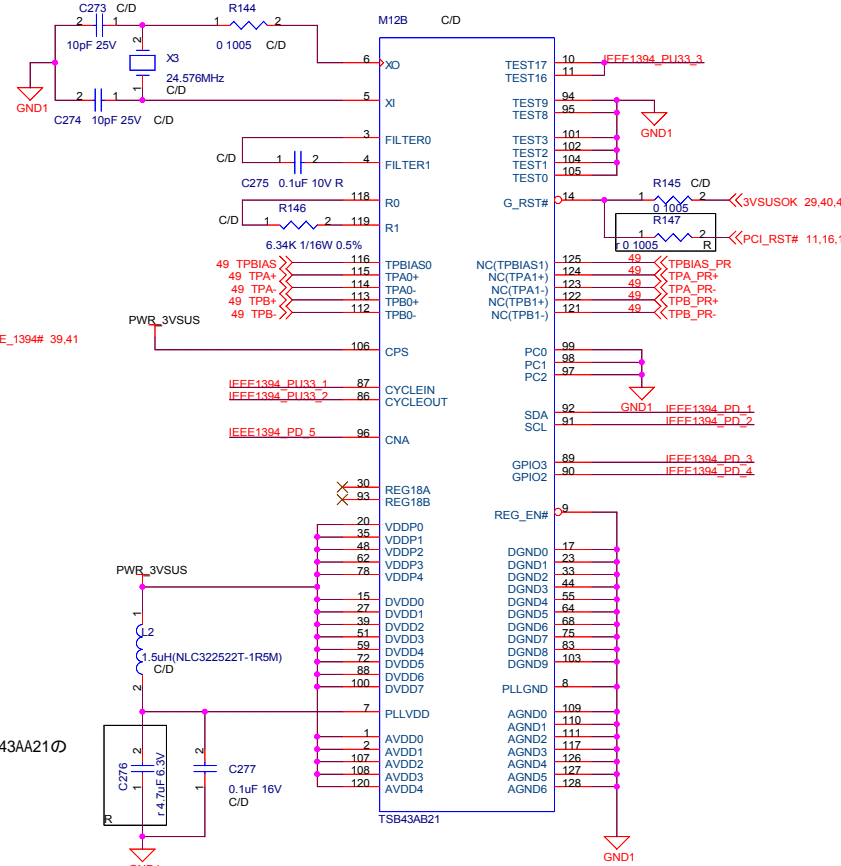
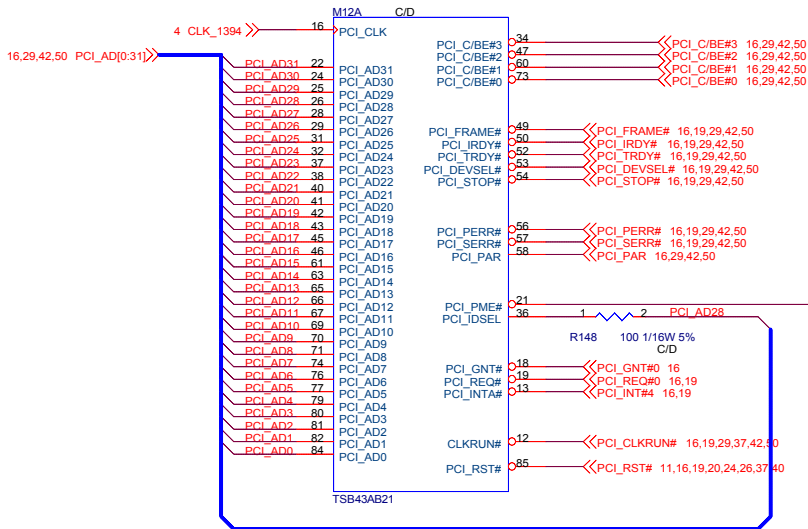


このページの部品はTVEncoderの各電源ピンの近くに置くこと
Place all components in this page near TVEncoder.

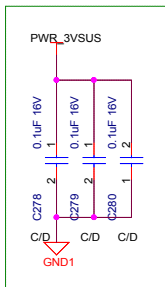
本ライブラリには22pin(NC)が無いので注意
GMBus Address : EAh (1,1,1,0, 1,SA#,SA,x)

TVEncoder
Crontel

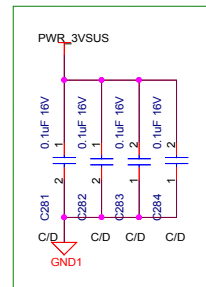
				TITLE		Rickwood Main Board	
				DRAW. No.		C1CPxxxxx-X1	
				CAST			
Rev.	DATE	Design	Appr.	Description		FUJITSU	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	SHEET 26 / 82
				LTD.			



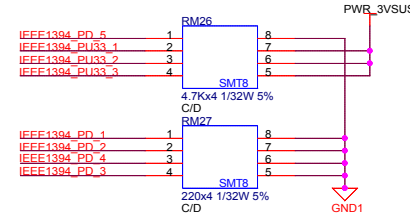
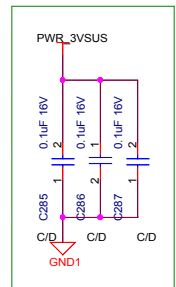
下記のコンデンサはTSB43AA21の VDDPxピン近傍に配置



下記のコンデンサはTSB43AA21の AVDDxピン近傍に配置

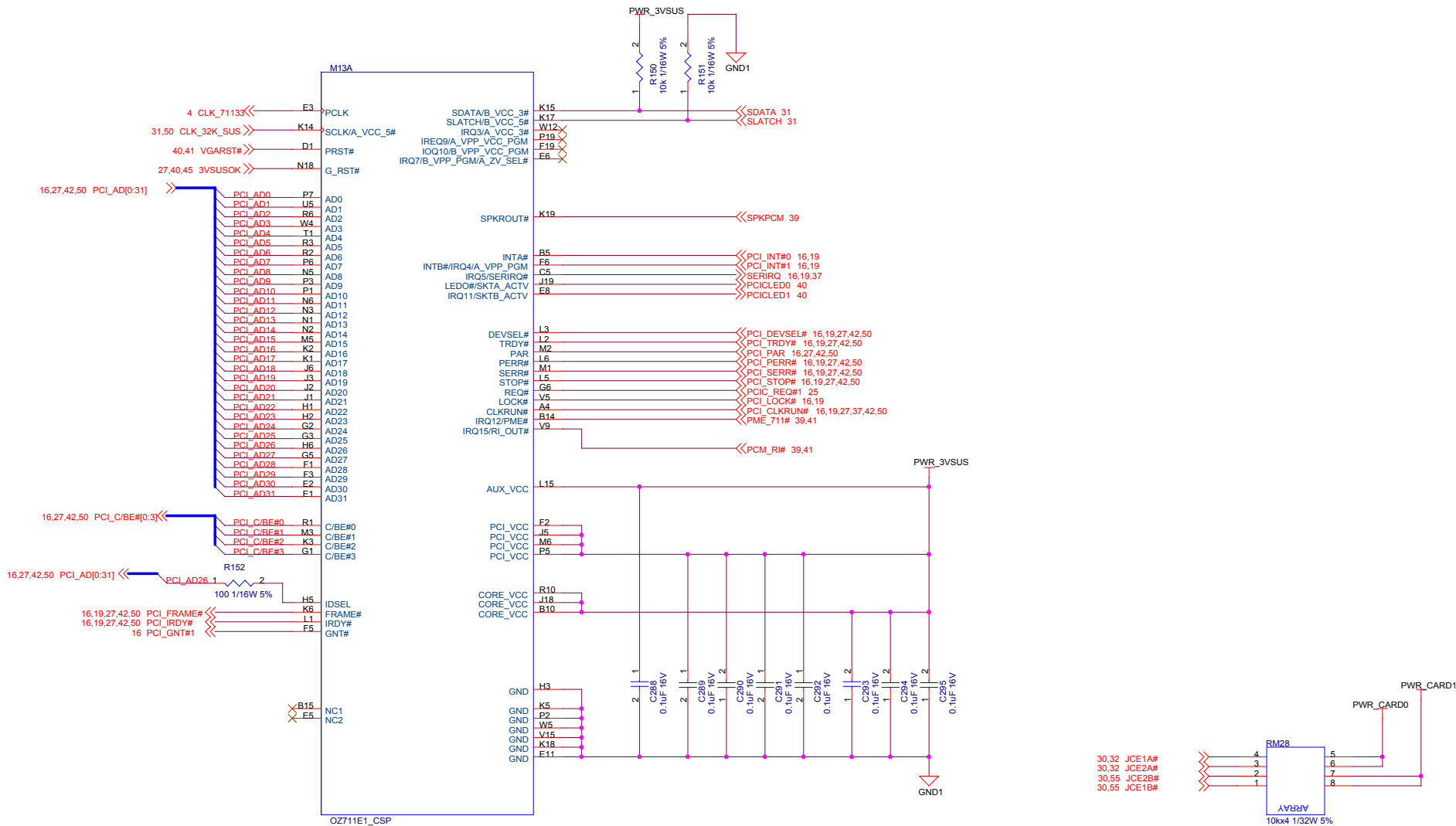


下記のコンデンサはTSB43AA21の DVDDxピン近傍に配置

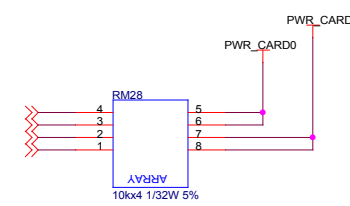


IEEE1394

							TITLE	
							Rickwood Main Board	
							DRAW. No.	
							C1CPxxxxx-X1	
							CAST	
Rev.	DATE	Design	Appr.	Description			Appr.	Aoki
Design	2001.01.16	Komahara	Check	Yoshida				FUJITSU LTD.
							SHEET	
							28 / 82	

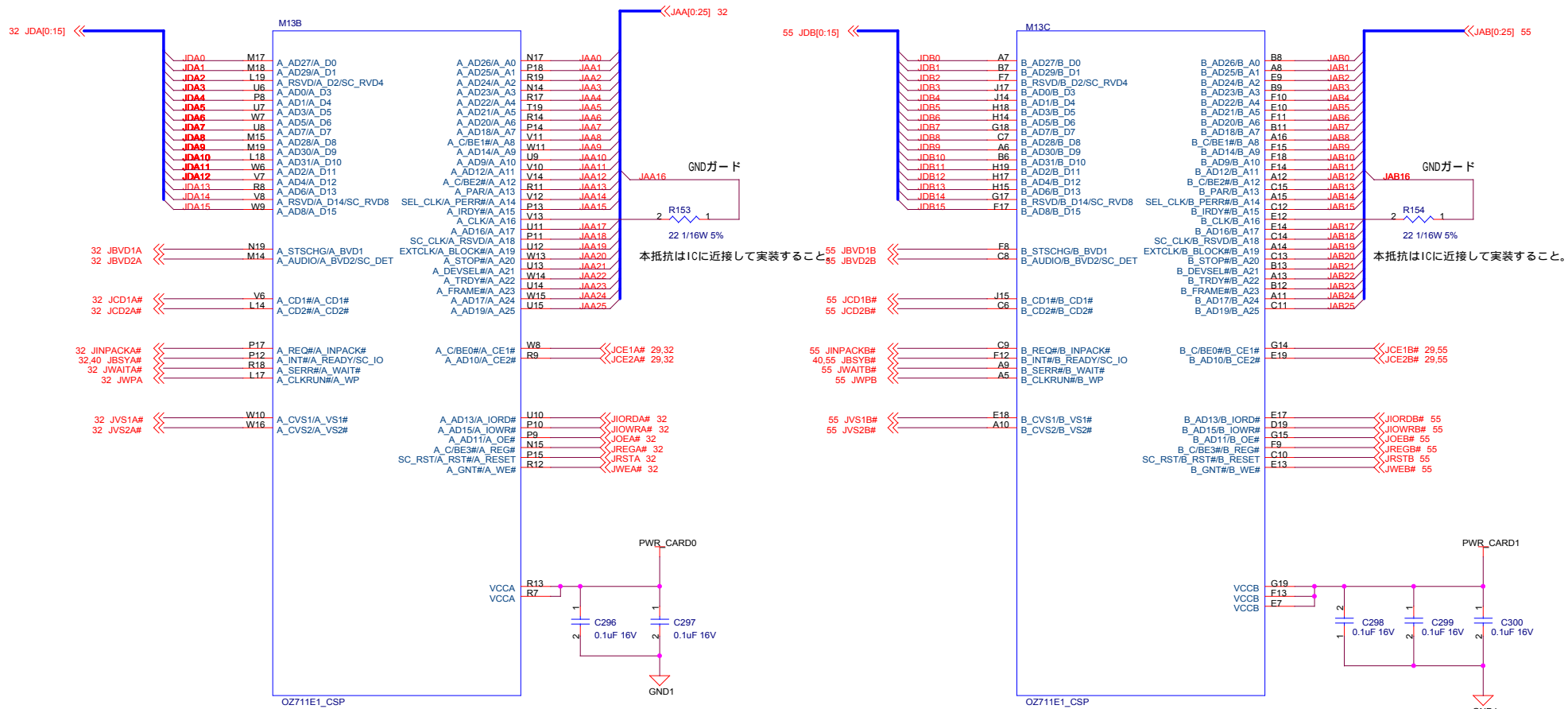


30.32 JCE1A#
 30.32 JCE2A#
 30.55 JCE2B#
 30.55 JCE1B#

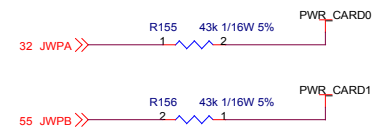


PCIC-1 [O2Micro-Tarzan]

TITLE						Rickwood Main Board	
DRAW. No.						CAST	
Description						C1CPxxxxx-X1	
Rev.	DATE	Design	Appr.	Check	Yoshida	Appr.	Aoki
Design	2001.01.16	Komahara					
FUJITSU LTD.						SHEET 30 / 82	

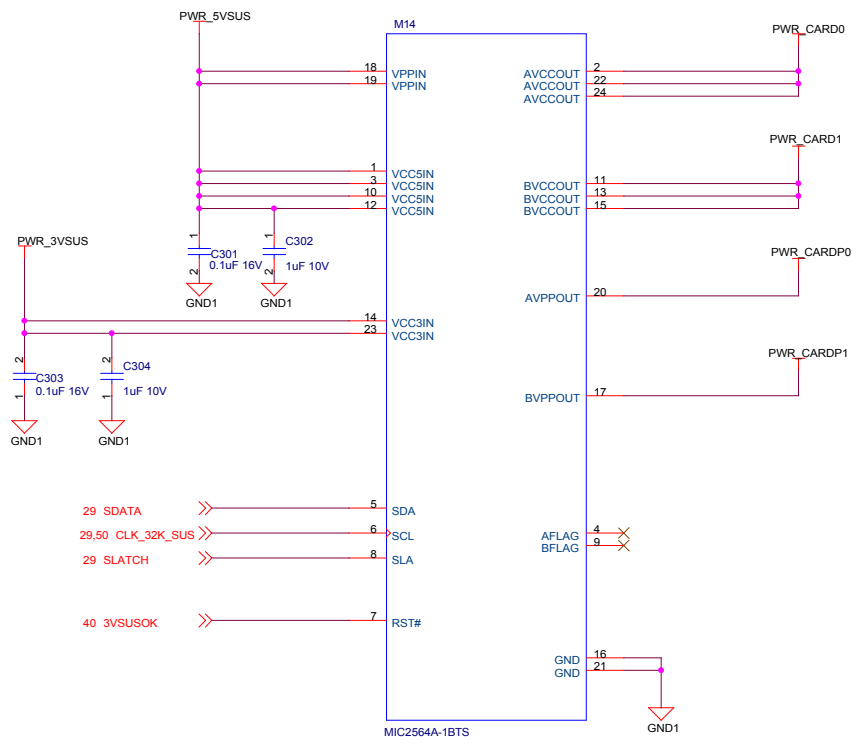


【注意】
 JAA16, JAB16はCardBus時クック信号になるのでGND1にてガードを行うこと。



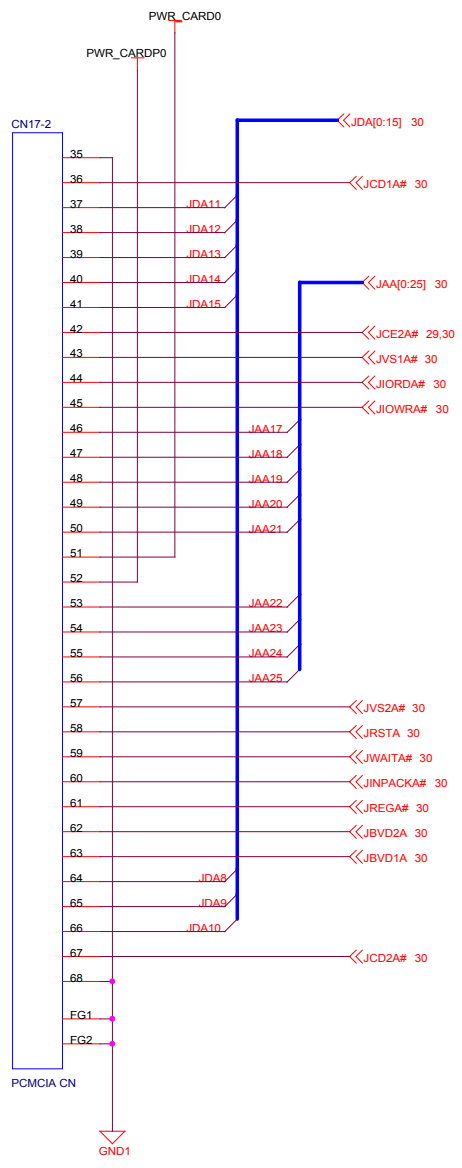
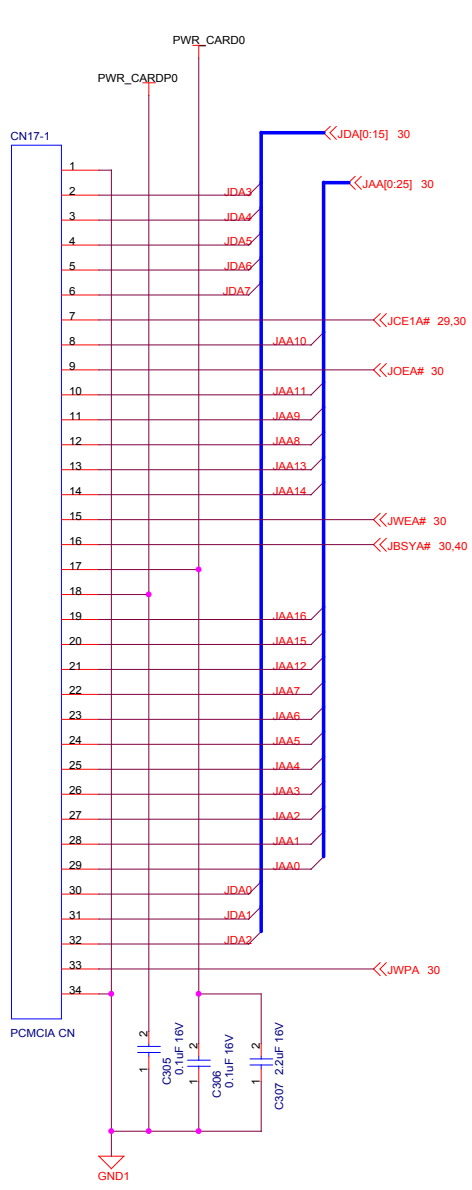
PCIC-2 [O2Micro-Tarzan]

TITLE		Rickwood Main Board	
DRAW. No.		C1CPxxxxx-X1	
Rev.		DATE	
Design	2001.01.16	Appr.	Komahara
Check	Yoshida	Description	
Appr.	Aoki	SHEET	31 / 82
FUJITSU LTD.			



PCIC POW

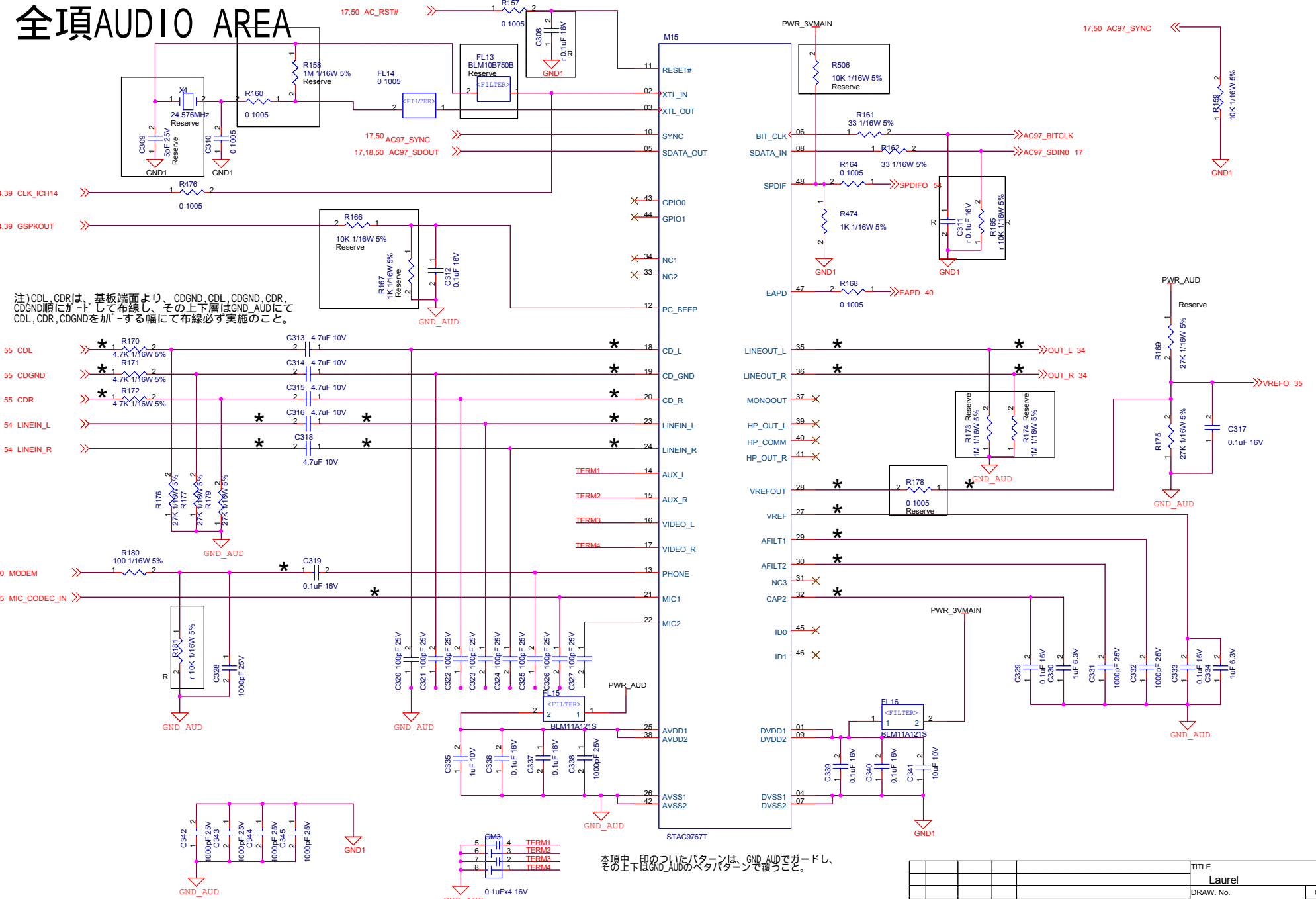
TITLE							Rickwood Main Board	
DRAW. No.							C1CPxxxxx-X1	
Rev.							CAST	
DATE	Design	Appr.	Description				SHEET	
2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	FUJITSU LTD.		
							32 / 82	



							TITLE	
							Rickwood Main Board	
							DRAW. No.	CAST
							C1CPxxxxx-X1	
Rev.	DATE	Design	Appr.	Description			SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	33	/ 82
							FUJITSU LTD.	

全項AUDIO AREA

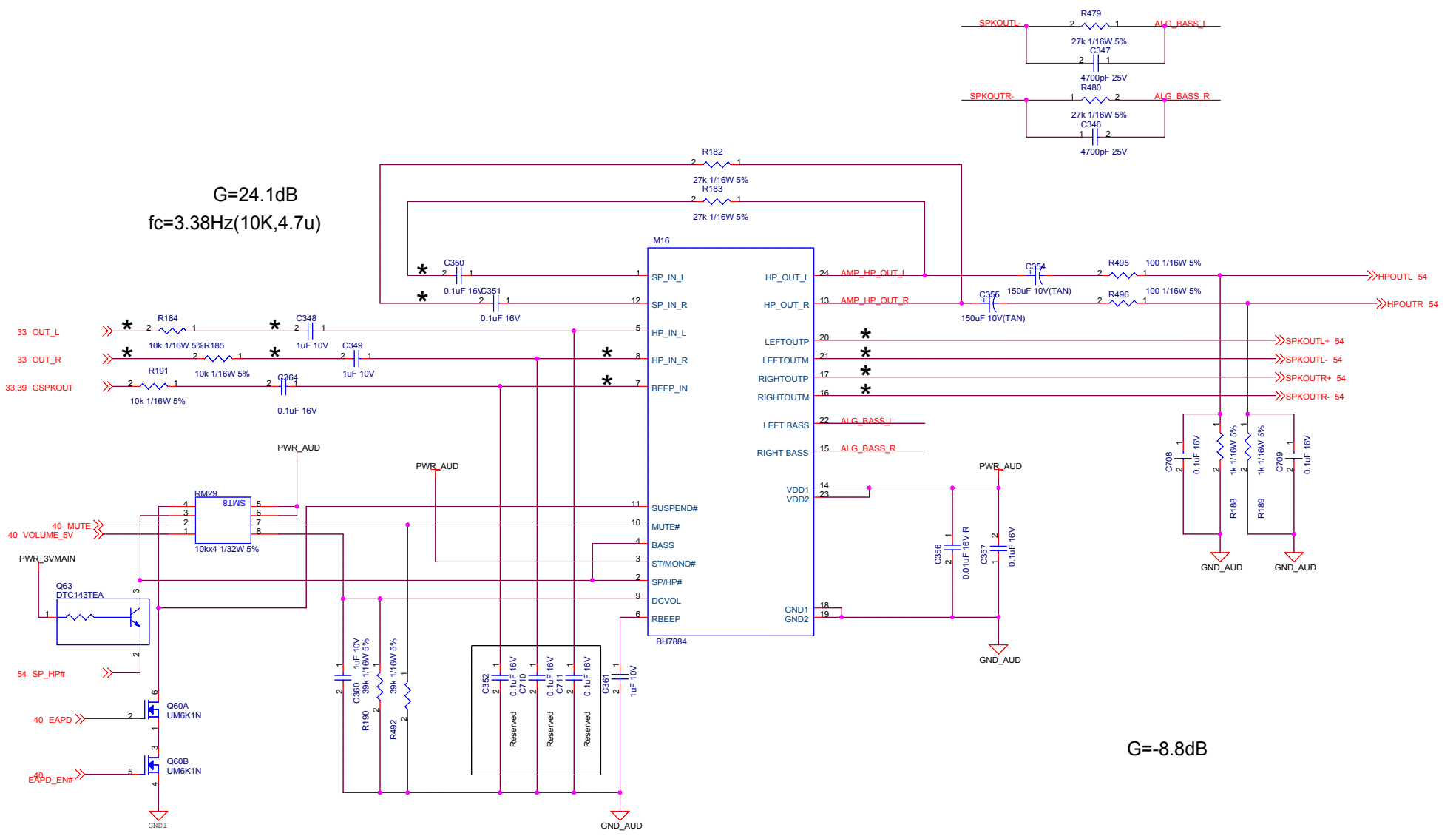
本項中 印のついたパターンは、AUDIOGNDでガードし、その上下はAUDIOGNDのベタパターンで覆うこと。



本項中 印のついたパターンは、GND_AUDでガードし、その上下はGND_AUDのベタパターンで覆うこと。

AC97CODEC

TITLE		Laurel	
DRAW. No.		C1CPxxxxx-X1	
Rev.	DATE	Design	Appr.
Design	2001.01.16	Komahara	Yoshida
Description		Appr.	Aoki
FUJITSU LTD.		SHEET 34 / 82	



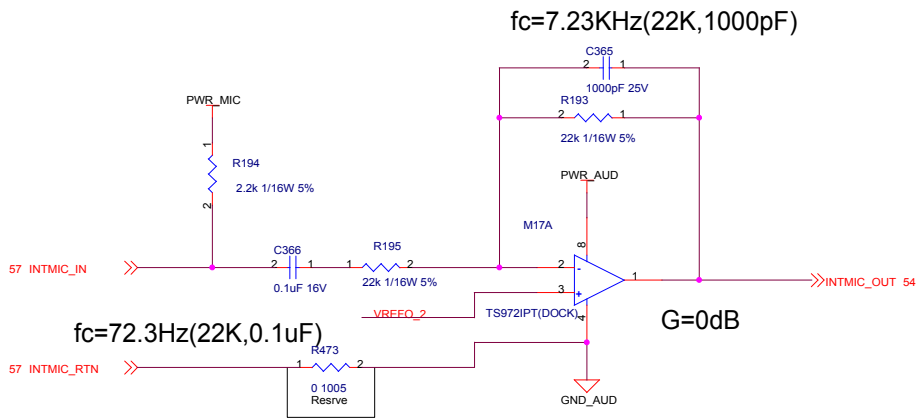
G=24.1dB
fc=3.38Hz(10K,4.7u)

G=-8.8dB

本IC下部は、GNDAUDベタとすること。

* 印はAnalog Lineのため、0.25mm以上の幅で配線し、極力GNDAUDでガード(上下層を含む)すること。

Rev.	DATE	Design	Appr.	Check	Yoshida	Description	TITLE
2001.01.16		Komahara					Laurel
FUJITSU LTD.							C1CPxxxxx-X1
SHEET 35 / 82							CAST

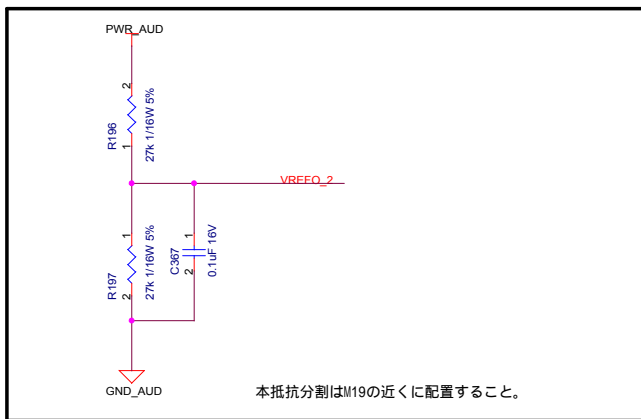


$f_c = 7.23\text{KHz} (22\text{K}, 1000\text{pF})$

$f_c = 72.3\text{Hz} (22\text{K}, 0.1\mu\text{F})$

$G = 0\text{dB}$

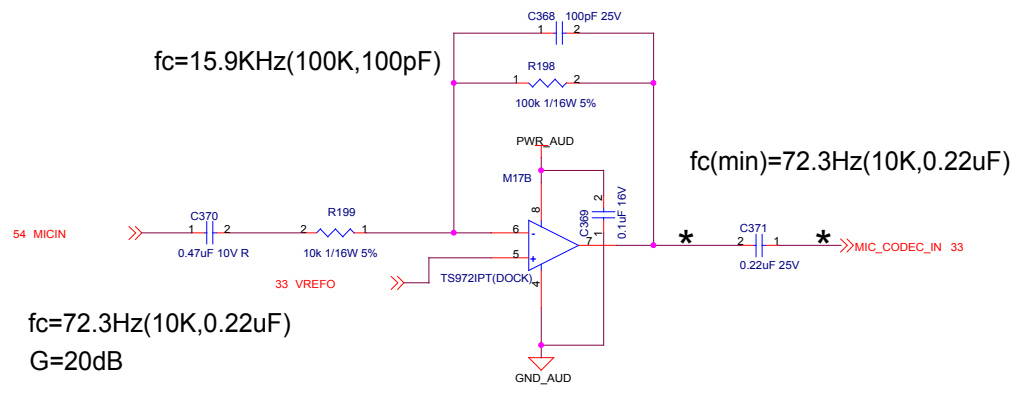
パターン接続指定 (エディタ)



本抵抗分割はM19の近くに配置すること。

* 印はAnalog Lineのため、0.25mm以上の幅で配線し、極力GND/AUDでガード(上下層を含む)すること。

印は微小なAnalog Lineのため、0.25mm以上の幅で配線し、GND/AUDでガード(上下層を含む)すること。



$f_c = 15.9\text{KHz} (100\text{K}, 100\text{pF})$

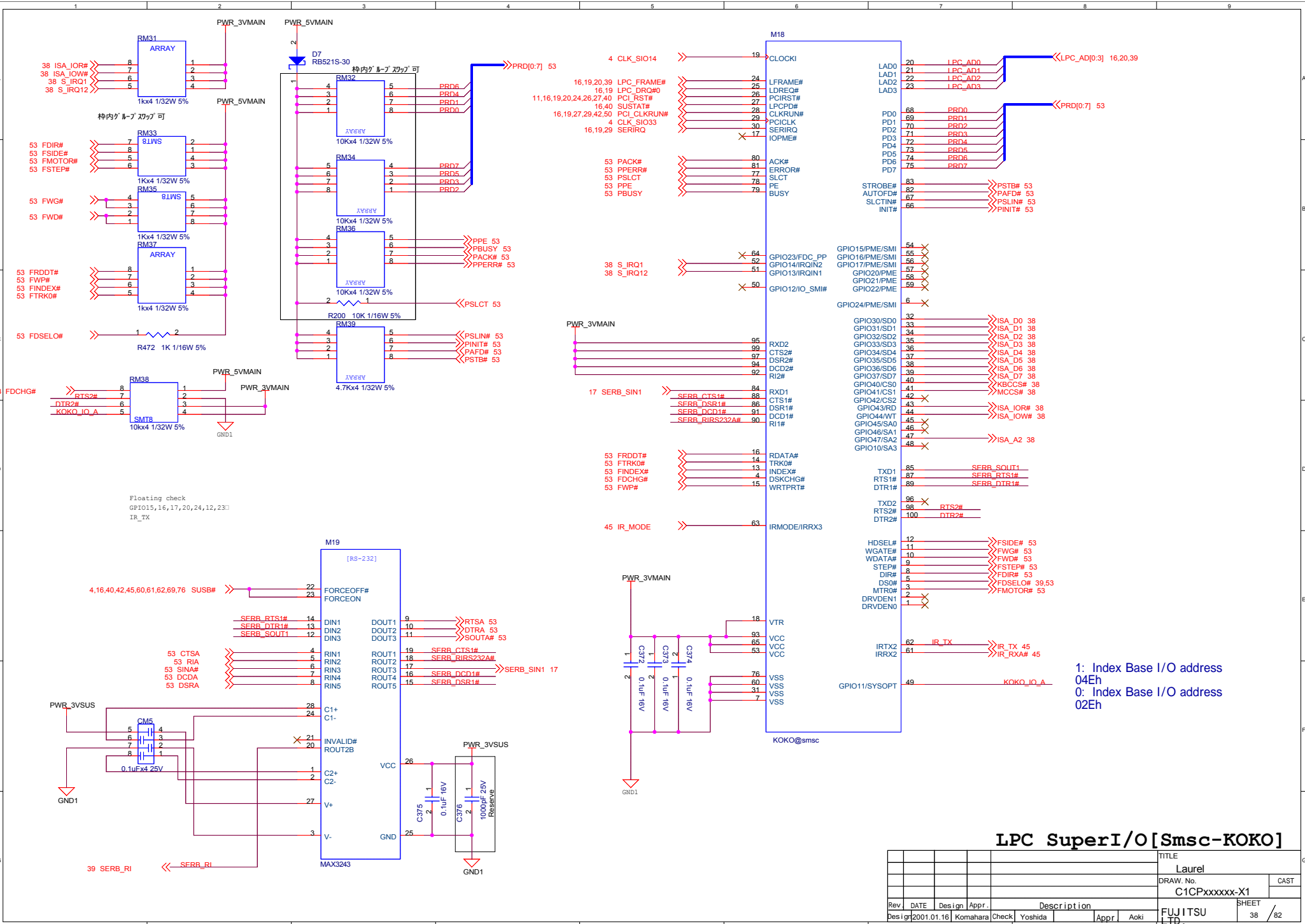
$f_c(\text{min}) = 72.3\text{Hz} (10\text{K}, 0.22\mu\text{F})$

$f_c = 72.3\text{Hz} (10\text{K}, 0.22\mu\text{F})$

$G = 20\text{dB}$

MIC AMP

TITLE		Laurel	
DRAW. No.		C1CPxxxxxx-X1	
Rev.		DATE	
Design	2001.01.16	Appr.	Komahara
Check	Yoshida	Appr.	Aoki
Description		FUJITSU LTD.	
SHEET		36 / 82	



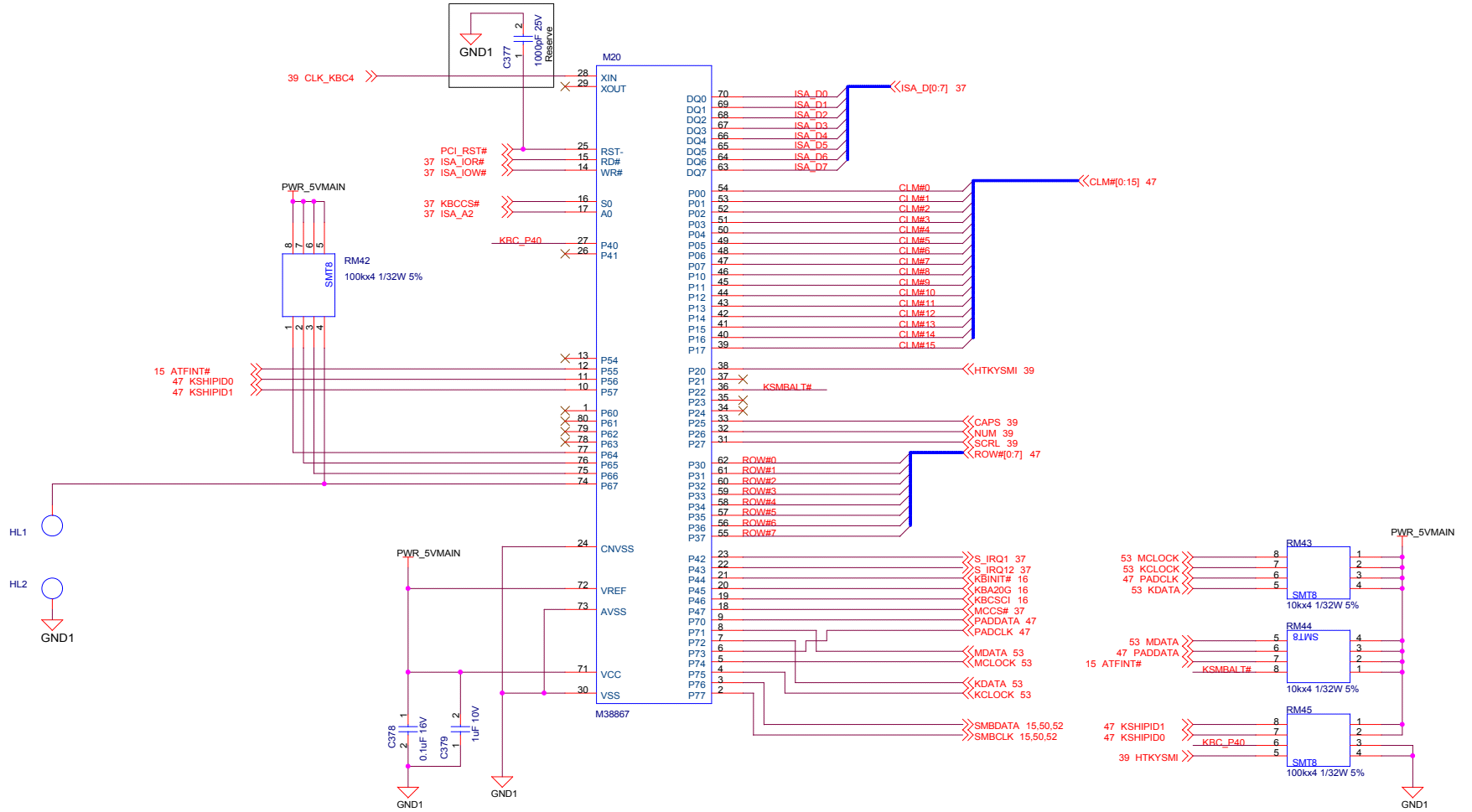
Floating check
GPIO15,16,17,20,24,12,23
IR_TX

1: Index Base I/O address
04Eh
0: Index Base I/O address
02Eh

LPC SuperI/O [Smsc-KOKO]

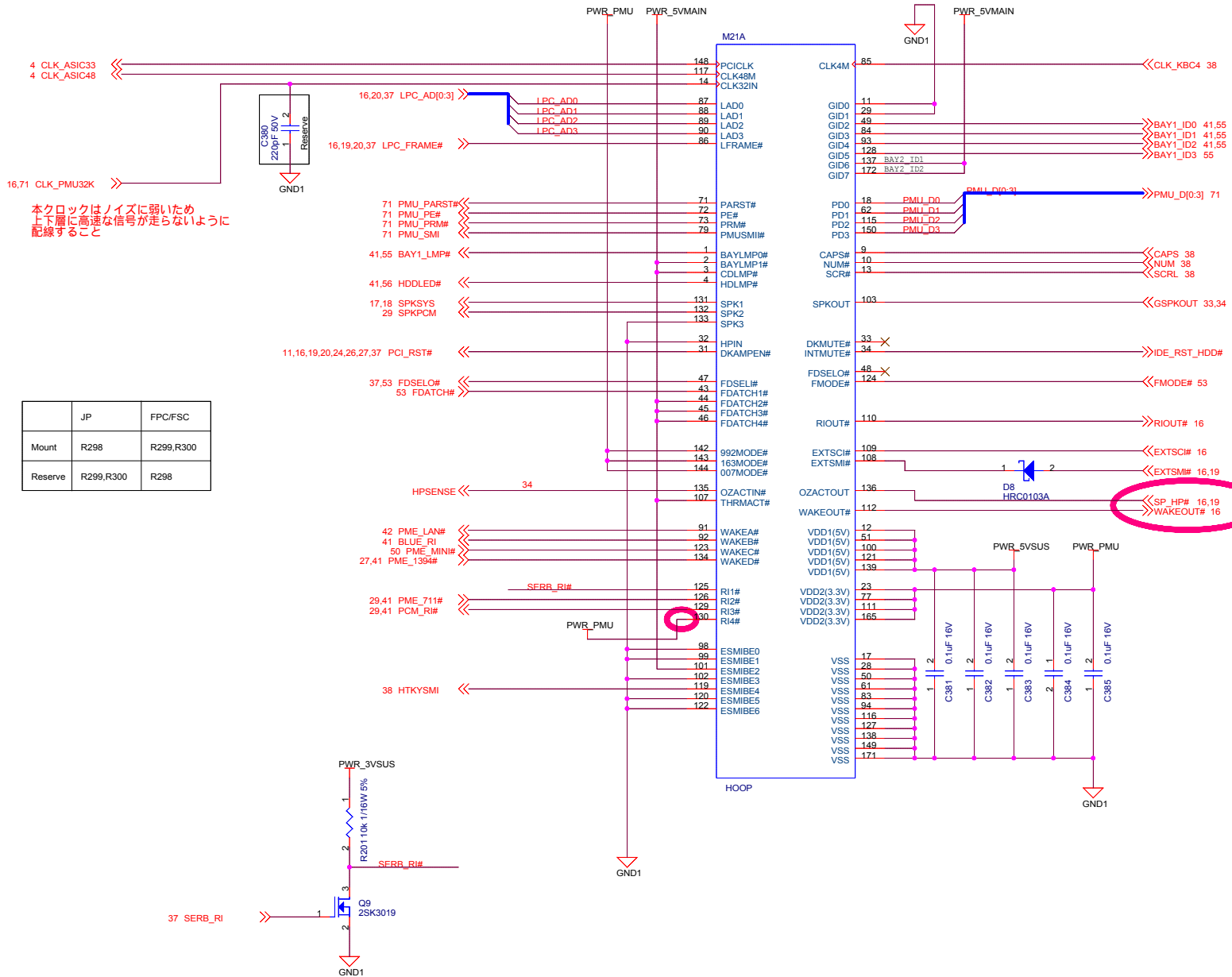
TITLE				Laurel	
DRAW. No.				C1CPxxxxx-X1	
Rev.				DATE	
Design				Appr.	
Description				Appr.	
Design				Appr.	
Date				2001.01.16	
Design				Appr.	
Check				Appr.	
Yoshida				Appr.	
Aoki				Appr.	
FUJITSU LTD.				SHEET 38 / 82	

2001.01.31
C458.1をCLK_KBC4->RSTDRV#に変更



KBC

						TITLE	
						Rickwood Main Board	
						DRAW. No.	
						C1CPxxxxx-X1	
						CAST	
Rev.	DATE	Design	Appr.	Description			
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	
						FUJITSU	
						LTD.	
						SHEET	
						39 / 82	



本クロックはノイズに弱いため
上下層に高速な信号が走らないように
配線すること

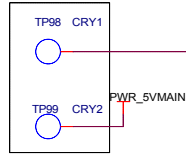
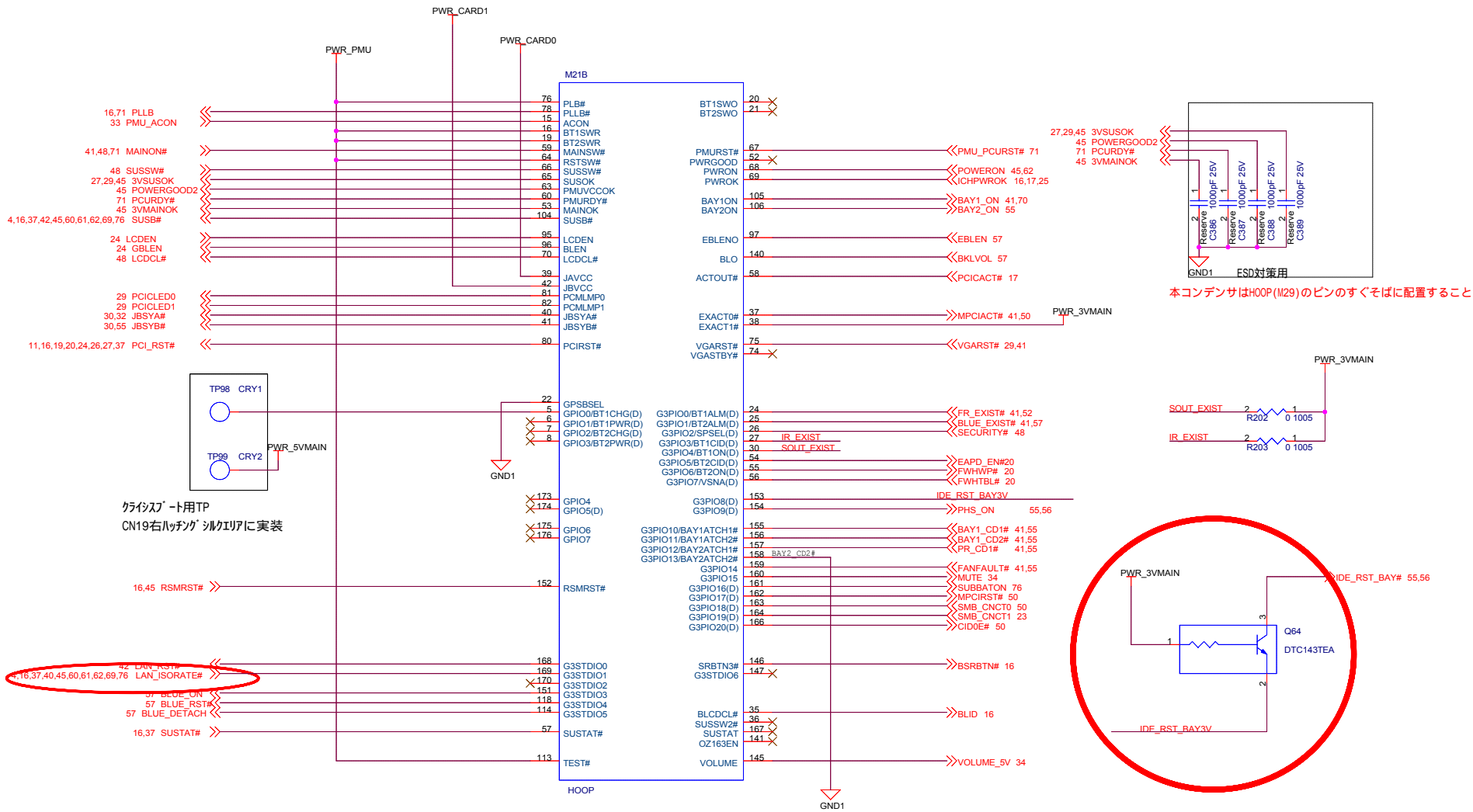
	JP	FPC/FSC
Mount	R298	R299,R300
Reserve	R299,R300	R298

D8 HRC0103A

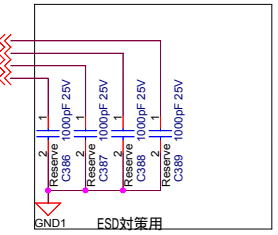
SP_HP# 16,19
WAKEOUT# 16

HOOP-1

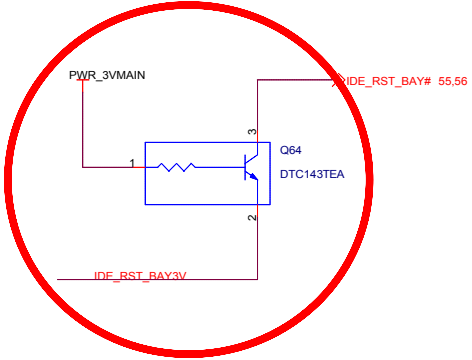
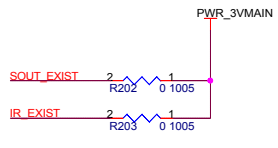
TITLE		Laurel	
DRAW. No.		C1CPxxxxx-X1	
Rev.		DATE	
Design	2001.01.16	Appr.	Komahara
Check	Yoshida	Appr.	Aoki
Description		FUJITSU LTD.	
SHEET		40 / 82	



クリスタル用TP
CN19右リッチングシムエリアに実装

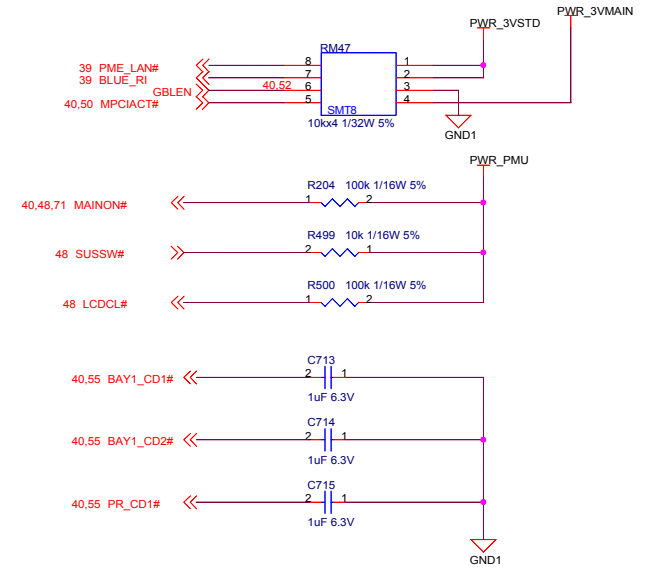
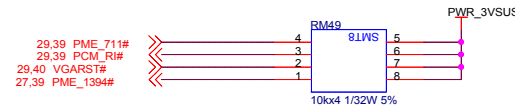
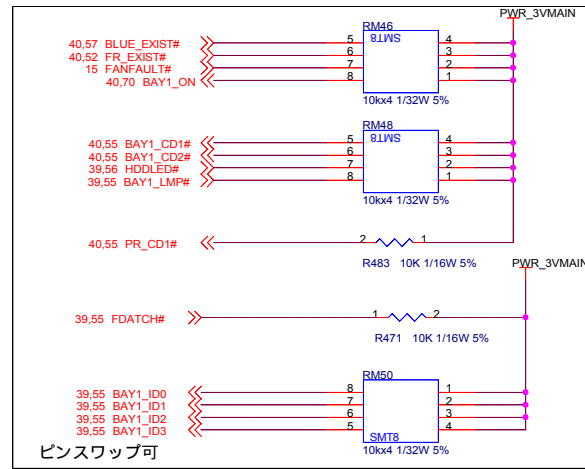


本コンデンサはHOOP(M29)のピンのすぐそばに配置すること

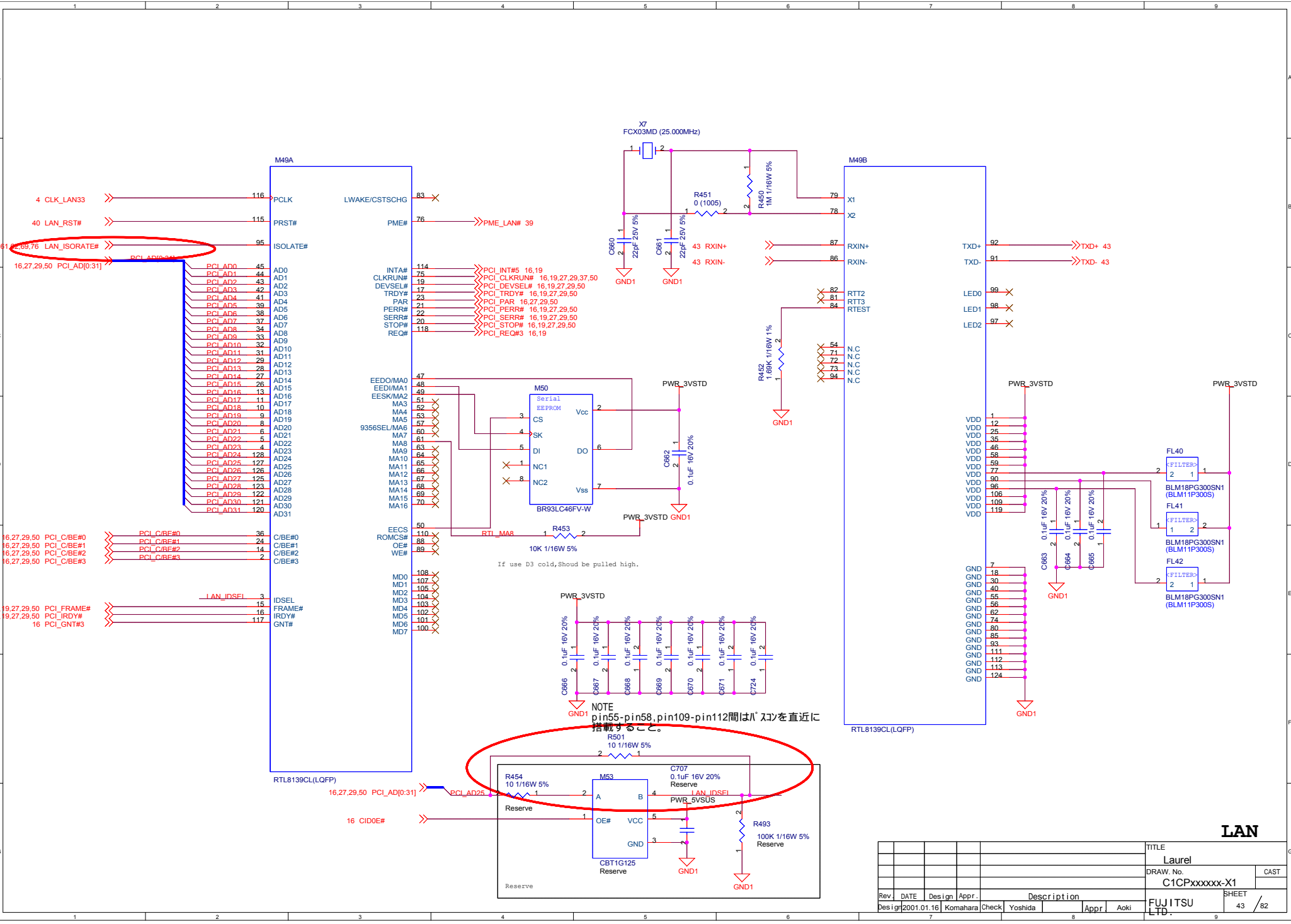


HOOP-2

								TITLE	
								Laurel	
								DRAW. No.	
								C1CPxxxxx-X1	
								CAST	
Rev.	DATE	Design	Appr.	Description				SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	FUJITSU LTD.		
								41 / 82	



							TITLE	
							Laurel	
							DRAW. No.	CAST
							C1CPxxxxx-X1	
Rev.	DATE	Design	Appr.	Description			SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	FUJITSU LTD.	
							42	/ 82



16,27,29,50 LAN_ISORATE#

16,27,29,50 PCI_CBE#0
 16,27,29,50 PCI_CBE#1
 16,27,29,50 PCI_CBE#2
 16,27,29,50 PCI_CBE#3

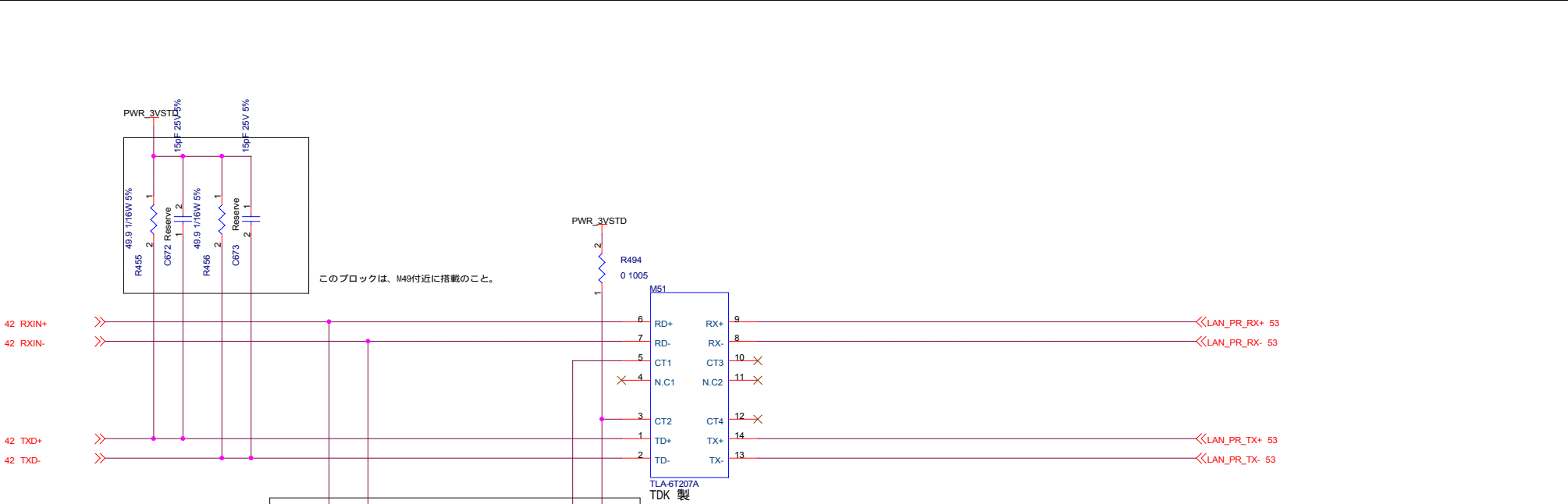
16,27,29,50 PCI_FRAME#
 16,27,29,50 PCI_IRDY#
 16 PCI_GNT#3

If use D3 cold, should be pulled high.

NOTE
 pin55-pin58, pin109-pin112間はハコを直近に
 搭載すること。

LAN

Rev.	DATE	Design	Appr.	Check	Yoshida	Description	Appr.	Aoki	TITLE	Laurel
Design	2001.01.16	Komahara							DRAW. No.	C1CPxxxxx-X1
									SHEET	43 / 82
									FUJITSU	LTD.



このブロックは、M49付近に搭載のこと。

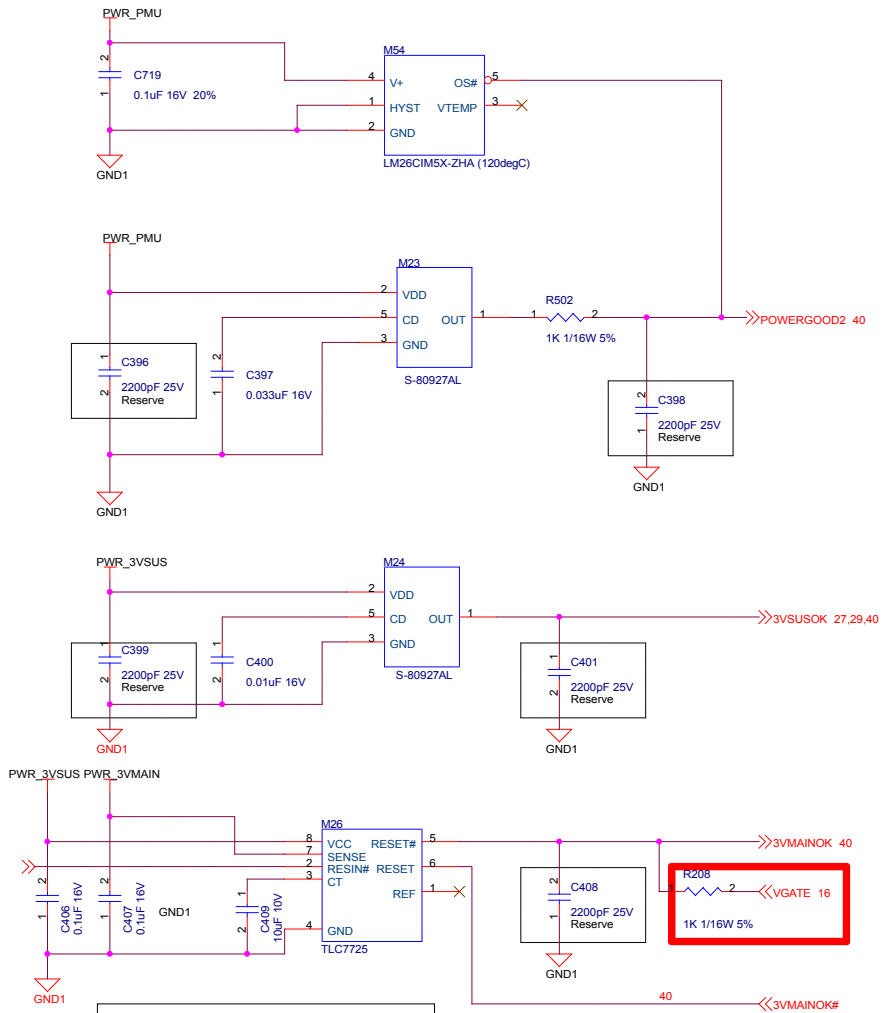
このブロックは、M51付近に搭載のこと。

TLA-6T207A
TDK 製

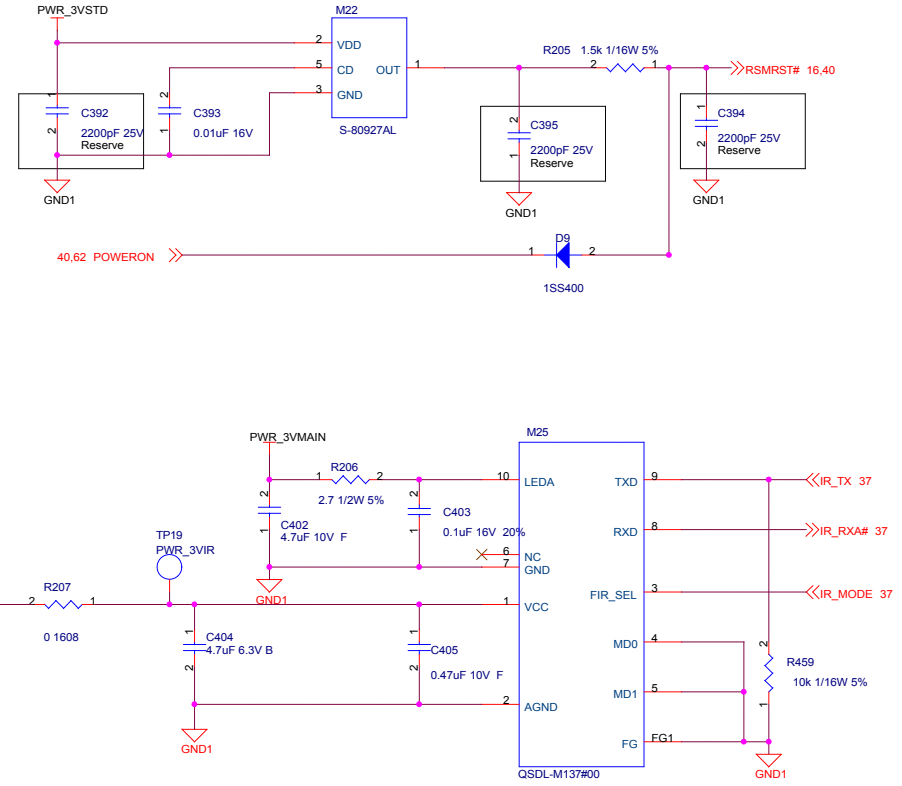
USB CN

							TITLE		Laurel	
							DRAW. No.		C1CPxxxxxx-X1	
							CAST			
Rev.	DATE	Design	Appr.	Description			FUJITSU		SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	LTD.		44 / 52	

本ページのReset ICは各電源の発生源の近傍に配置願います。

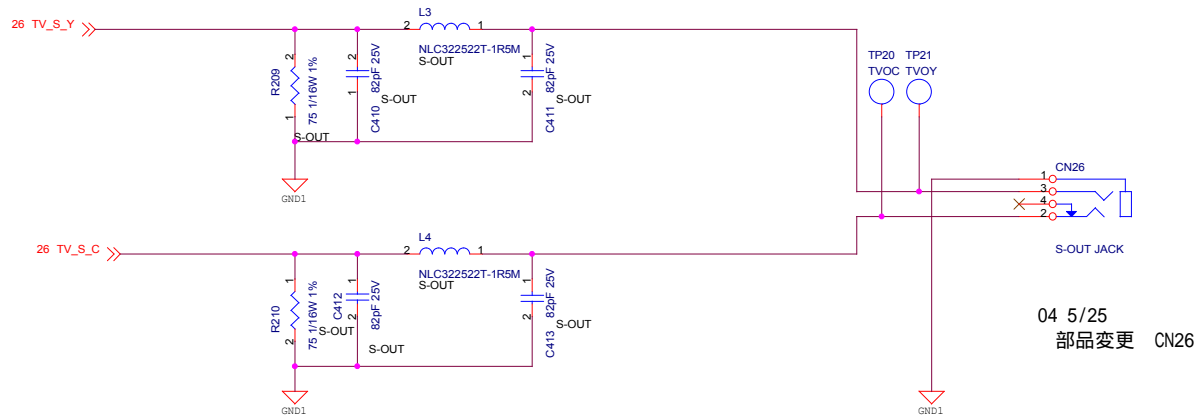


遅延ターゲット
 S-8094x:
 Example (0.1uF):
 $Td(ms) = 5.7 \times Cd(nF)$
 $= 5.7 \times 100 = 570(ms) = 0.57(s)$



RESET IC/SW

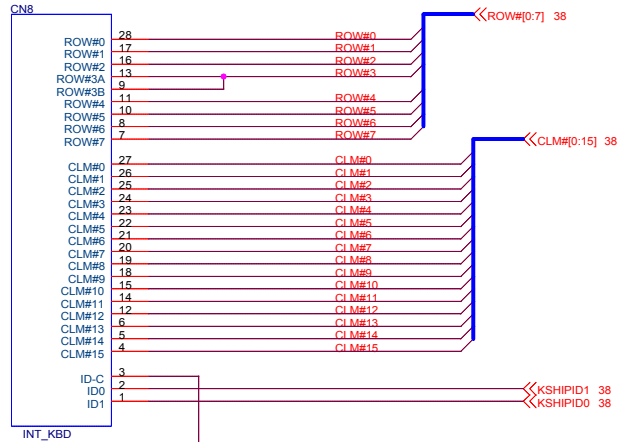
TITLE						Laurel	
DRAW. No.						CAST	
Rev.						C1CPxxxxx-X1	
DATE	Design	Appr.	Description			FUJITSU LTD.	
2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	SHEET 46 / 82	



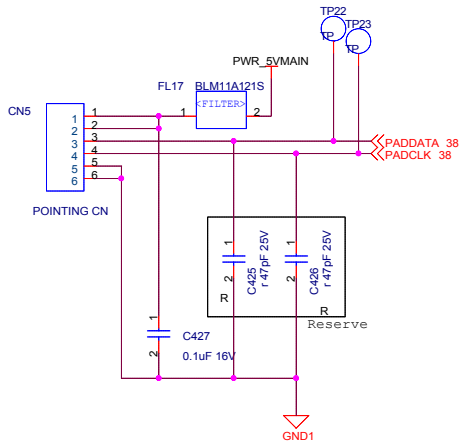
本コネクタはVGA chipの近傍に配置すること。

							TITLE	
							Laurel	
							DRAW. No.	
							C1CPxxxxx-X1	
							CAST	
Rev.	DATE	Design	Appr.	Description			SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	FUJITSU LTD.	
							47 / 82	

THYME Keyboard Connector

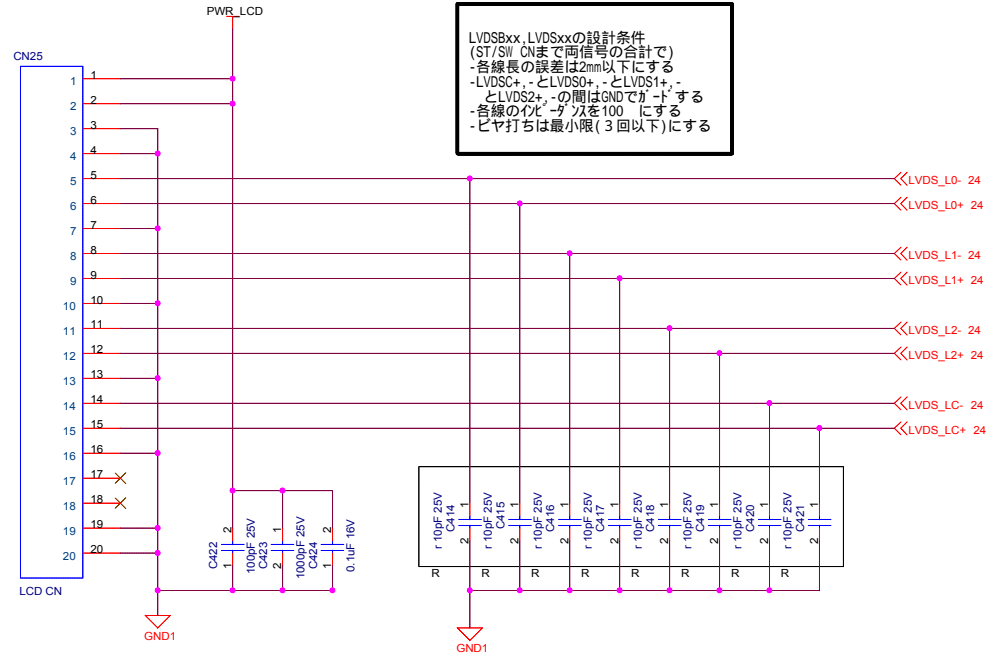


Keyboard Strap (N86C-7664-0203-E)
 ID1: ID0 (KBC Side)
 JP 0 0
 US 0 1
 UK 1 0



最優先に配線願います。

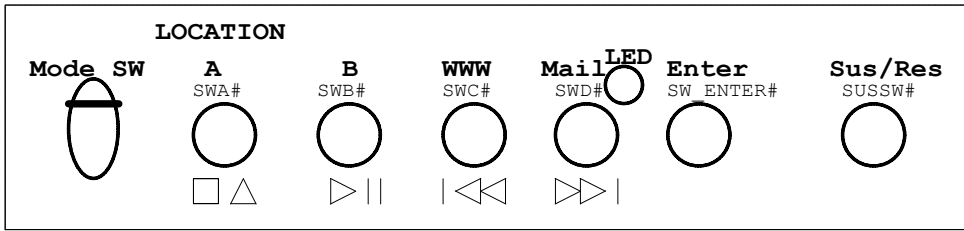
LVDSBxx, LVDSxxの設計条件
 (ST/SW CNまで両信号の合計で)
 -各線長の誤差は2mm以下にする
 -LVDS0+, -とLVDS0+, -とLVDS1+, -
 とLVDS2+, -の間はGNDでガードする
 -各線のインピーダンスを100にする
 -ビヤ打ちは最小限(3回以下)にする



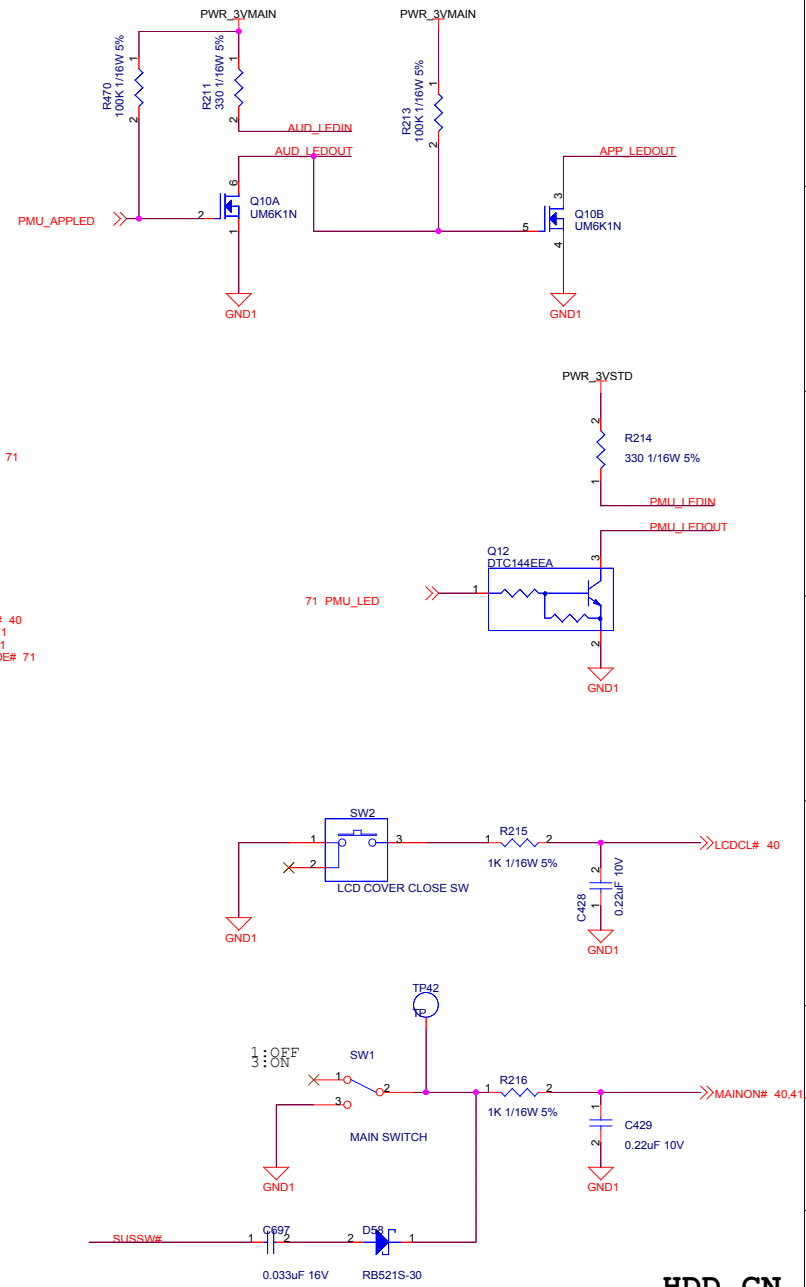
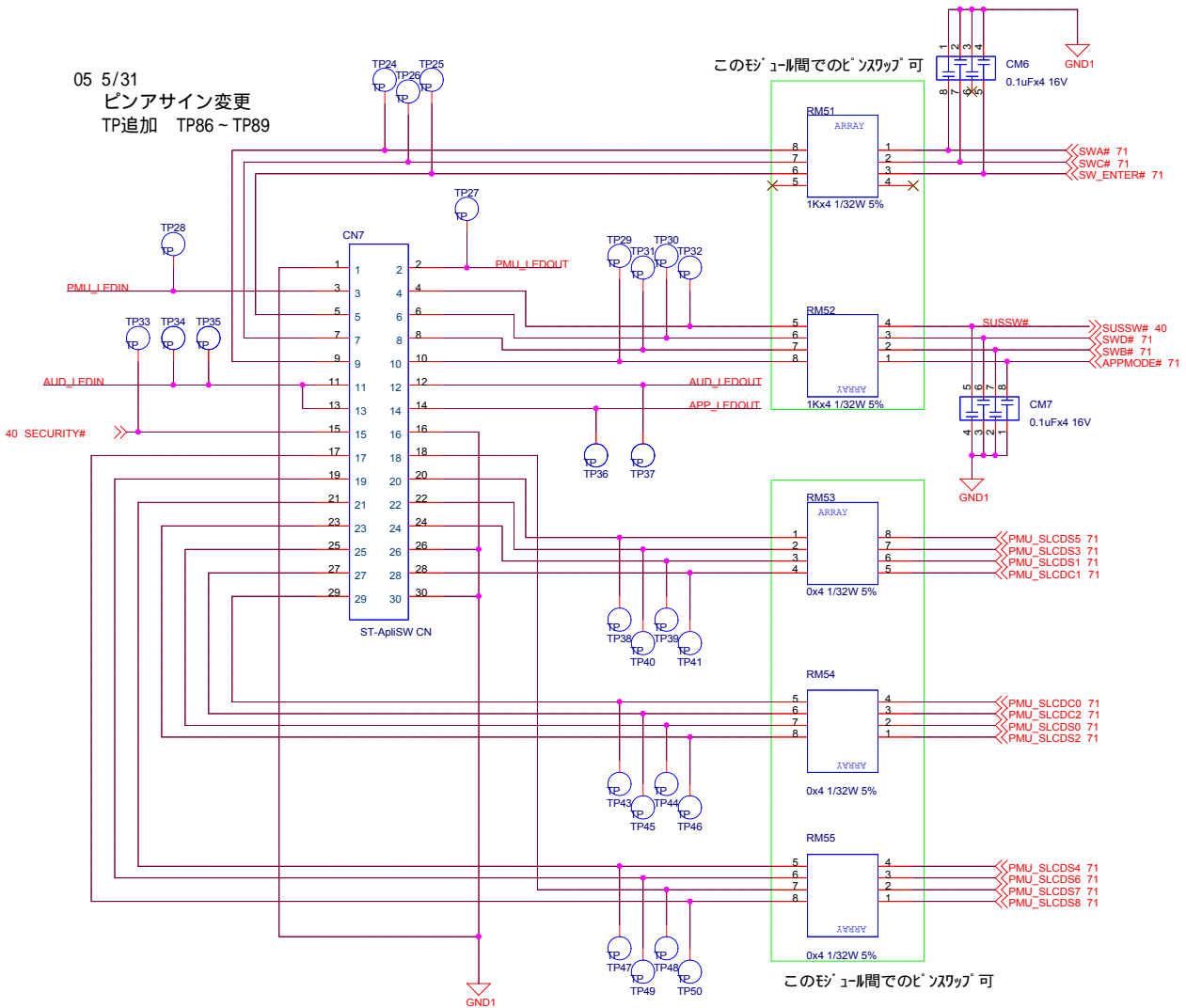
上記のコンデンサはLCD
 CNの近傍に設置すること

Pullup for IDE

							TITLE	
							Laurel	
							DRAW. No.	
							C1CPxxxxxx-X1	
							CAST	
Rev.	DATE	Design	Appr.	Description				
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	FUJITSU	
							SHEET	
							48 / 82	
							LTD.	

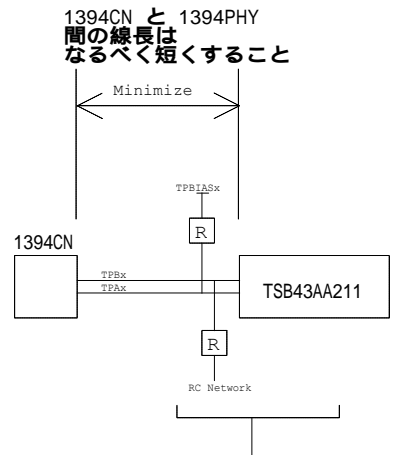
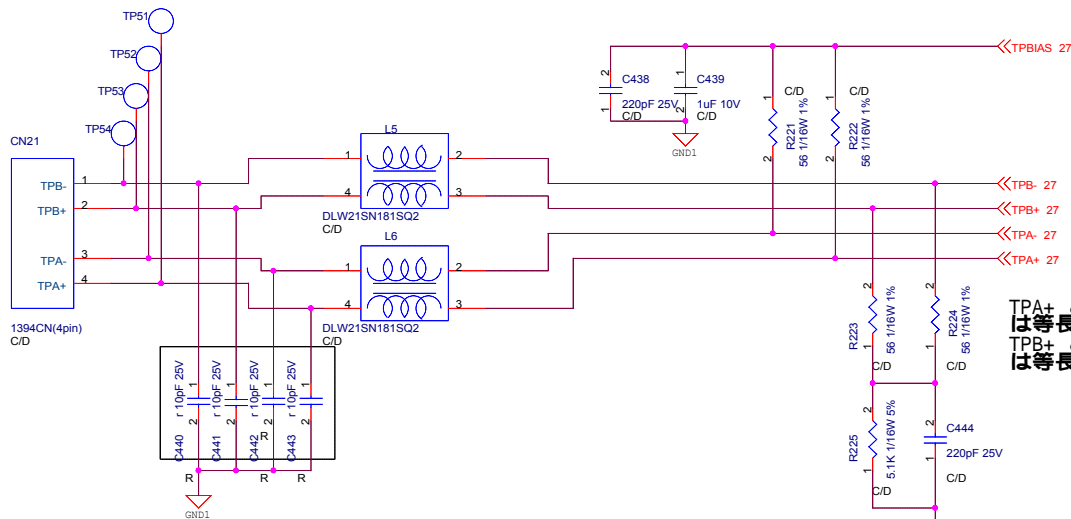
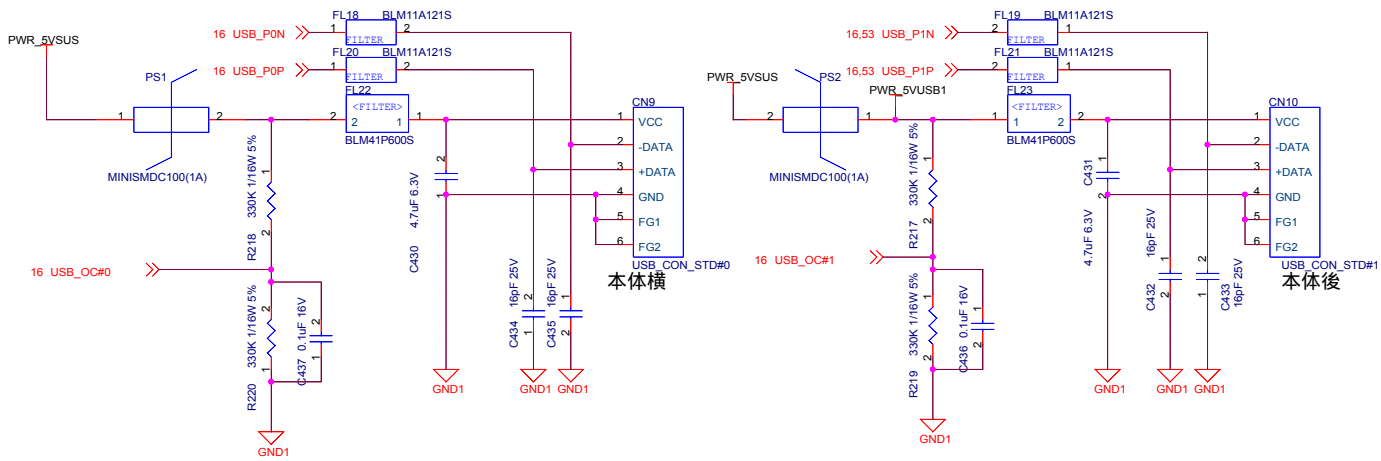


05 5/31
 ピンアサイン変更
 TP追加 TP86 ~ TP89



HDD CN

TITLE		Laurel	
DRAW. No.		C1CPxxxxx-X1	
Rev.	DATE	Design	Appr.
Design	2001.01.16	Komahara	Yoshida
Description		Appr.	Aoki
FUJITSU LTD.		SHEET 49 / 82	



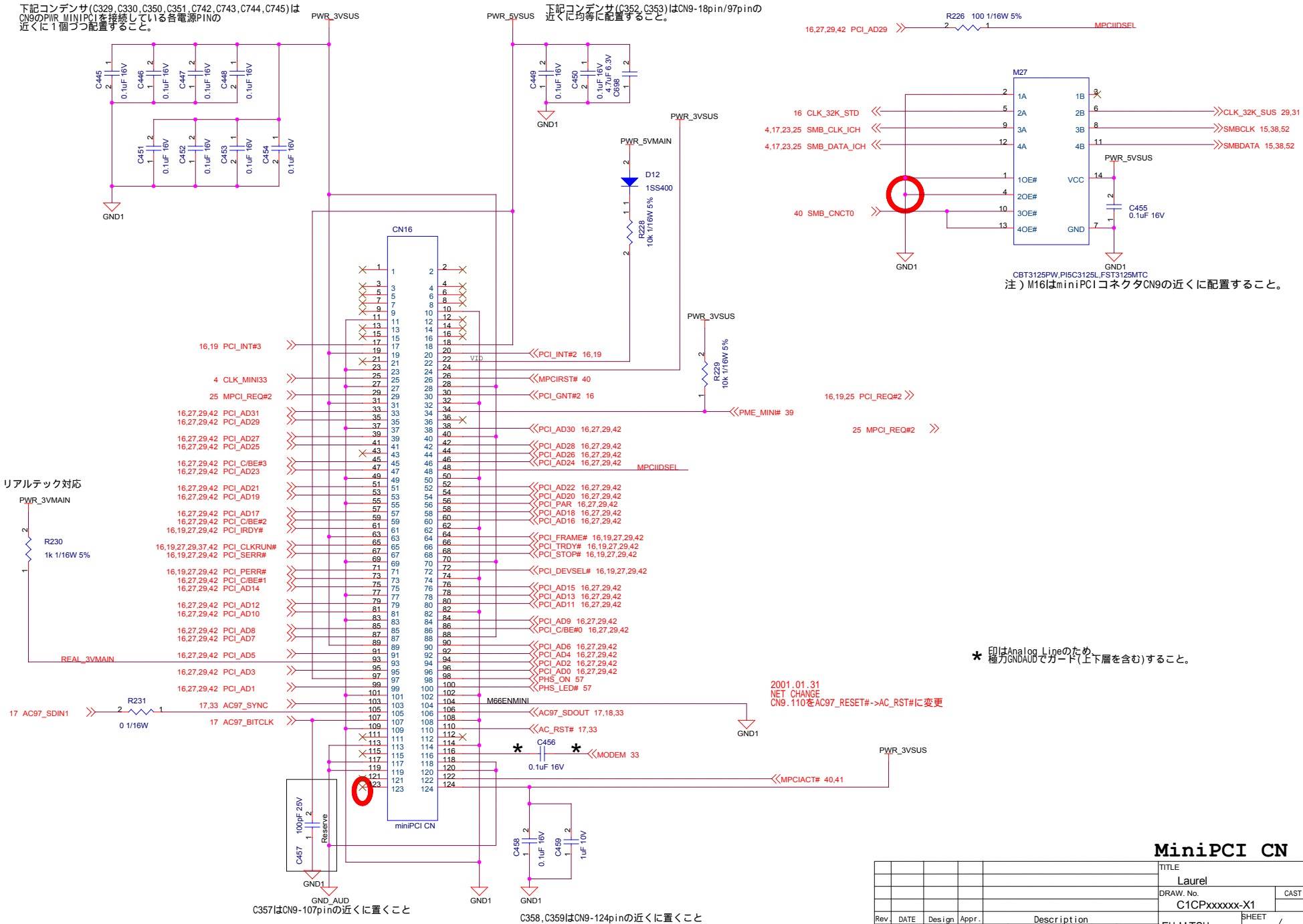
TPA+ と TPA-
は等長配線すること
TPB+ と TPB-
は等長配線すること

上記の図のように、TPA+-
TPB+- に直接つながる抵抗は
なるべく TSB43AA21 の近傍に置くこと

							TITLE	
							Laurel	
							DRAW. No.	
							C1CPxxxxx-X1	
							SHEET	
							50 / 82	
Rev.	DATE	Design	Appr.	Description			FUJITSU	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	LTD.	

下記コンデンサ(C329, C330, C350, C351, C742, C743, C744, C745)は
CN9のPWR_MINI1PC1を接続している各電源PINの
近くに1個ずつ配置すること。

下記コンデンサ(C352, C353)はCN9-18pin/97pinの
近くに均等に配置すること。



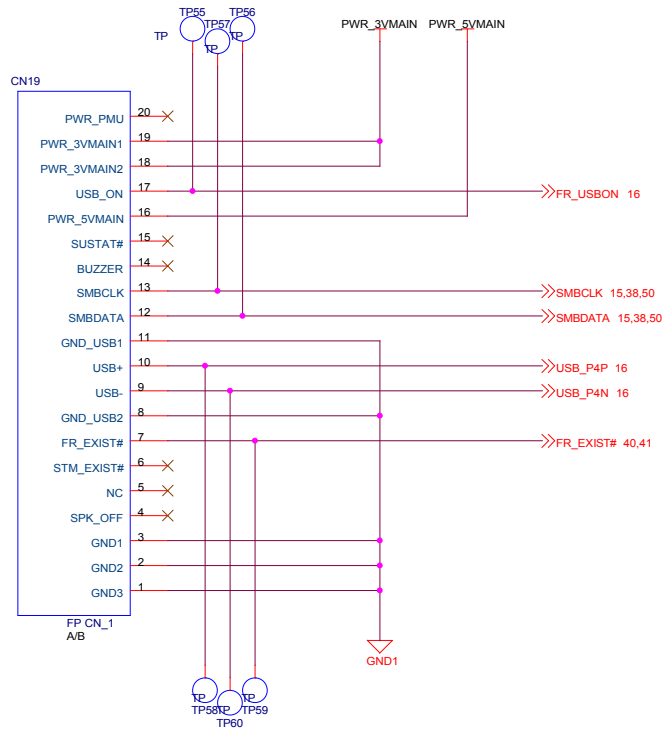
* 印はAnalog Lineのため
極力GND/AUDでガード(上下層を含む)すること。

C357はCN9-107pinの近くに置くこと

C358, C359はCN9-124pinの近くに置くこと

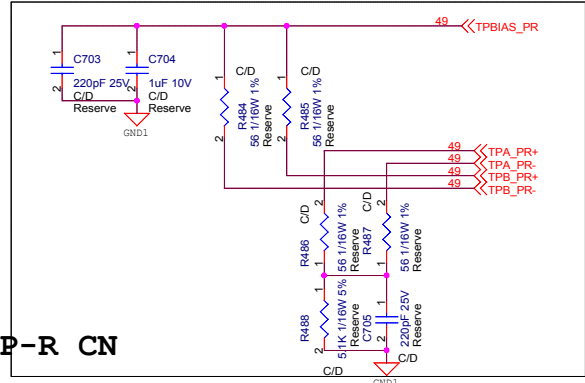
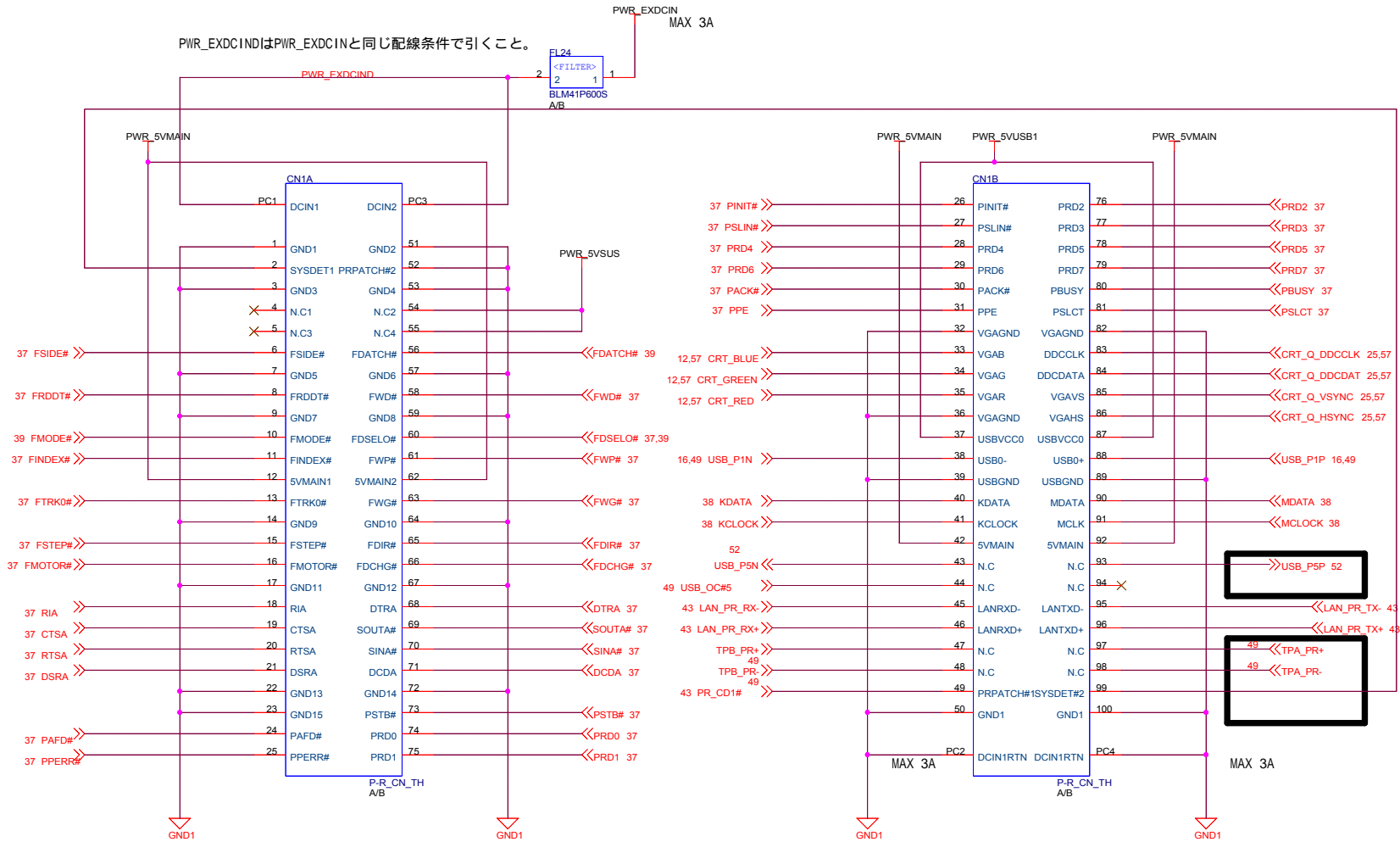
MiniPCI CN

TITLE		Laurel	
DRAW. No.		C1CPxxxxx-X1	
Rev. DATE		Design Appr.	
Design		Check	
2001.01.16		Komahara	
Yoshida		Appr.	
Aoki		SHEET	
LTD.		51 / 82	



							TITLE	
							Laurel	
							DRAW. No.	CAST
							C1CPxxxxx-X1	
Rev.	DATE	Design	Appr.	Description			SHEET	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	53 / 52	
							FUJITSU LTD.	

PWR_EXDCINDはPWR_EXDCINと同じ配線条件で引くこと。



注) LAN信号線(LANTXD+, LANTXD-, LANRXD+, LANRXD-)は、LANTXD+, LANTXD-, LANRXD+, LANRXD-をそれぞれ対で配線し、対の距離は、最低配線距離、TXD, RXD間はその5倍の距離を離すこと。
また、この4本を通して上下2層は配線領域から横方向に3mmを内層外層とする。
上下3層目は、GND1にて、配線の上をGND1でガードすること。但し、カットも含め、本信号線のシールドおよび、配線から3mm以内は、絶縁距離として確保し、いかなる信号線も3mm以下の距離になってはならない。
但し、例外条件として、上下3層目は本信号と完全に直行する場合のみ他の信号線の布線を許可する。(必要最低限に抑えること)

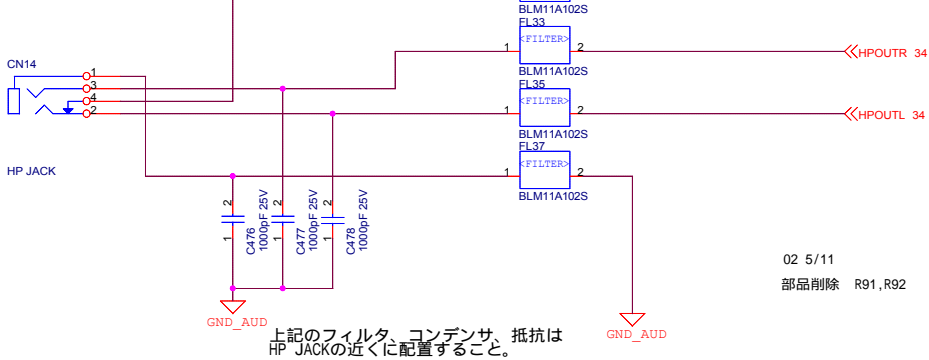
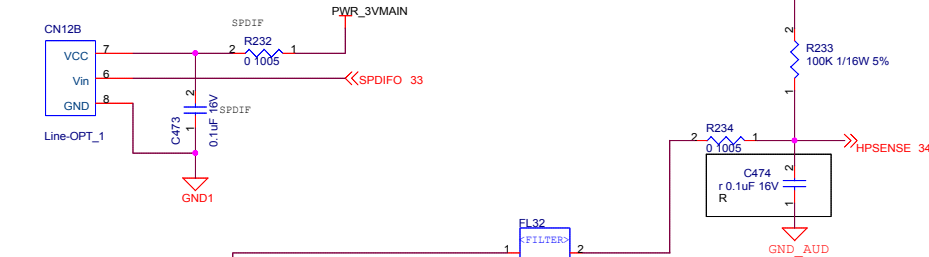
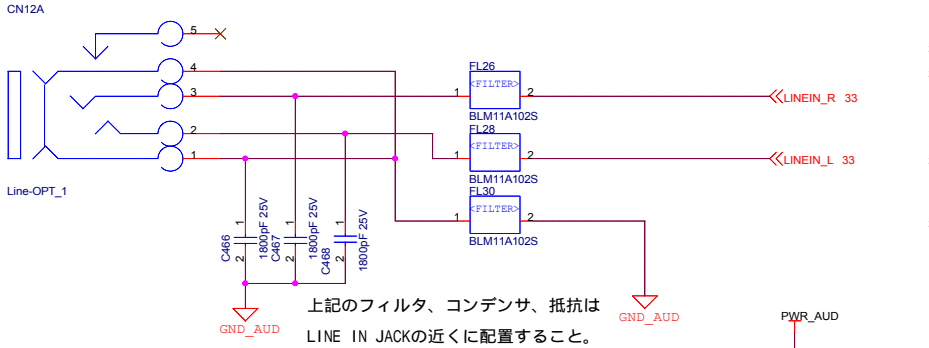
注) PWR_EXDCIND(FL1 - P-R CN間)は、メカ引出し部メカ-ル各3個計6個で引き出し、3mm以上のパターン幅、最短距離でFL1へ接続すること。
PWR_EXDCINは3mm以上のパターン幅で布線することが要求される。



							TITLE	
							Laurel	
							DRAW. No.	
							C1CPxxxxx-X1	
							SHEET	
							54 / 82	
Rev.	DATE	Design	Appr.	Description			Appr.	Aoki
Design	2001.01.16	Komahara	Check	Yoshida				FUJITSU LTD.

P-R CN

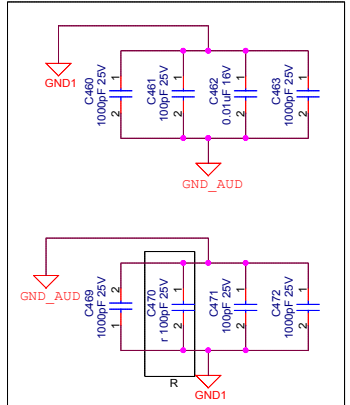
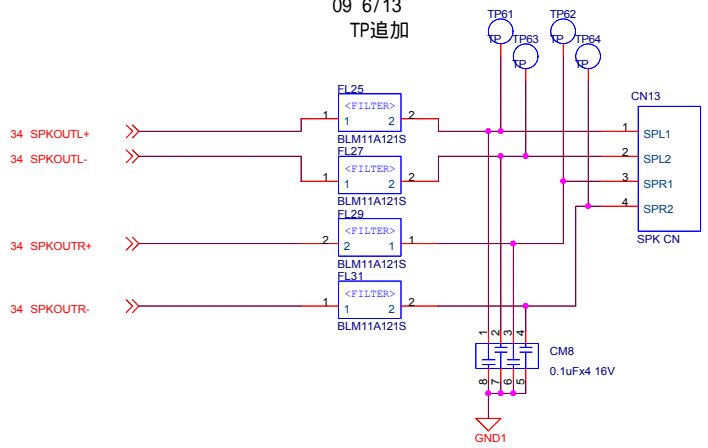
全項AUDIO AREA



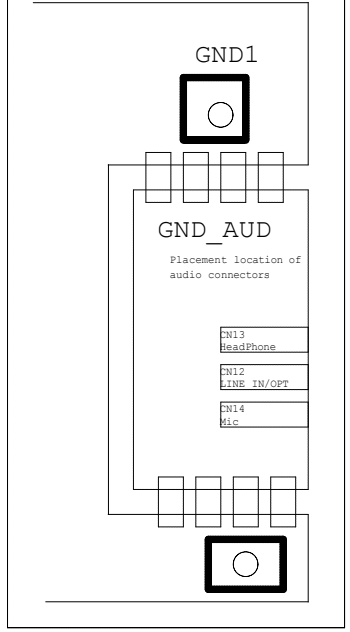
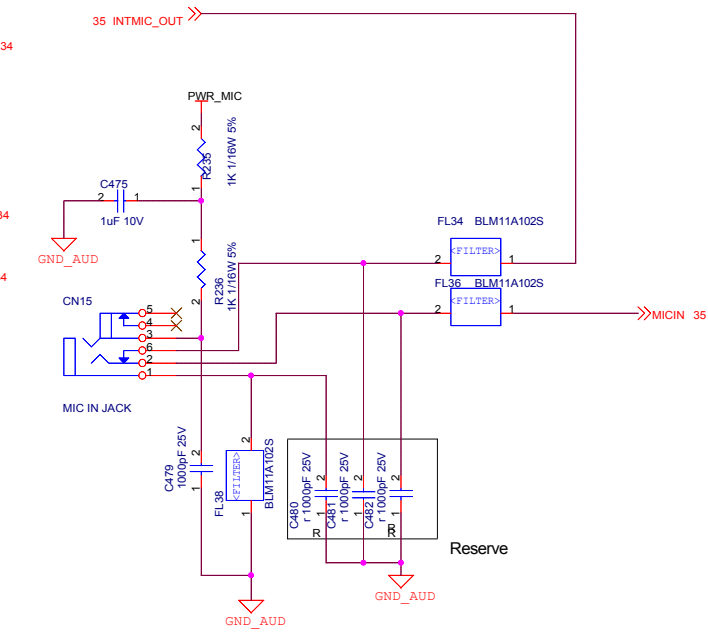
本ページ中に記載されているフィルタ(FLxx)はそれぞれ接続されているコネクタの近くに配置し、フィルターコネクタ間の配線は非常に短く配線すること。
The filters in this page (referred with FLxx) have to be placed near each connector connecting to respective filters. The traces between connector and filter have to be short as much as possible.

本項中 印のついたパターンは、AUDIOGNDでガードし、その上下はAUDIOGNDのベタパターンで覆うこと。また、Mxの下の基板面およびその下の層には、デジタル系の信号線を配線しないこと。
The traces marked with 印 have to be guarded both side and both adjacent layer with AUDIOGND. Underneath Mx on surface layer and in one more internal layer don't allow digital traces to be run.

09/6/13
TP追加



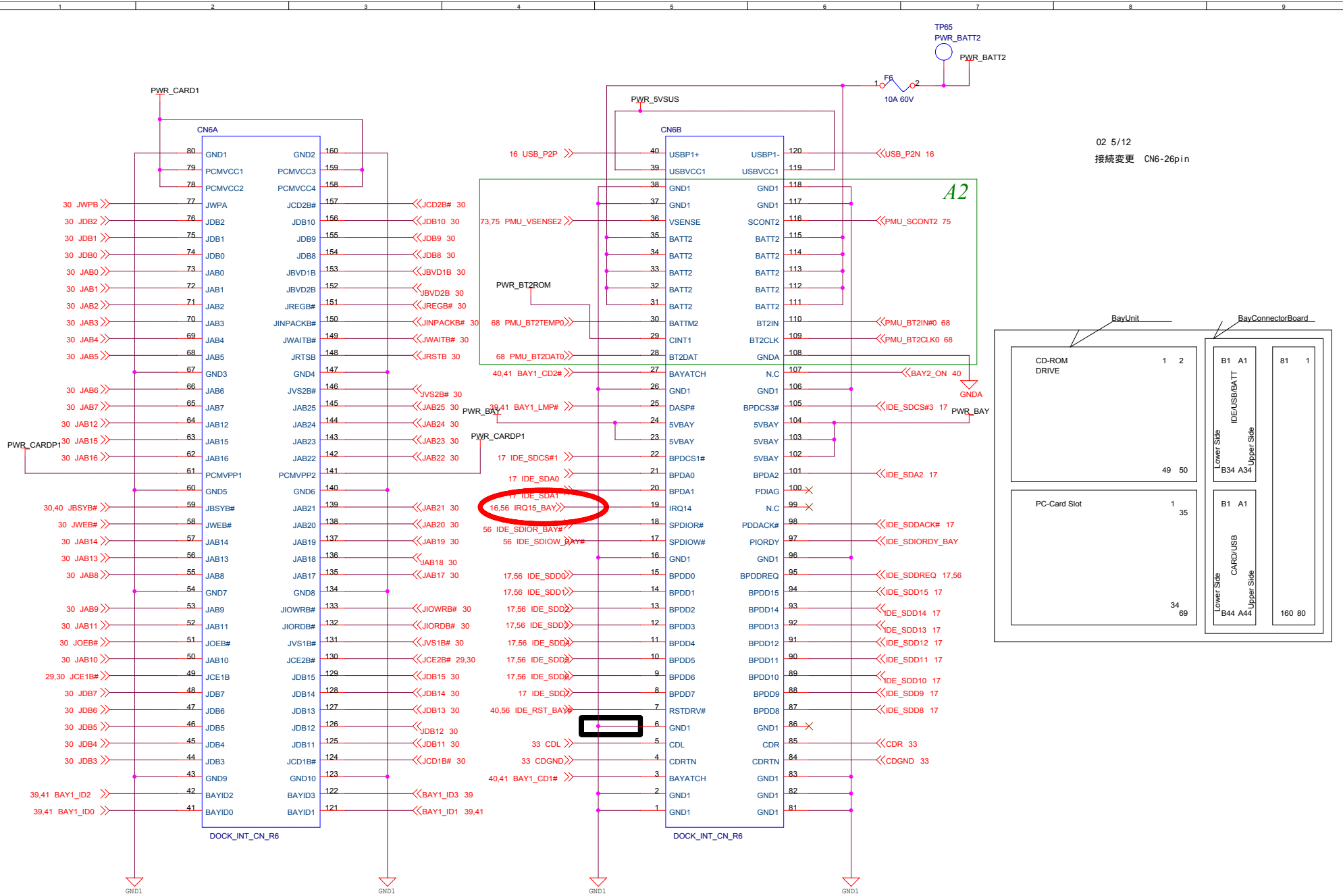
上記のコンデンサは下記のとおりにて配置すること。



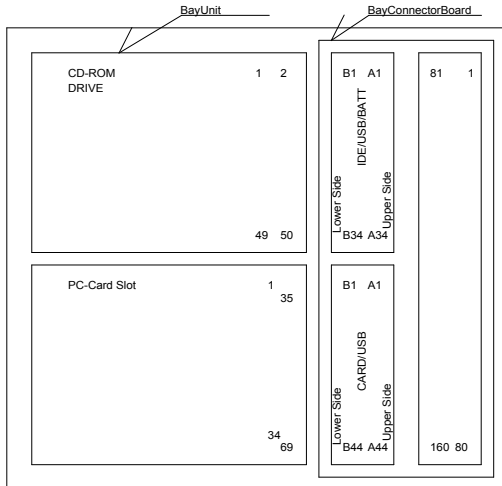
02/5/11
部品削除 R91, R92

DOCK CN-1

Rev.	DATE	Design	Appr.	Description	TITLE	Laurel
Design	2001.01.16	Komahara	Check	Yoshida	DRAW. No.	C1CPxxxxxx-X1
			Appr.	Aoki	SHEET	55 / 62
					FUJITSU LTD.	

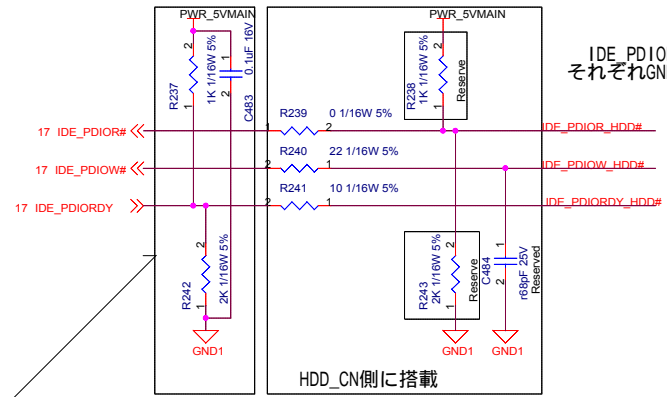


02 5/12
 接続変更 CN6-26pin



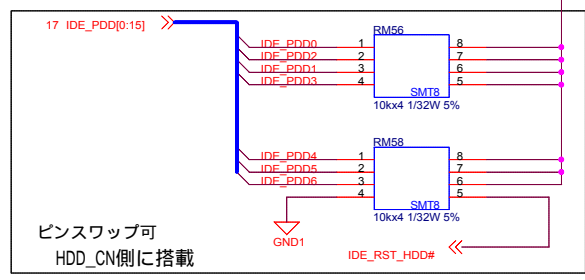
								TITLE	
								Laurel	
								DRAW. No.	
								C1CPxxxxx-X1	
								CAST	
Rev.	DATE	Design	Appr.	Description				FUJITSU	
Design	2001.01.16	Komahara	Check	Yoshida	Appr.	Aoki	SHEET		
								56 / 82	
								LTD.	

IDE_PDIOR_HDD#, IDE_PDIOV_HDD#, IDE_PDIORDY_HDD#はそれぞれGND1のガードを付けて付線すること。

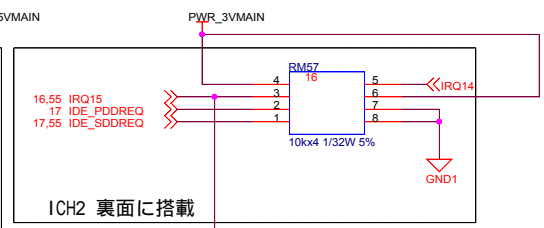


HDD_CN側に搭載

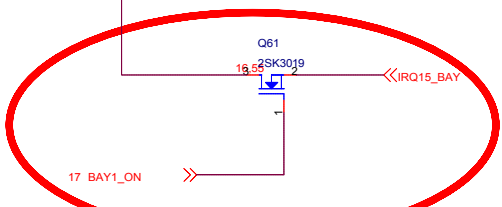
ICH2 pinAB13直裏面に搭載



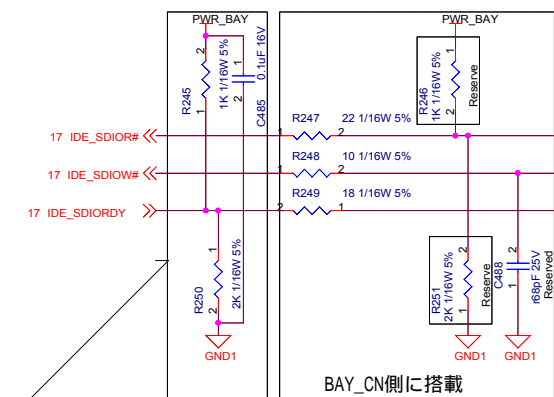
ピンスワップ可 HDD_CN側に搭載



ICH2 裏面に搭載

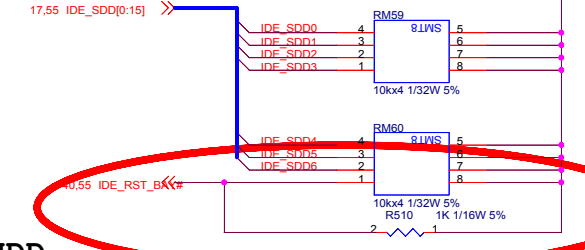


17 BAY1_ON

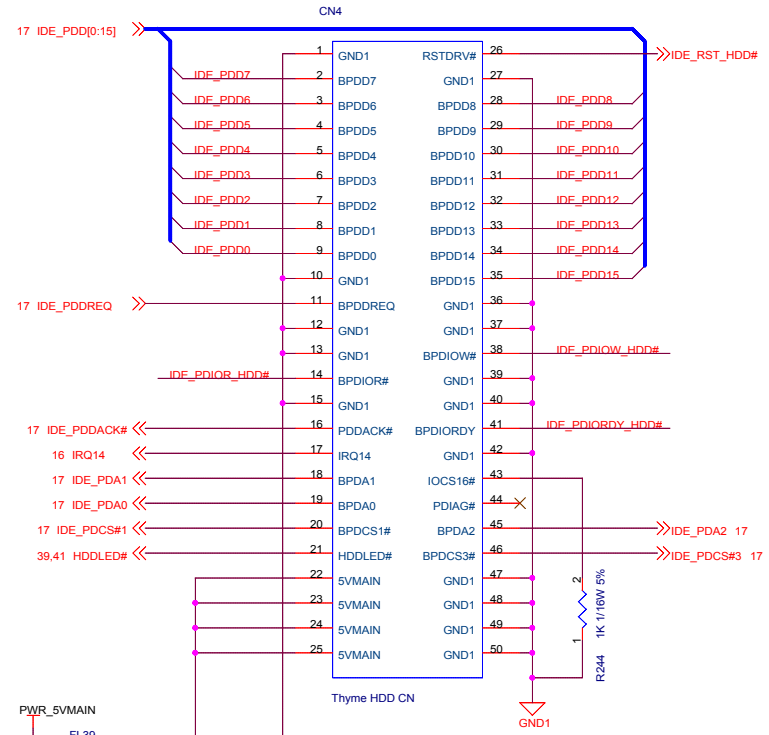


BAY_CN側に搭載

ICH2 pinAB19直裏面に搭載



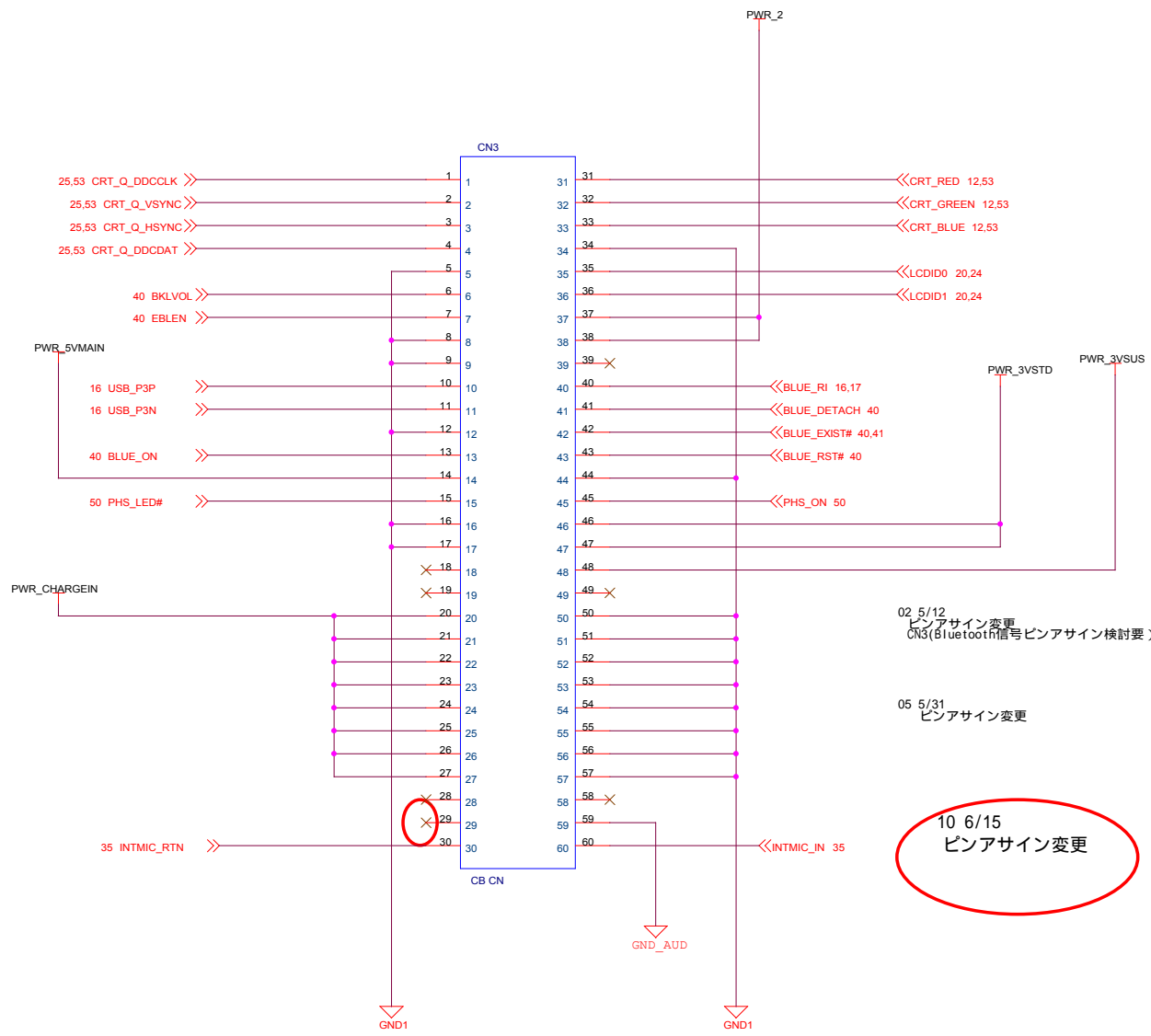
HDD



02/5/12
ピンサイン変更 CN4

				TITLE		Laurel	
				DRAW. No.		C1CPxxxxx-X1	
				Description		FUJITSU LTD.	
Rev.	DATE	Design	Appr.	Check	Yoshida	Appr.	Aoki
Design	2001.01.16	Komahara					
						SHEET	57 / 82

02 5/9
電源変更



02 5/12
ピンアサイン変更
CN3(Bluetooth所信号ピンアサイン検討要)

05 5/31
ピンアサイン変更

10 6/15
ピンアサイン変更

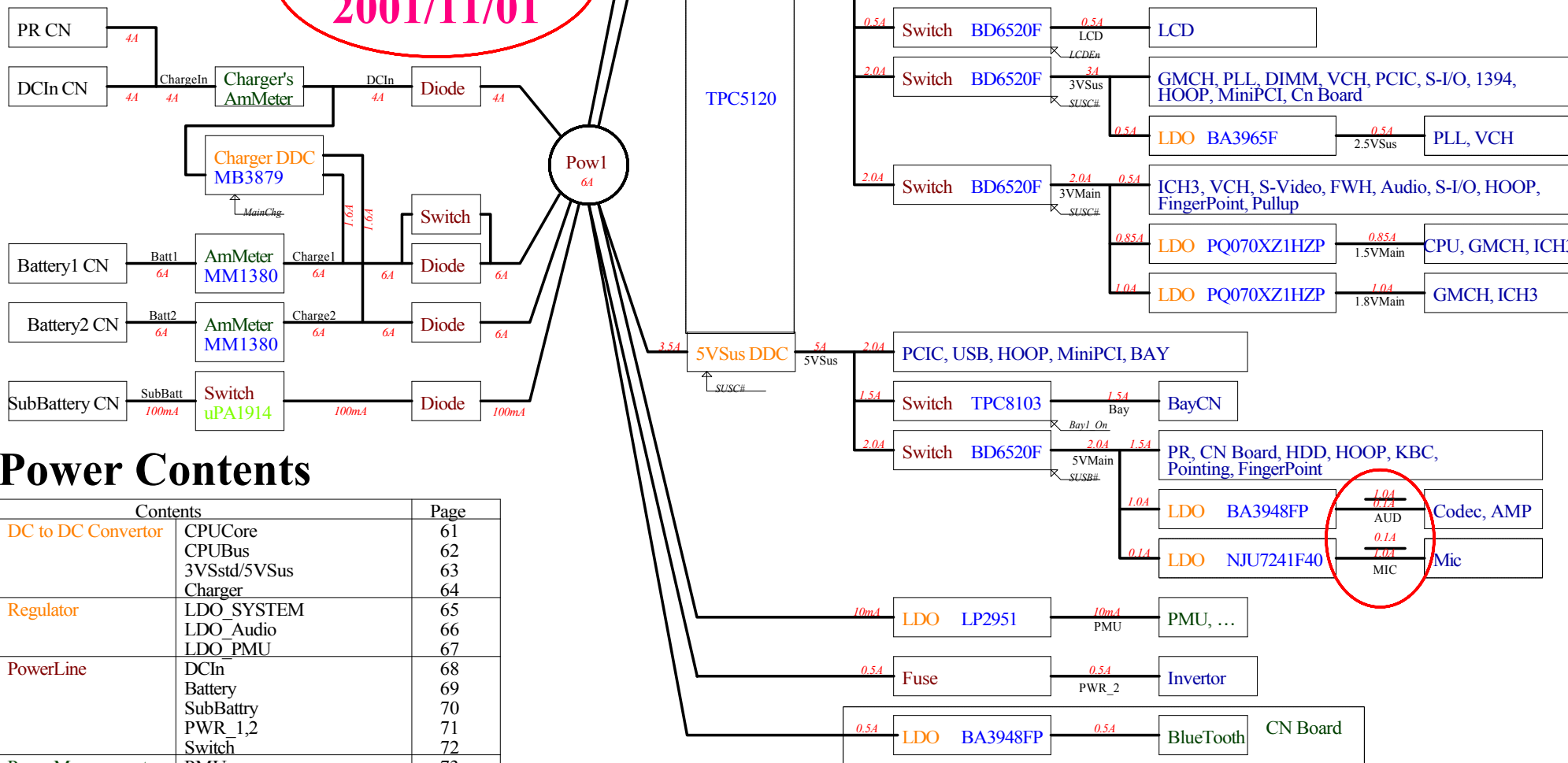
Backup

Rev.							DATE		Design		Appr.		Description		TITLE			
Design							2001.01.16		Komahara		Check		Yoshida		Appr.		Aoki	
															DRAW. No.		CAST	
															C1CPxxxxx-X1			
															FUJITSU		SHEET	
															LTD.		58 / 82	

LAUREL Power

Power Tree

~~2001/08/13~~
 2001/11/01



Power Contents

Contents		Page
DC to DC Convertor	CPUCore	61
	CPUBus	62
	3VStd/5VSus	63
	Charger	64
	Regulator	
Regulator	LDO_SYSTEM	65
	LDO_Audio	66
	LDO_PMU	67
PowerLine	DCIn	68
	Battery	69
	SubBattary	70
	PWR_1,2	71
	Switch	72
PowerManagement	PMU	73
	AmMeter	74
	VolMeter	75
	ACon/Biln	76
	Scont	77

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	FUJITSU LTD.
Design		Check		Appr.	SHEET 59 / 76

パターン接続指定 (エディタ)

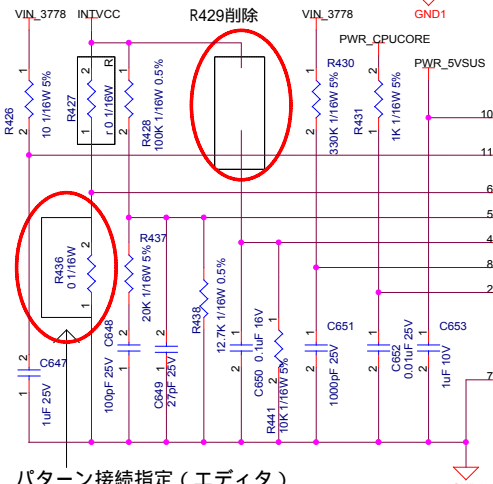
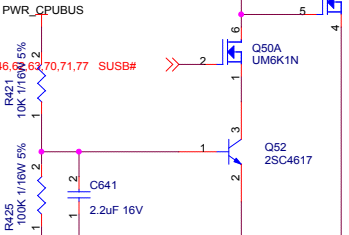
TP97
CPUCORE

2001.11.01
C623 - C628変更: CAH06-R1E1005K CAH39-R1E1005K
footprint変更: 1510P103

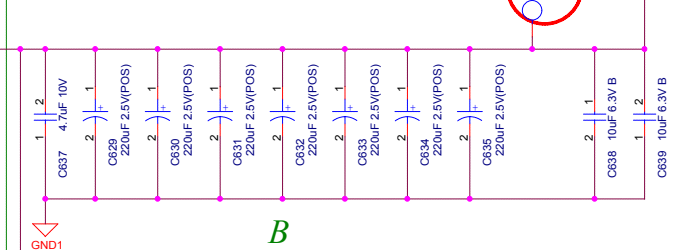
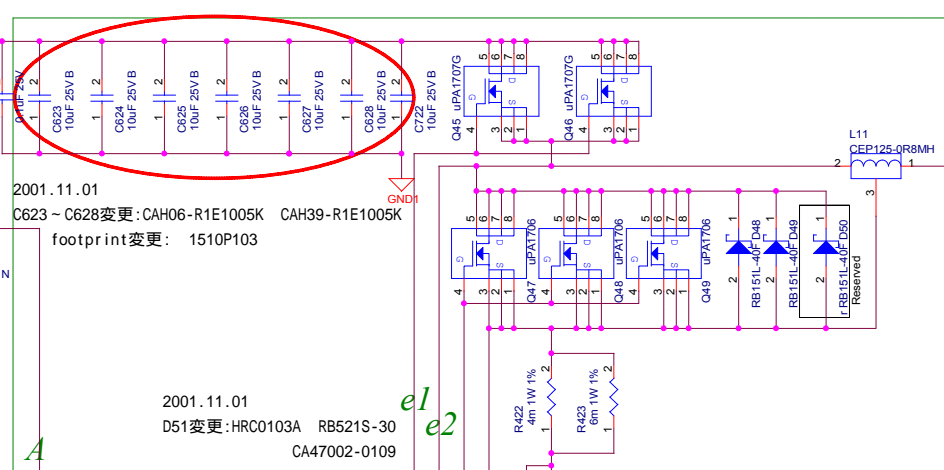
2001.11.01
D51変更: HRC0103A RB521S-30
CA47002-0109

LTC3778

2001.11.01
R429削除



パターン接続指定 (エディタ)



配線について

- A 電源ライン、平滑コンデンサ端子で30Aのパターン幅、ビア数で配線すること
- B 電源ライン、平滑コンデンサ端子で25Aのパターン幅、ビア数で配線すること
- D 最短となるべくVIAを使わずにパターンを引くこと
- e 電源制御ICに接続する各ゲート信号のパターン幅をそれぞれ0.5~1.0mmで同一かつ均一で、最短で配線すること
- g g1,g2は一点アースにてGND1に配線すること

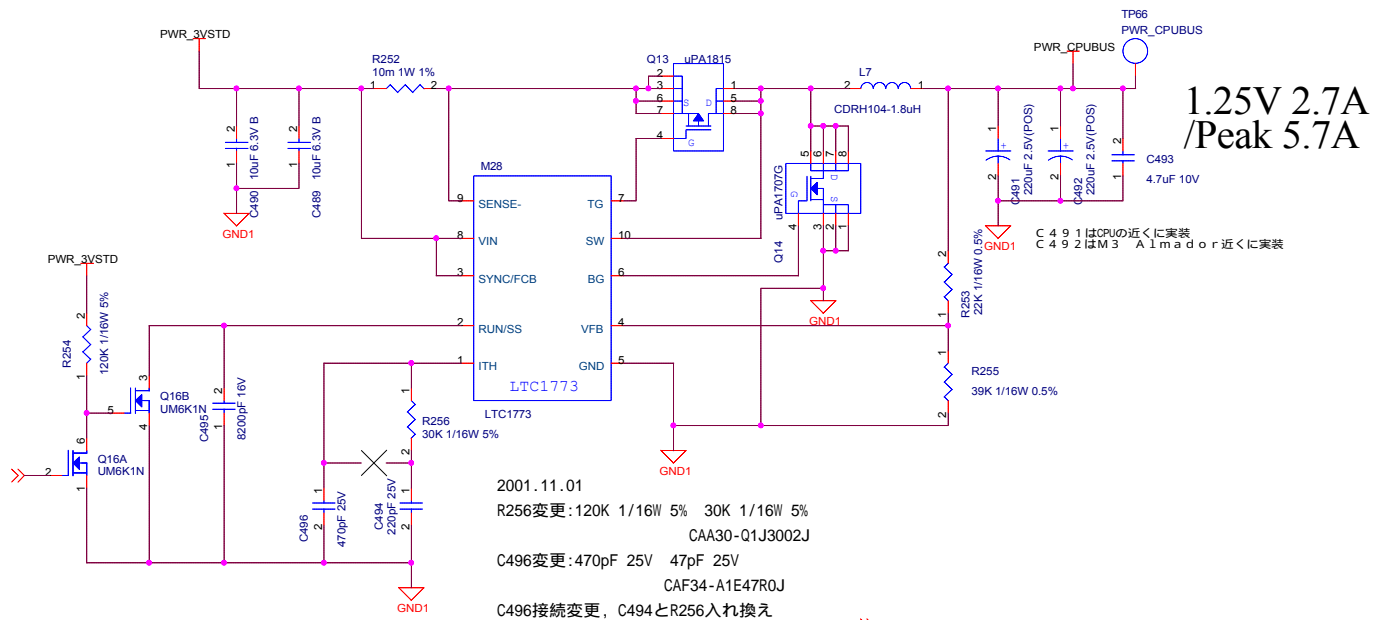
配置について

- A 互いに近傍に配置し、電源制御IC近傍に置くこと
VIAのことを考慮して部品間隔は広いめにとること
同一面上に配置すること
- B 互いに近傍に配置し、電源制御IC近傍に置くこと
VIAのことを考慮して部品間隔は広いめにとること
電源制御ICと同一面上に配置すること
- D 電源制御ICと同一面、接続端子近傍に置くこと
(A,Bより優先すること)

TABLE FOR RESISTOR VALUE

Ref	MOBILE	LV	ULV
R422	4m	6m	6m
R423	4m	6m	6m
R438	12.7K	21K	21K
R428	100K	187K	21K
R432	9.1K	16.2K	33.2K
R439	22.6K	56.2K	37.4K
R433	9.76K	10K	9.31K
R443	100K	215K	274K
R444	12.3K	14.7K	17.4K

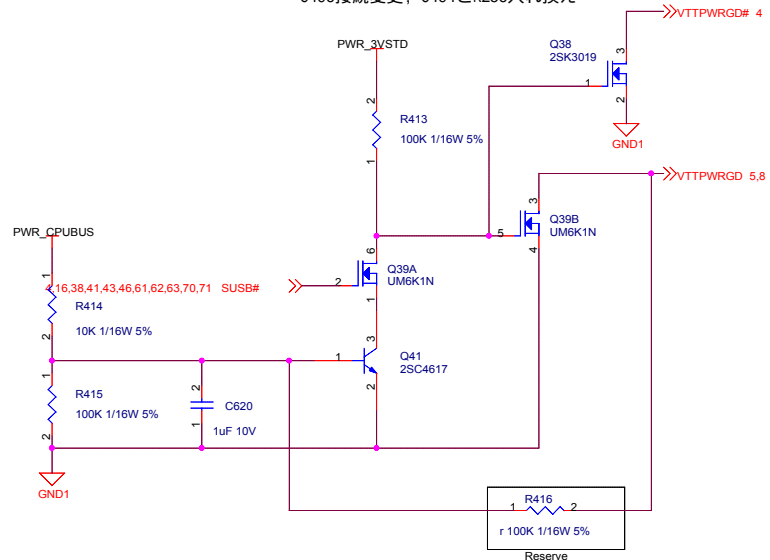
TITLE				Laurel	
DRAW. No.				C1CP064740-X1	
Rev.				DATE	
Design				Appr.	
Description				FUJITSU LTD.	
SHEET				60 / 76	



1.25V 2.7A
/Peak 5.7A

C491はCPUの近くに実装
C492はM3 A1mador近くに実装

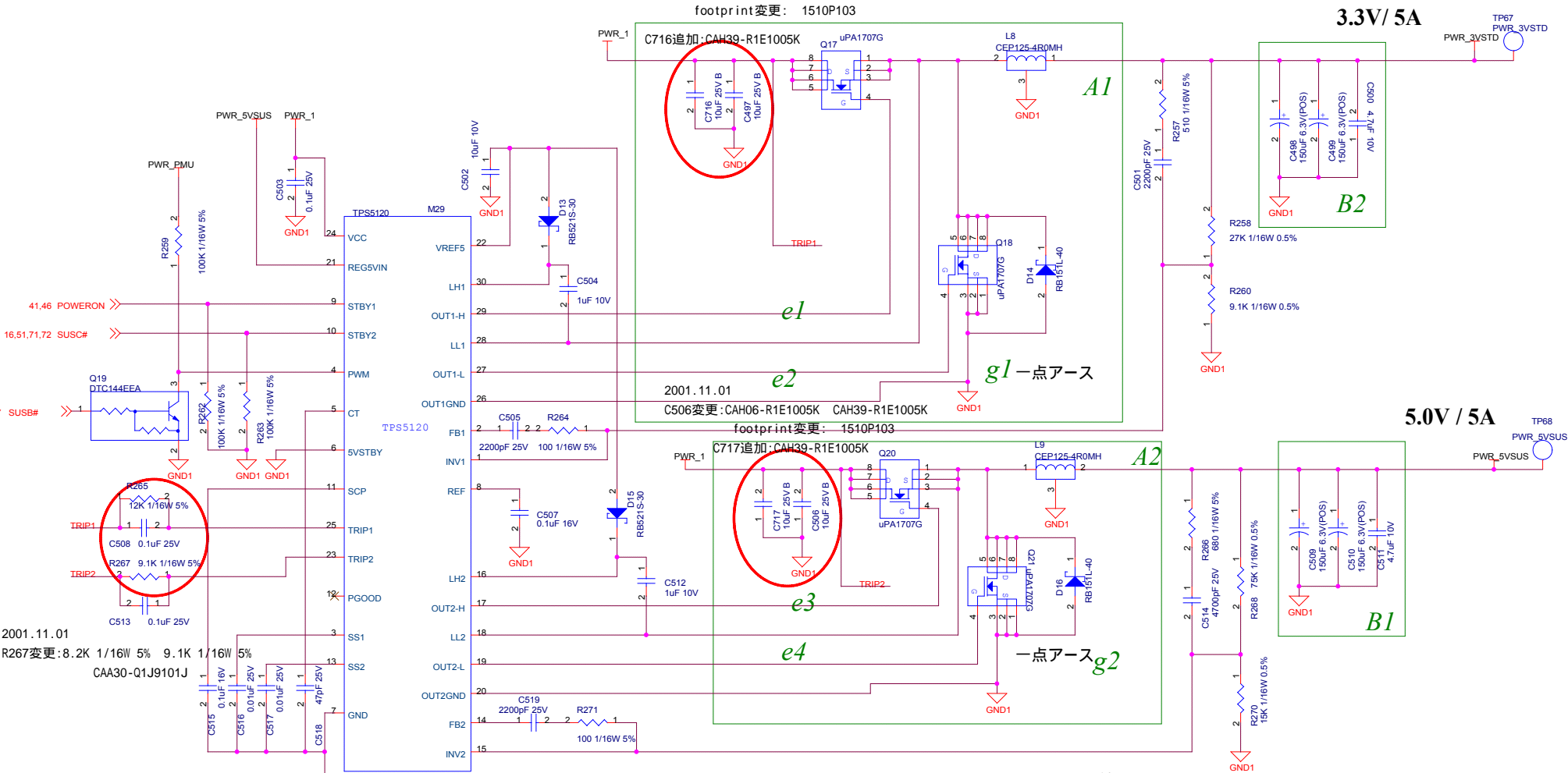
2001.11.01
R256変更:120K 1/16W 5% 30K 1/16W 5%
CAA30-Q1J3002J
C496変更:470pF 25V 47pF 25V
CAF34-A1E47R0J
C496接続変更, C494とR256入れ換え



Power/ DDC/ CPUBus

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				FUJITSU LTD.	
		Check		Appr.	
					SHEET 61 / 76

2001.11.01
 C497変更:CAH06-R1E1005K CAH39-R1E1005K
 footprint変更: 1510P103



配置について]

- A 互いに近傍に配置し、電源制御IC近傍に置くこと
VIAのことを考慮して部品間隔は広いめにとること
同一面上に配置すること
- B 互いに近傍に配置し、電源制御IC近傍に置くこと
VIAのことを考慮して部品間隔は広いめにとること
電源制御ICと同一面上に配置すること

他回路 A部、制御ICのパターン、部品下の全層に対し、
他回路の部品は配置しないこと

配線について]

- A 電源ライン、平滑コンデンサ±端子で6Aのパターン幅、
ヒア数で配線すること
- B 電源ライン、平滑コンデンサ±端子で6Aのパターン幅、
ヒア数で配線すること
- e 電源制御ICに接続する各ゲート信号のパターン幅をそれぞれ
0.5 - 1.0mmで同一かつ均一で、最短で配線すること
- g g1,g2,g3は一点アースにてM1-20PIN(GNDP)に配線すること

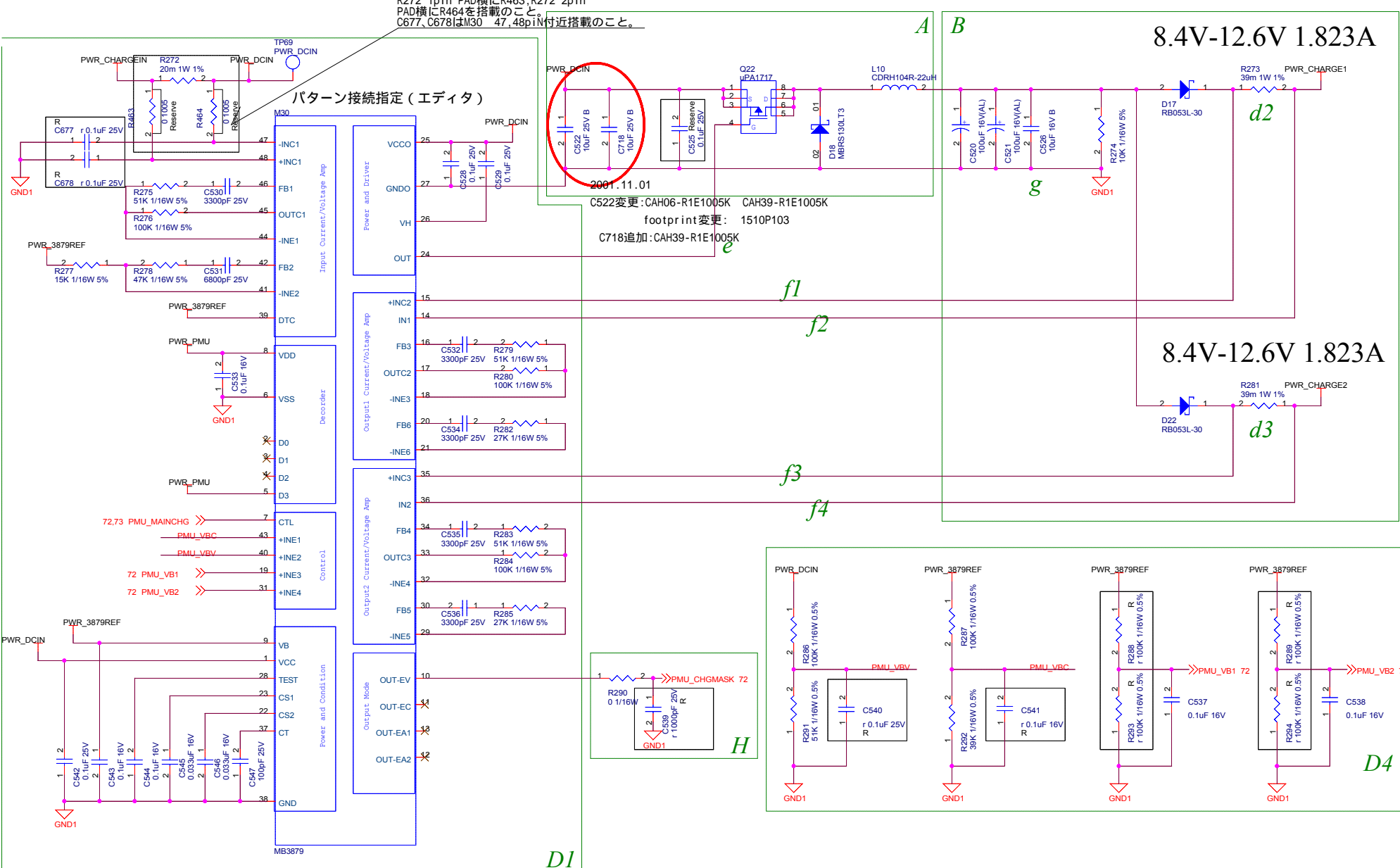
他回路 A部のパターン、部品下の全層に対し、他回路の周波数
の早い信号、インピーダンスの高い信号、重要な信号の
パターンを配線しないこと

Power/ DDC/ 3V,5V

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design			Check	Appr.	FUJITSU LTD.
				SHEET 62 / 76	

R272 1pin PAD横にR463, R272 2pin
 PAD横にR464を搭載のこと。
 C677, C678はM30 47, 48pin付近搭載のこと。

パターン接続指定 (エディタ)

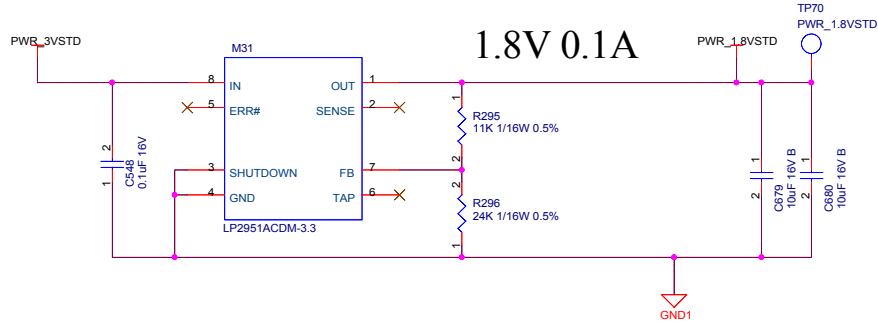


8.4V-12.6V 1.823A

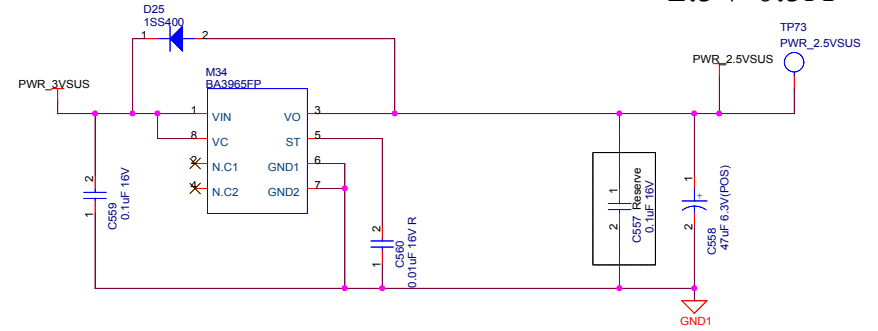
8.4V-12.6V 1.823A

Power/ DDC/ Charger

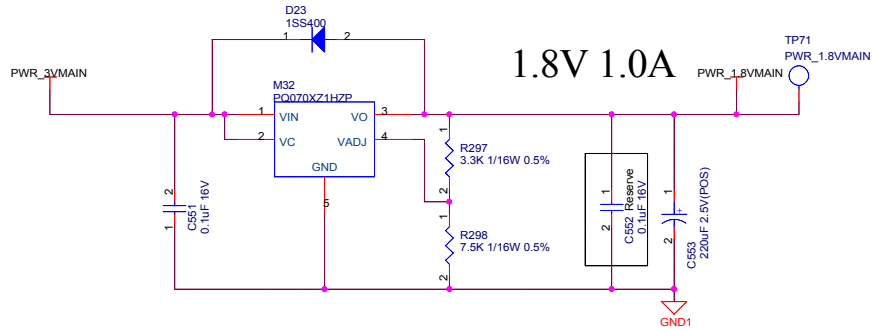
				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design					
				FUJITSU LTD.	
				SHEET 63 / 76	



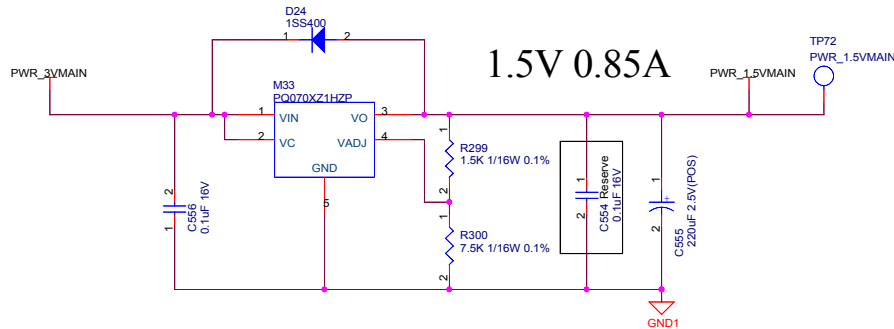
1.8V 0.1A



2.5V 0.5A



1.8V 1.0A



1.5V 0.85A

【配置について】

ICHとGMCHの近傍に配置すること
各入力コンデンサと出力コンデンサはレギュレータの近傍に配置すること

【配線について】

-端子はレギュレータのグラウンドと一点アースとすること

【配置について】

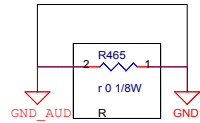
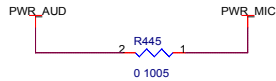
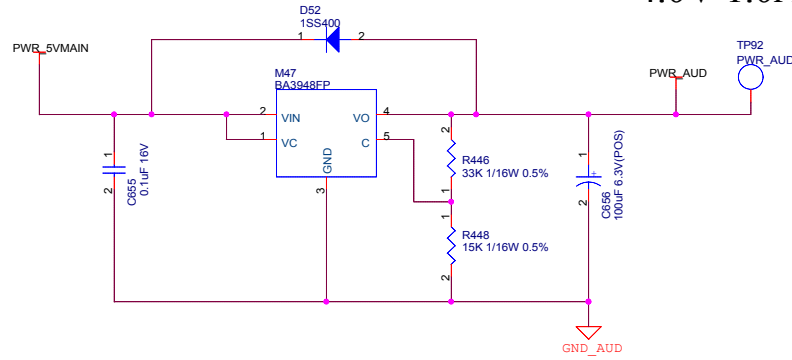
ICHのすぐ近傍に配置すること
各入力コンデンサと出力コンデンサはレギュレータの近傍に配置すること

【配線について】

-端子はレギュレータのグラウンドと一点アースとすること

							TITLE Laurel	
							DRAW. No. C1CP064740-X1	
							CAST	
Rev.	DATE	Design	Appr.	Description			FUJITSU LTD.	
Design			Check		Appr.		SHEET 64 / 76	

4.0V 1.0A



【配置について】

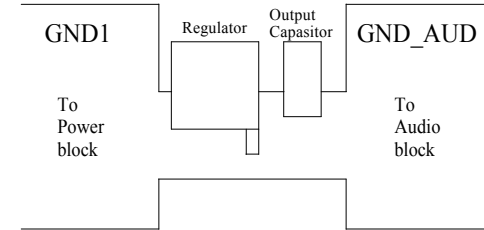
Audio回路のすぐ近傍に配置すること
各入力コンデンサと出力コンデンサはレギュレータの近傍に配置すること

【配線について】

コンデンサの-端子はレギュレータのグラウンドと一点アースとすること

【GND_AUDとGND1の接点について】

GND1とGND_AUDはPWR_AUDを生成するRegulatorのGND端子で、カット可能なように、表面層にて一点接続とする。
(下図参照)



(重要)

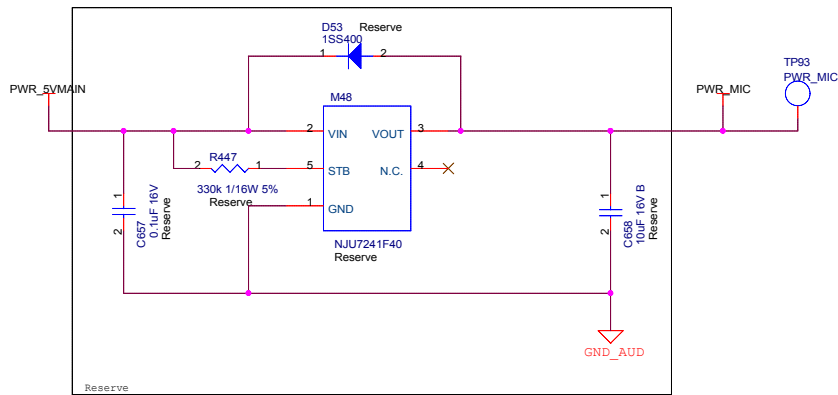
R465はM42(2)の近傍に配置すること。
PT板のエディタ処理時
R465のFOOT幅でGND_AUD
とGND1を接続すること。

【配置について】

Audio回路のすぐ近傍に配置すること
各入力コンデンサと出力コンデンサはレギュレータの近傍に配置すること

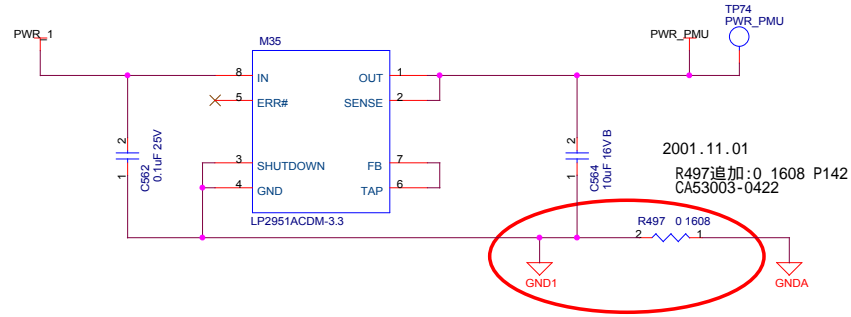
【配線について】

コンデンサの-端子はレギュレータのグラウンドと一点アースとすること



				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design			Check	Appr.	
				FUJITSU LTD.	
				SHEET 65 / 76	

3.3V 10mA



【配置について】

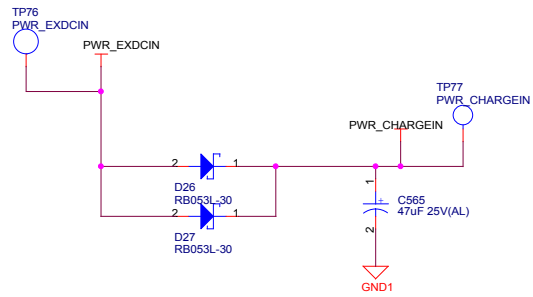
PMU接続端子近傍に配置すること
各入力コンデンサと出力コンデンサはレギュレータの近傍に配置すること

【配線について】

-端子はレギュレータのグランドと一点アースとすること

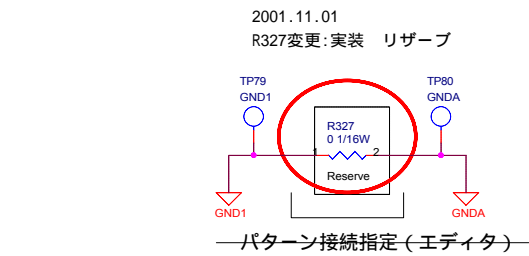
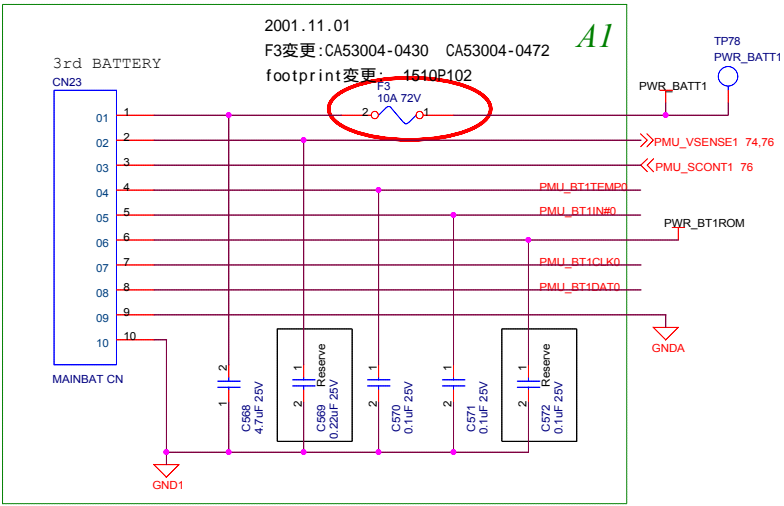
Power/ LDO/ PMU

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				Check	Appr.
				FUJITSU LTD.	
				SHEET 66 / 76	



Power/ Node/ DCIn

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				Appr.	
				FUJITSU LTD.	
				SHEET 67 / 76	



【Aにある部品の配置・パターンについて】

コンデンサはコネクタの接続端子の近傍に配置し、内層でなく表面層にてコネクタの端子に直接パターンを引くこと
(GND4、もしくはすべてのGND1に対して)も同様、かつバッテリーコネクタの10pinで一点アースすること

【Bにある部品の配置について】

それぞれバッテリーコネクタの接続先端子の近傍に配置すること

【Cにある部品の配置について】

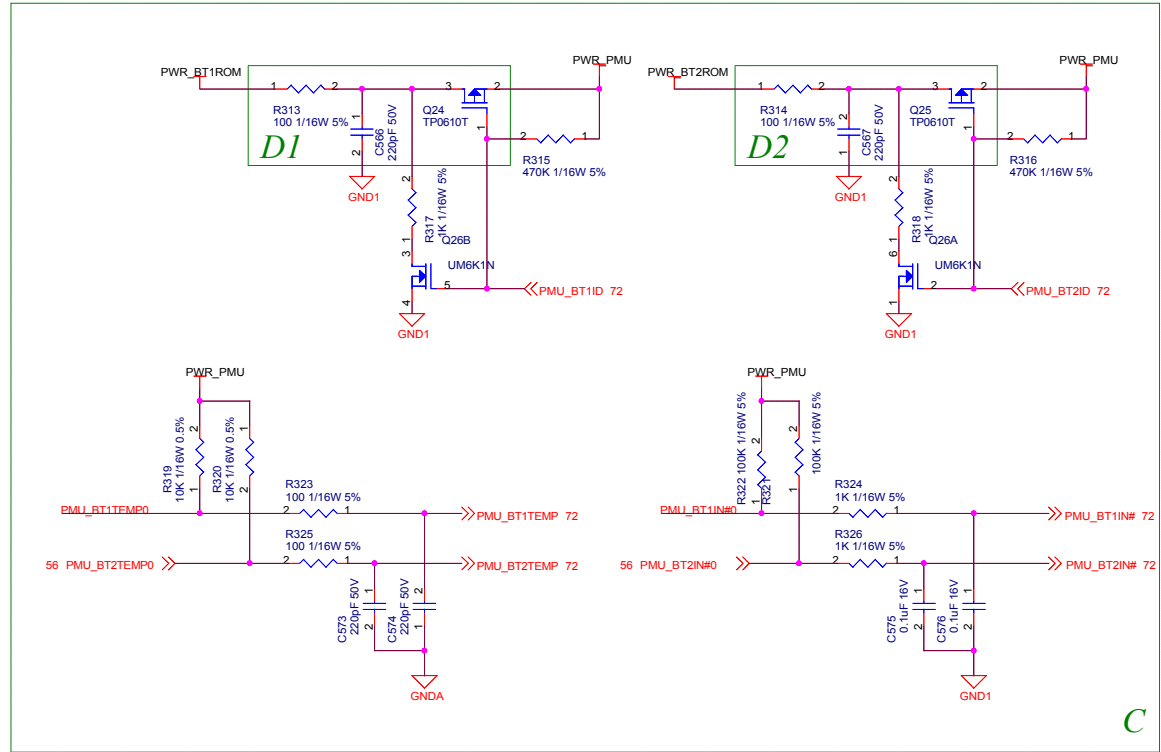
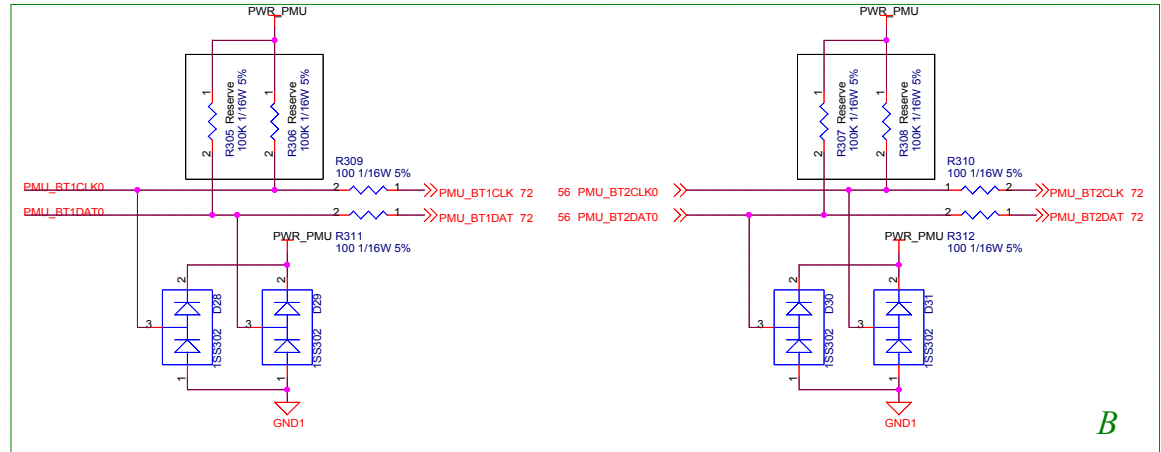
PMUの接続端子近傍に配置すること

【Dにある部品の配置について】

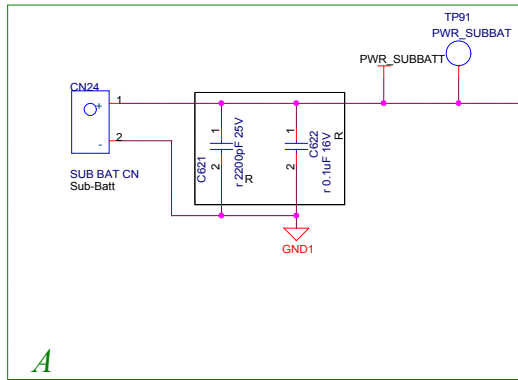
D1,D2それぞれ互いに近傍に配置すること

【GND1 ~ GND4間の一点アースについて】

バッテリーコネクタとバイコネクタの中間に配置すること

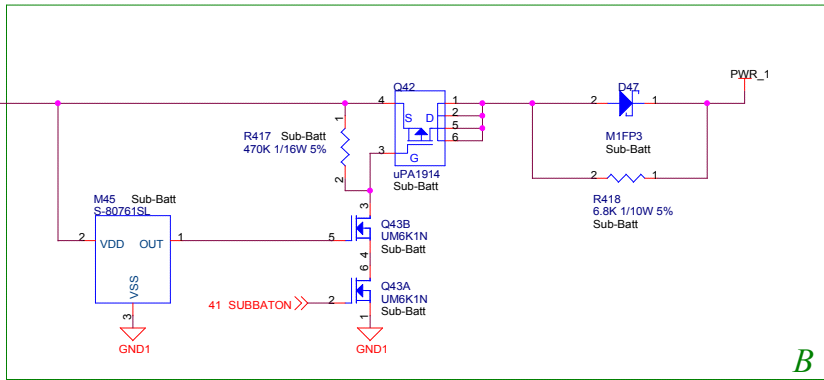


						TITLE Laurel	
						DRAW. No. C1CP064740-X1	
						CAST	
Rev.	DATE	Design	Appr.	Description		SHEET 68 / 76	
Design			Check		Appr.	FUJITSU LTD.	



A

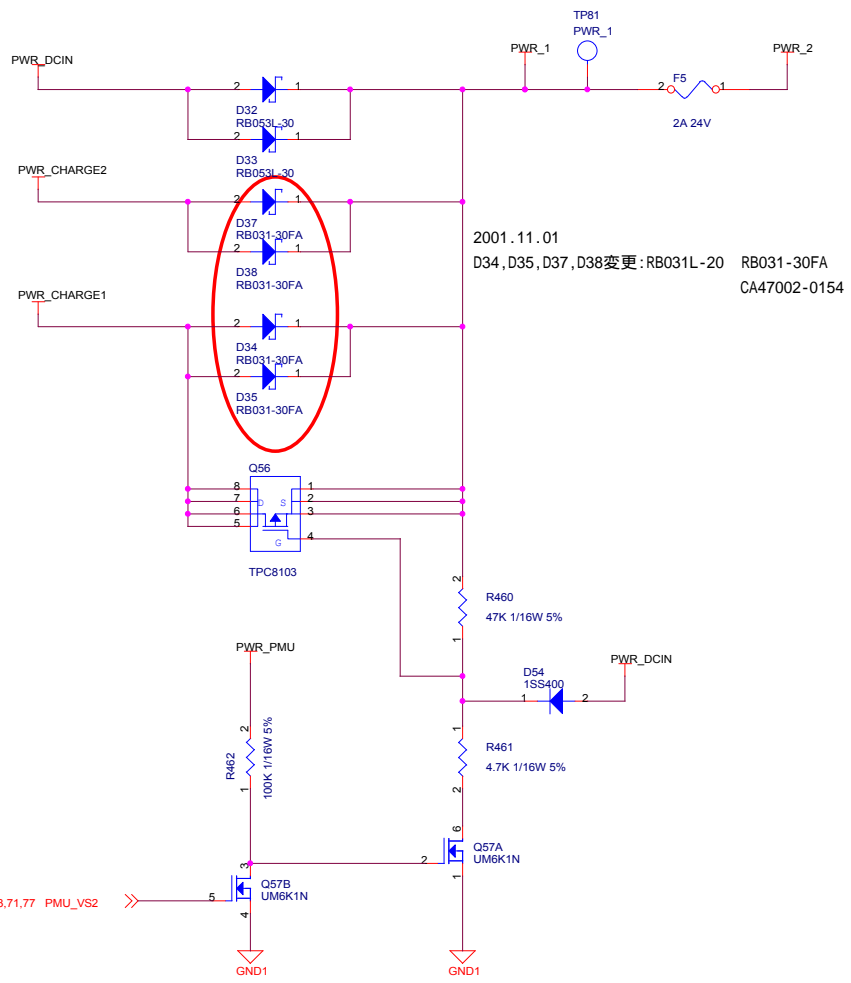
【Aの配置について】
互いに近くに配置すること



B

【Bの配置について】
互いに近くに配置すること

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				Check	Appr.
				FUJITSU LTD.	
				SHEET 69 / 76	

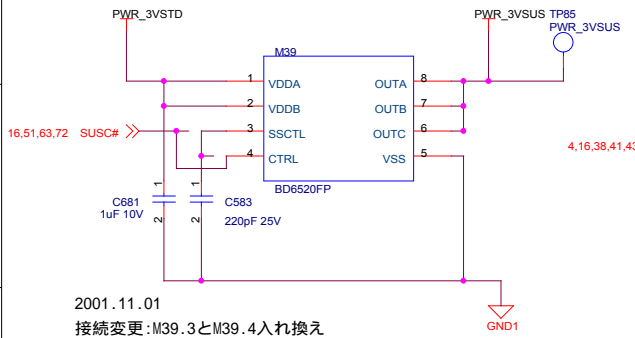


4.16.38.41.43.46.61.62.63.71.77 PMU_VS2

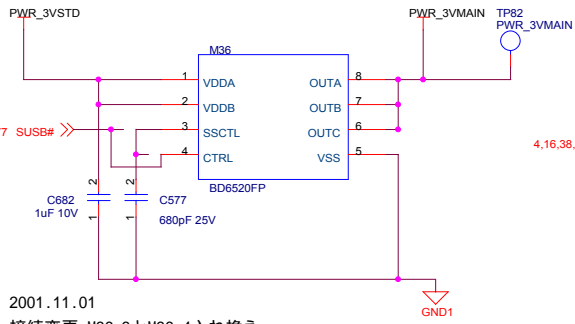
Power/ Node/ PWR_1

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				Check	Appr.
				FUJITSU LTD.	
				SHEET 70 / 76	

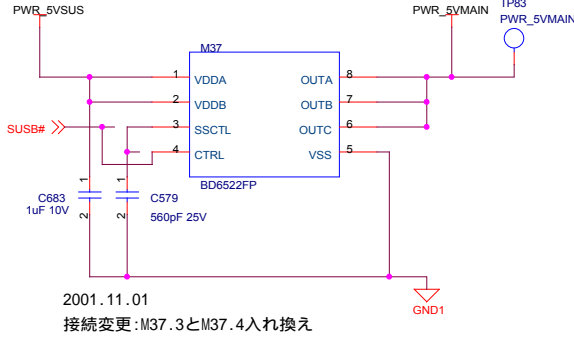
3.3V 2.0A



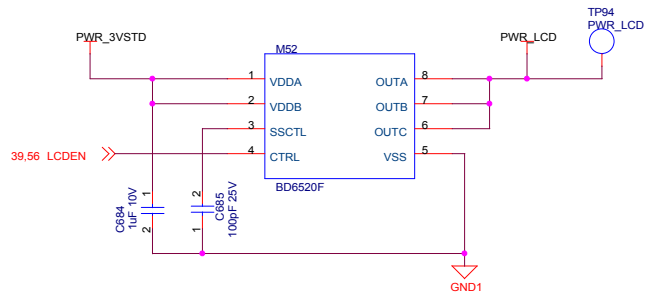
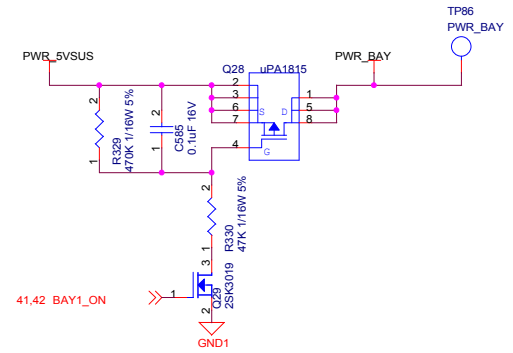
3.3V 2.0A



5.0V 2.0A

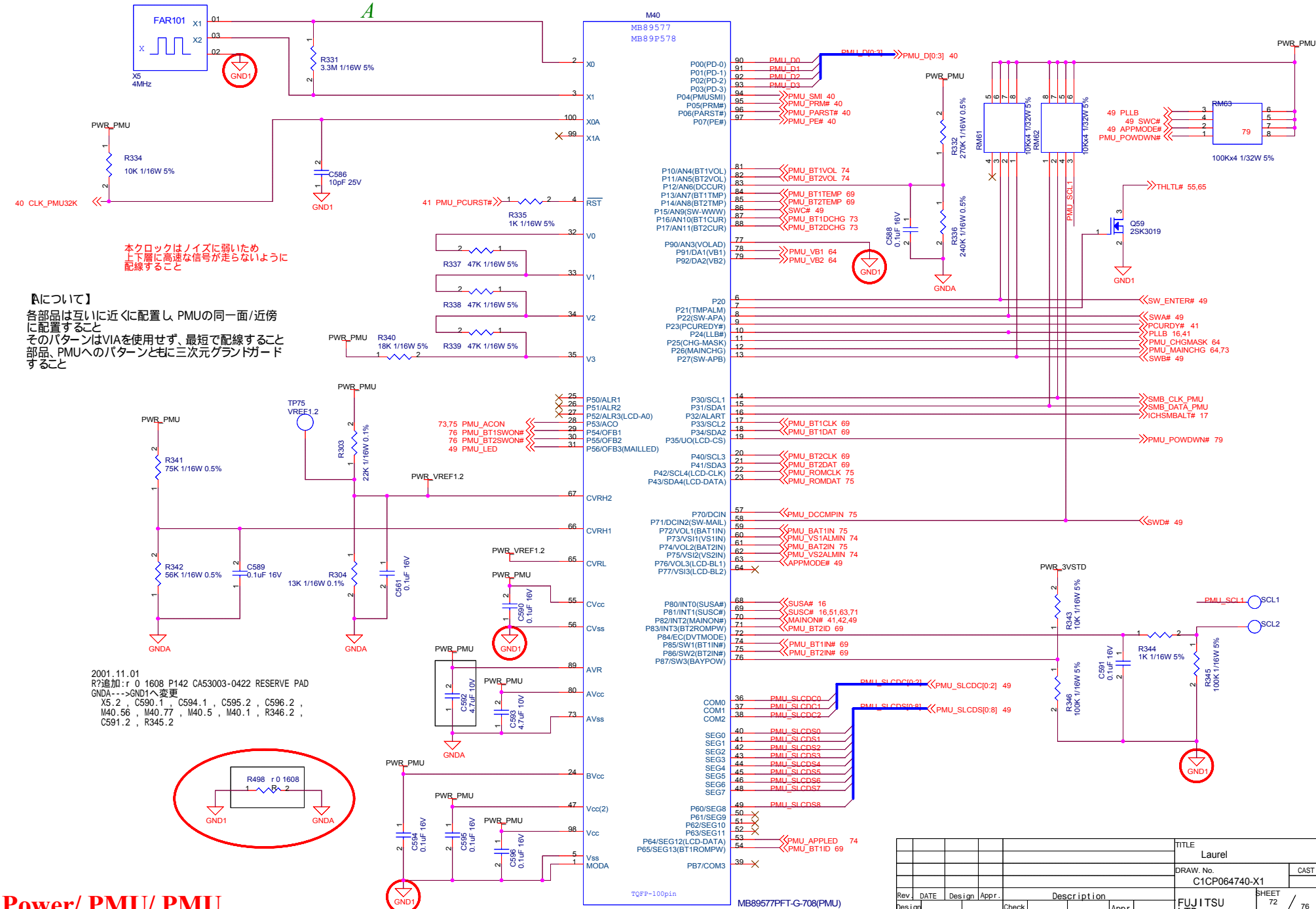


5.0V 2.0A



Power/ Node/ Switch

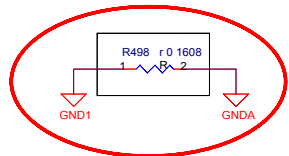
				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design			Check	Appr.	
				FUJITSU LTD.	
				SHEET 71 / 76	



本クロックはノイズに弱いため
 上下層に高速な信号が走らないように
 配線すること

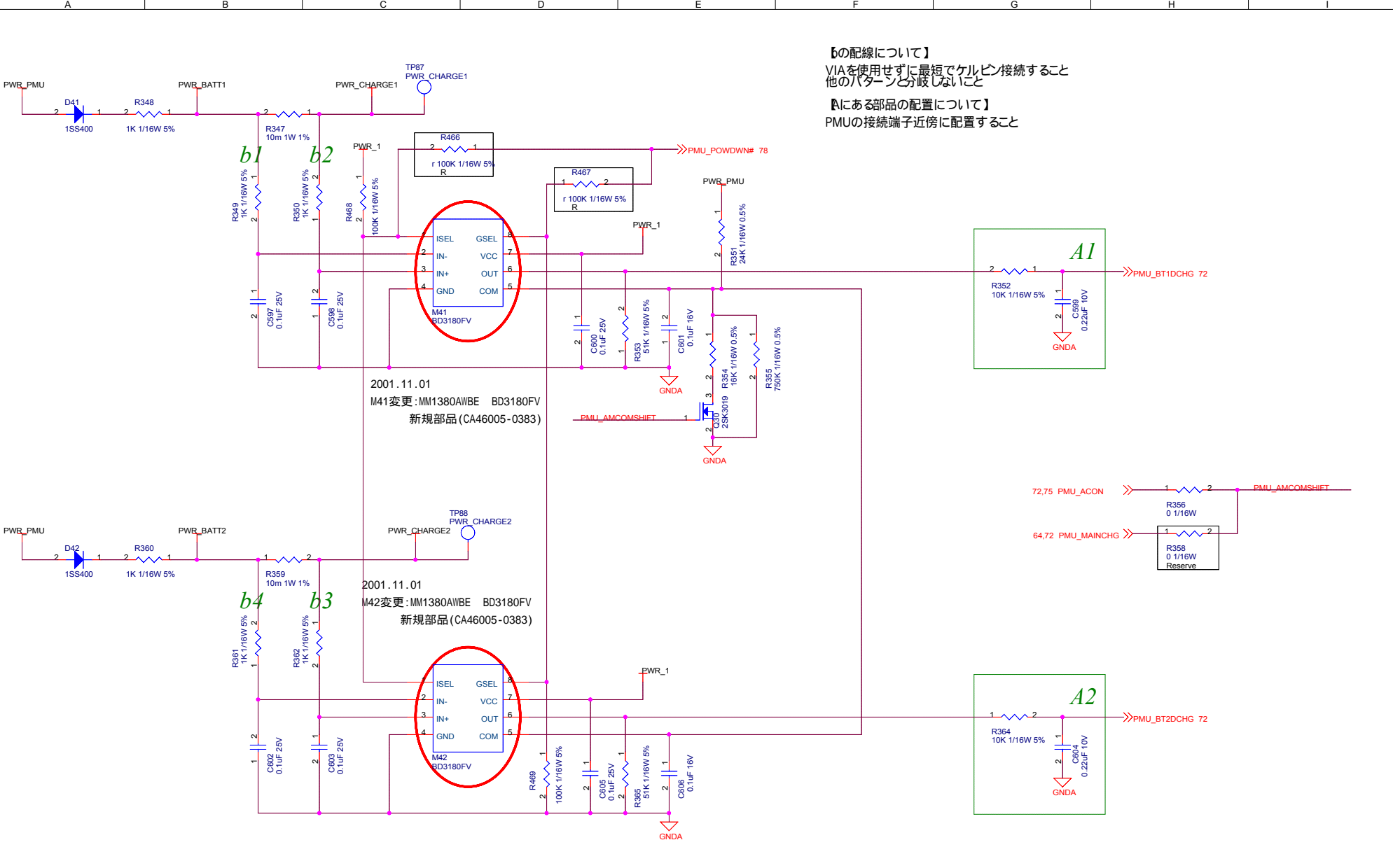
【Aについて】
 各部品は互いに近くに配置し、PMUの同一面/近傍
 に配置すること
 そのパターンはVIAを使用せず、最短で配線すること
 部品、PMUへのパターンともに三次元ランドガード
 すること

2001.11.01
 R?追加:r 0 1608 P142 CA53003-0422 RESERVE PAD
 GND1---->GND1へ変更
 X5.2, C590.1, C594.1, C595.2, C596.2,
 M40.56, M40.77, M40.5, M40.1, R346.2,
 C591.2, R345.2



Power/PMU/PMU

				TITLE Laurel	
				DRAW.No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design			Check	Appr.	
				FUJITSU LTD.	
				SHEET 72 / 76	



【の配線について】
 VIAを使用せずに最短でケルビン接続すること
 他のパターンと分岐しないこと

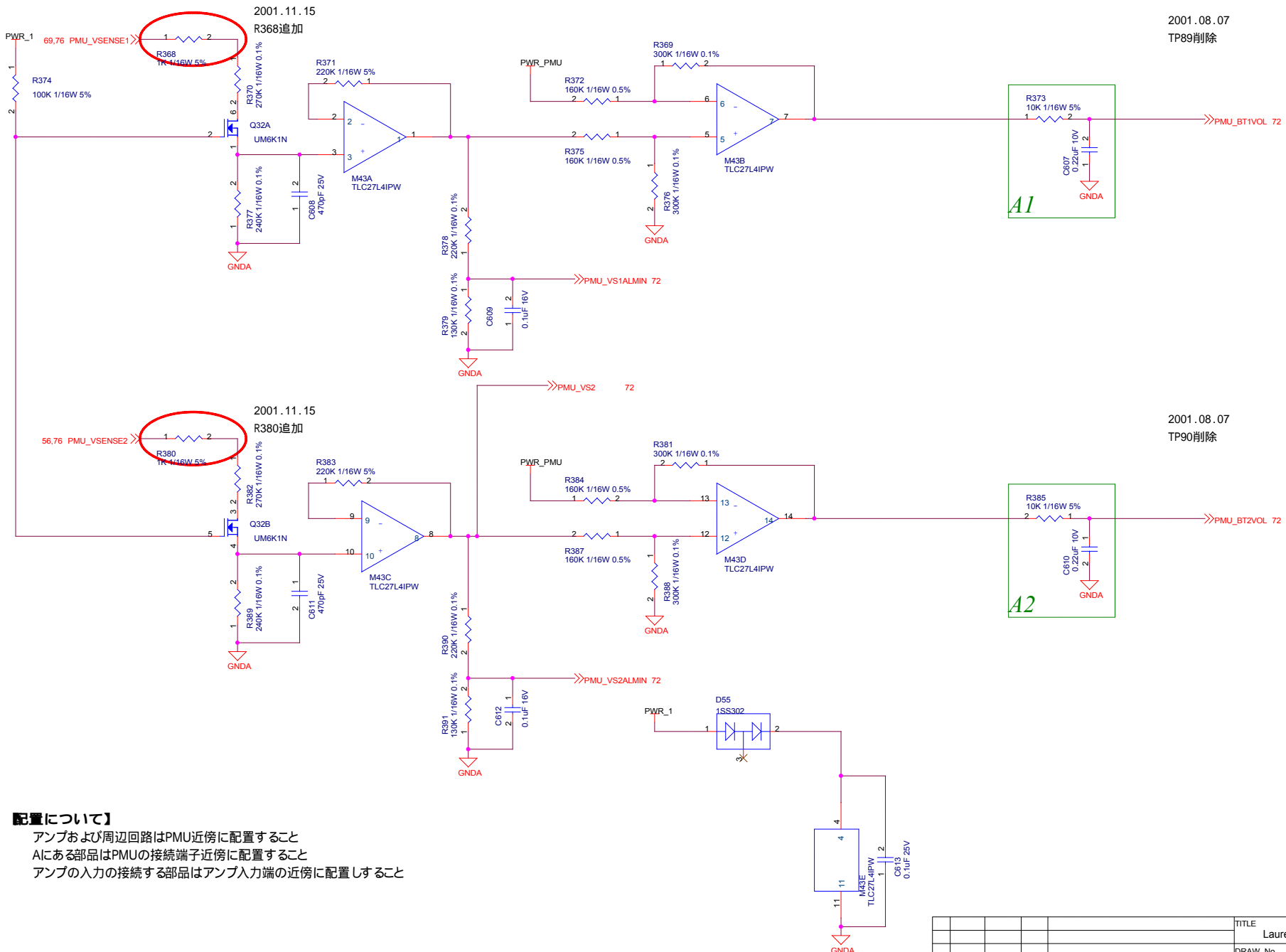
【Aにある部品の配置について】
 PMUの接続端子近傍に配置すること

2001.11.01
 M41変更:MM1380AWBE BD3180FV
 新規部品 (CA46005-0383)

2001.11.01
 M42変更:MM1380AWBE BD3180FV
 新規部品 (CA46005-0383)

Power/ PMU/ AmMeter

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design			Check	Appr.	
				FUJITSU LTD.	
				SHEET 73 / 76	



2001.08.07
TP89削除

2001.08.07
TP90削除

2001.11.15
R368追加

2001.11.15
R380追加

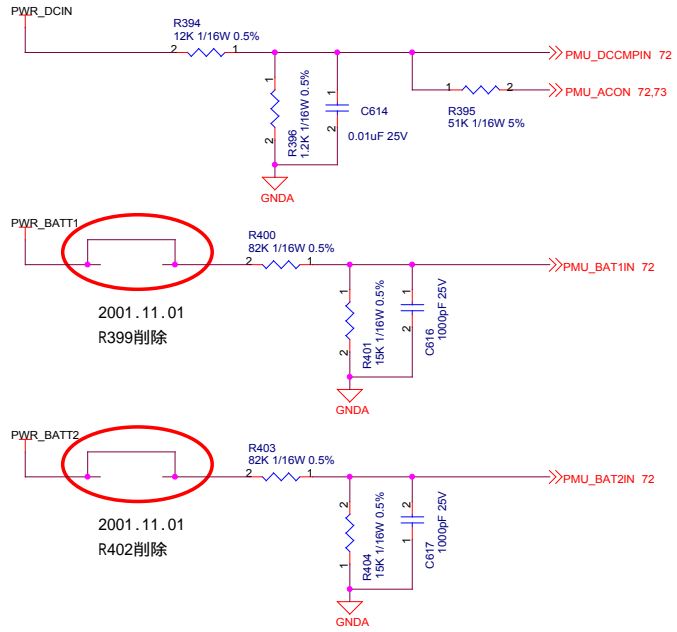
PWR_1
R374
100K 1/16W 5%

69.76 PMU_VSENSE1
R368
1K 1/16W 5%

配置について】
 アンプおよび周辺回路はPMU近傍に配置すること
 Aにある部品はPMUの接続端子近傍に配置すること
 アンプの入力の接続する部品はアンプ入力端の近傍に配置すること

Power/ PMU/ VolMeter

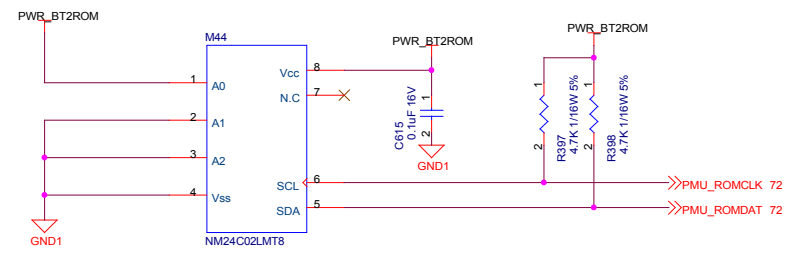
				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				FUJITSU LTD.	
				SHEET 74 / 76	



2001.11.01
R399削除

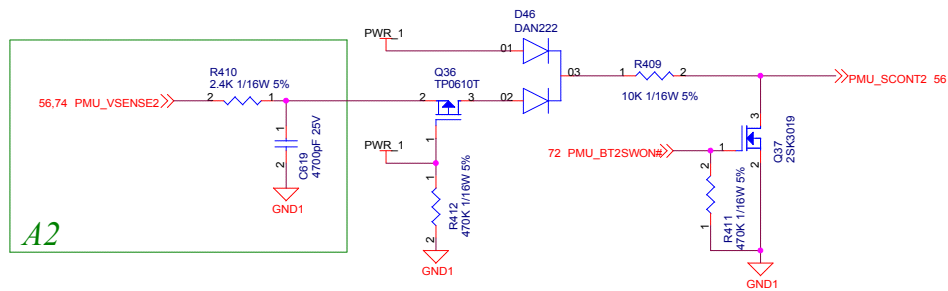
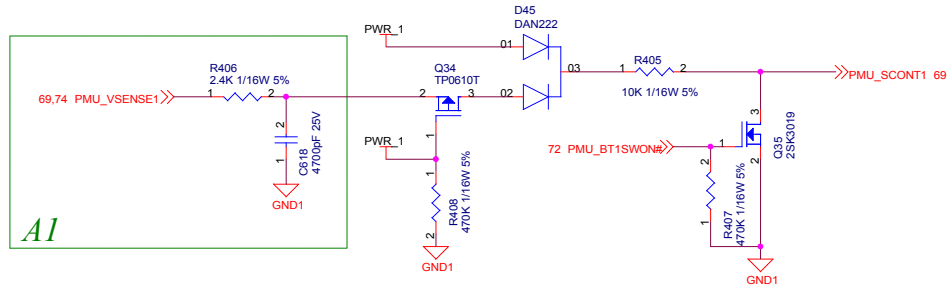
2001.11.01
R402削除

【配置について】
PMU接続端子近傍に配置すること



【配置について】
PMU近傍に配置すること

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	
Design				FUJITSU LTD.	
				SHEET 75 / 76	



【Aの配置について】
互いに近傍に配置すること

				TITLE Laurel	
				DRAW. No. C1CP064740-X1	
				CAST	
Rev.	DATE	Design	Appr.	Description	SHEET
Design					76 / 76
				FUJITSU LTD.	