

Rockchip RK3128 BOX Hardware Design Guide

文档版本:	V1.0
日期:	2014年10月

Revision History

修订记录累积了每次文档更新的说明。最新版本的文档包含以前说有文档版本的更新内容。

修订日期	版本号	作者	修订说明
2014-10	V1.0	硬件组	Initial Release

免责声明

您购买的产品、服务或特性等应受瑞芯微公司商业合同和条款的约束，本文中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，瑞芯微公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

商标声明

Rockchip、Rockchip™ 图标、瑞芯微和其他瑞芯微商标均为福州瑞芯微电子有限公司的商标，并归瑞芯微电子有限公司所有。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

版权所有 © 福州市瑞芯微电子有限公司 2014

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

福州市瑞芯微电子有限公司

Fuzhou Rockchips Semiconductor Co., Ltd

地址：福建省福州市铜盘路软件园A区18号

网址：www.rock-chips.com

客户服务电话：+86-591-83991906

客户服务传真：+86-591-83951833

客户服务邮箱：www.rock-chips.com



Rockchip™
瑞芯微电子™

Foreword

Overview

本文档主要介绍RK3128硬件设计的要点及注意点，旨在帮助RK客户缩短产品的设计周期、保证产品的设计稳定性及降低故障率。请客户严格按照本指南的要求进行硬件设计，同时尽量使用RK发布的相关核心模板。如因模具原因确实需要修改核心模板的，设计需取得RK工程师的确认。

Product Version

本文档对应的产品版本如下：

产品名称	产品版本
RK3128 BOX	

Product Object

本文档主要适用于以下工程师：

- 单板硬件开发工程师
- 技术支持工程师
- 测试工程师

Acronym

缩略语包括文档中常用词组的简称。

ESD	Electro-Static discharge	静电释放
ESR	Equivalent Series Resistance	等效并联电阻
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
I2C	Inter-Integrated Circuit	内部整合电路(两线式串行通讯总线)
JTAG	Joint Test Action Group	联合测试行为组织定义的一种国际标准测试协议 (IEEE 1149.1兼容)
LCM	LCD Module	LCD显示模组
LVDS	Low-Voltage Differential Signaling	低电压差分信
MIPI	Mobile Industry Processor Interface	移动产业处理器接口
PMIC	Power Management IC	电源管理芯片
PMU	Power Management Unit	电源管理单元
PCB	Printed Circuit Board	印制电路板
RK	Rockchip Electronics Co., Ltd.	瑞芯微电子有限公司
SPDIF	Sony/Philips Digital Interface Format	SONY、PHILIPS数字音频接口
TF Card	Micro SD Card(Trans-flash Card)	外置记忆卡
USB	Universal Serial Bus	通用串行总线

Contents

Revision History	2
Foreword	3
Overview	3
Product Version	3
Product Object	3
Acronym	4
Contents	5
1 Brief Introduction	7
1.1 RK3128 Overview	7
1.2 RK3128 Block Diagram	7
2 Schematic Design Note	8
2.1 Select Adapter Note	8
2.2 Power on timing Note	8
2.3 DC/DC and LDO Design Note	8
2.4 24MHz crystal Design Note	8
2.5 Recover Key Design Note	8
2.5 eFuse Design Note	9
2.6 USB Interface Design Note	9
2.7 USB HUB Design Note	10
2.8 Memory Design Note	11
2.9 Flash Design Note	13
2.10 SD/TF Card Design Note	14
2.11 SDMMC1 Design Note	14
2.12 GPIO Design Note	14
2.13 CIF and TS Interface Design Note	14
2.14 HDMI Interface Design Note	15
2.15 Codec Design Note	15
2.16 VDAC (CVBS OUT) Design Note	16
2.17 Ethernet Design Note	16
2.18 WIFI Design Note	18
2.19 Debug(UART2) Design Note	19

2.20 MCU Design Note	19
2.21 Other Design Note	19
3 PCB LAYOUT Design Note	20
3.1 Structure	20
3.2 PCB Layout Design Rule	22
3.3 PCB Layout Design Note	24
3.3 Silk-screen and Decal	24
3.4 Heat Dissipation	24
3.5 Power Layout Note	25
3.6 Cystal Layout Note	31
3.7 Recover Key Layout Note	31
3.8 USB Layout Note	32
3.9 DDR Layout Note	33
3.10 Flash Layout Note	35
3.10 SD/TF Card Layout Note	36
3.11 HDMI Layout Note	36
3.12 AV out Layout Note	37
3.13 Ethernet Layout Note	37
3.14 WIFI Layout Note	40
3.15 Other Layout Note	42

1 Brief Introduction

1.1 RK3128 Overview

RK3128 is a high performance Quad-core application processor for Tablet and smart TV-Box. Especially it is a high-integration and cost efficient SOC for 1080P H.265 TV-Box.

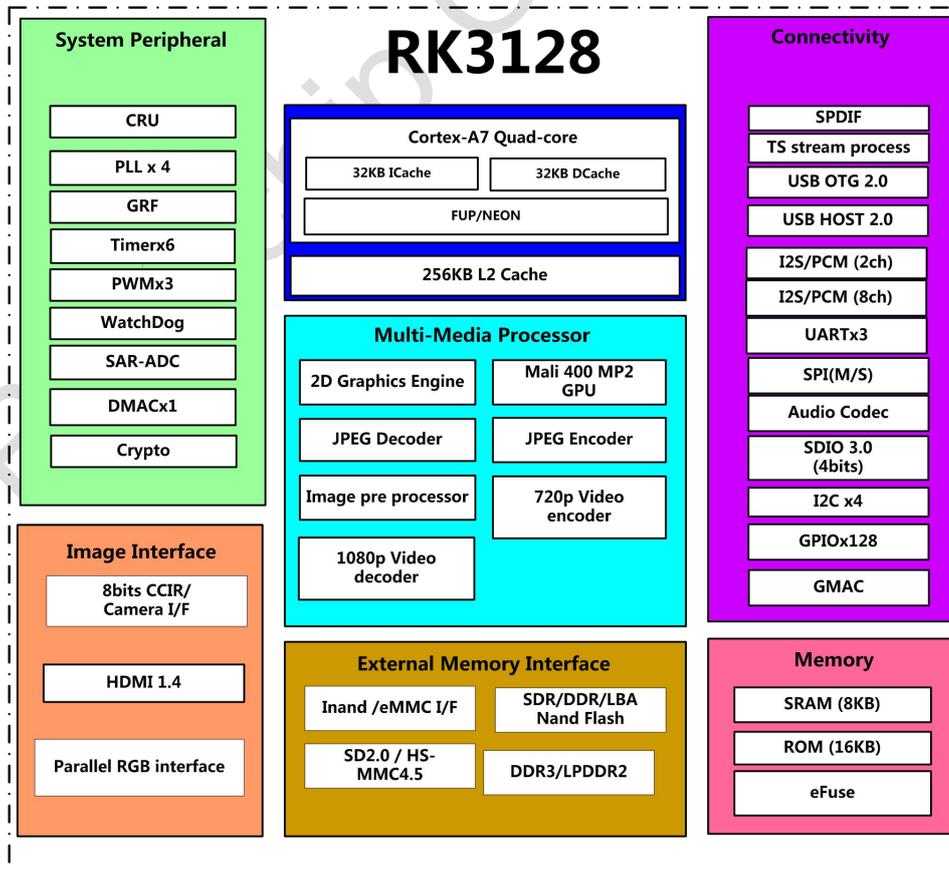
Quad-core Cortex-A7 is integrates with separately Neon and FPU coprocessor, also shared 256KB L2 Cache. Mali400 MP2 GPU is embedded to support smoothly high-resolution (1080p) display and mainstream game.

Lots of high-performance interface to get very flexible solution, such as multi-pipe display with LVDS, MIPI-DSI, HDMI1.4a, TV Encoder. Crypto hardware integrated for support security BOOT.

32bits DDR3/LPDDR2 provides high memory bandwidths for high-performance.

HEVC hardware is integrated for support 1080P H.265 video.

1.2 RK3128 Block Diagram



2 Schematic Design Note

2.1 Select Adapter Note

如果采用5V的电源方案，建议采用的适配器输出的电压是5.1V-5.2V，电流至少1.5A以上。要支持大负载的USB外设，建议采用2A以上的适配器。

2.2 Power on timing Note

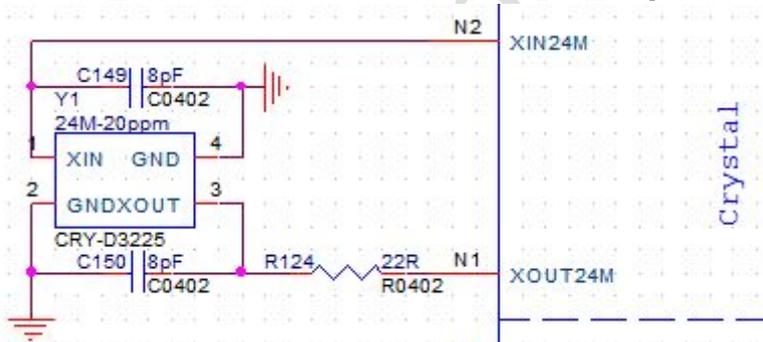
目前RK3128 BOX应用采用分立电源方案设计，上电时序是各路电源同时上电，复位芯片需使用复位时间大于最后上电电源再延时2mS以上的型号，参考图使用复位芯片时间是220mS。另外需注意的地方：要保证VDD_LOG电源和VCC_IO电源一起上电，或者比VCC_IO早上。

2.3 DC/DC and LDO Design Note

- 1) VCC_IO和VCC_DDR电源：DC/DC建议使用1A continuous output current capability。
- 2) VDD_ARM和VDD_LOG电源：DC/DC建议使用2A continuous output current capability。
- 3) LDO建议使用200mA以上。
- 4) VDD_LOG电源电容总容量不少于56uF，VDD_ARM电源电容总容量不少于64uF，VCC_DDR电源电容总容量不少于70uF。

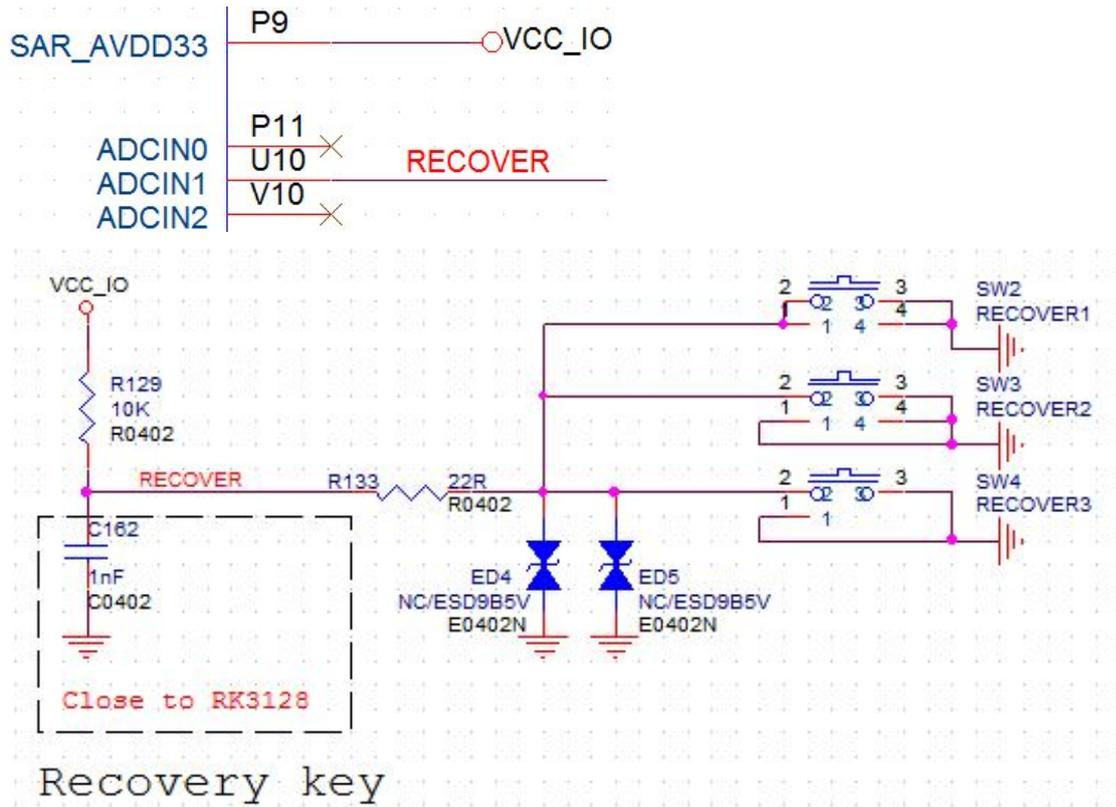
2.4 24MHz crystal Design Note

下图晶体Y1需要采用频偏 $\pm 20\text{ppm}$ ，温度频差 $\pm 30\text{ppm}$ 的石英晶体。24MHz晶体的负载电容（C149、C150）容值需要根据实际采用晶体标称负载电容值，8pF为我司选用晶体所对应容值，不为通用值。



2.5 Recover Key Design Note

RK3128采用ADCIN1作为进入Recover模式输入口，在机器有固件的前提下，按着Recover按键即ADCIN1管脚保持为0V电平（最高不超过100mV），上电开机，RK3128会进入Rockusb烧写模式。当PC识别到USB设备时，松开按键使ADCIN1恢复为高电平（VCC_IO电压值），即可进行固件烧写升级。下图SW2,SW3,SW4是兼容结构设计，实际只会用一个。建议结构设计时，最好预留Recover按键，方便升级固件。



小贴士:

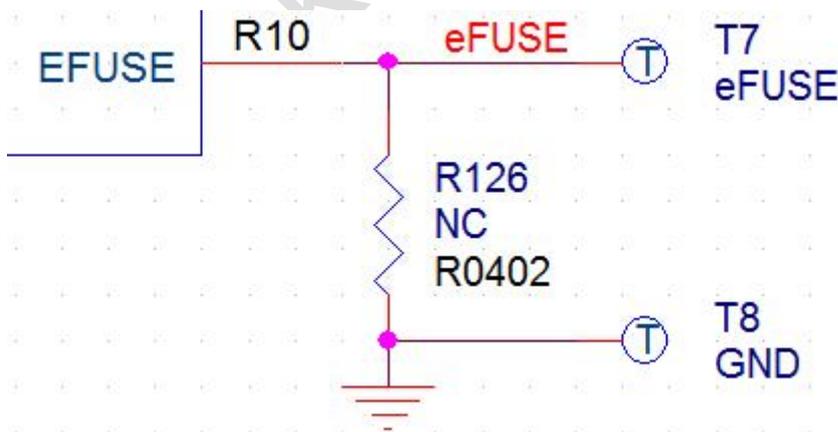
- **Recover** 模式进入方法不能自行更改;
- 结构设计中没有 **Recover** 按键, 也必须保留 **ADCIN1** 的上拉电阻 **R129**, 最好预留一个测试, 方便样机调试时升级固件。

2.5 eFuse Design Note

RK3128的eFuse有64*8bit可供编写, 每1bit只能写一次。

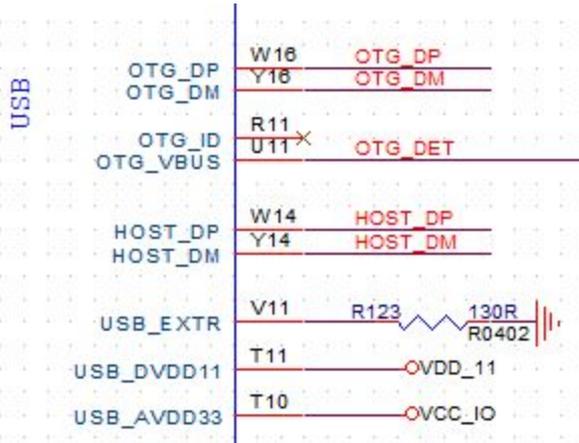
要往eFuse里编写数据时, 必须给eFuse管脚 (RK3128 PIN R10) 供2.5V电源 (2.25V-2.75V), 电流至少能提供15mA。如果只读eFuse内容, 这个脚必须悬空或接地。

建议在PCB上预留测试点, 在生产时, 通过治具顶针给eFuse供2.5V电源, 然后进行烧写eFuse。

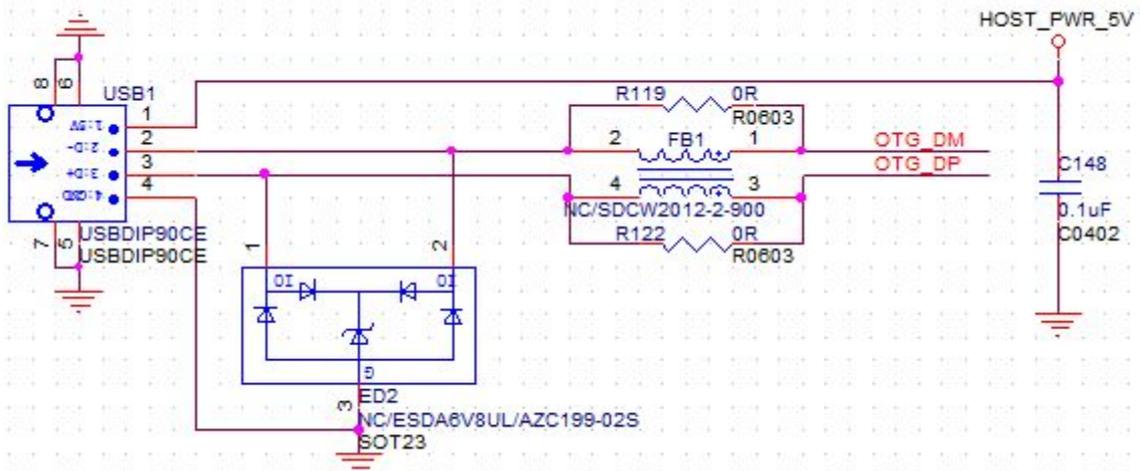


2.6 USB Interface Design Note

RK3128有两组USB接口, 其中一组是USB OTG, 另外一组是USB HOST, 如下图。



- 1) USB OTG接口可以实际产品定义配置成只有HOST功能或只有Device功能，也可以配置成OTG功能，可支持USB1.1/2.0。
- 2) OTG功能：可通过OTG_ID硬件判断，自动配置成HOST功能和Device功能自动切换（即OTG_ID为高时是Device功能，OTG_ID为低时是HOST功能）；也可以通过UI选择是HOST功能或Device功能（需软件支持）。
- 3) 机器在没有固件时或kernel还没有起来前，USB OTG默认状态是Device功能，可以通过这个接口连接PC，通过PC烧写工具进行烧写固件或升级固件。PS：PC能否识别到这个接口，有一个前提条件是OTG_VBUS管脚即OTG_DET网络要为高（2.8-3.3V）。
- 4) USB HOST接口，只能作为HOST接口，可支持USB1.1/2.0。
- 5) 上图R123电阻是USB控制器的参考电阻，阻值不能随意更改，该电阻关系到USB信号质量及眼图。
- 6) RK3128的USB控制器有两个电源，一个USB_DVDD11（1.1V），一个是USB_AVDD33（3.3V），两个电源的0.1uF去耦电容要靠近这两个电源管脚放置，建议去耦电容放置在管脚背面。
- 7) USB差分线LAYOUT时，务必严格按差分对处理，阻抗控制要求90欧（±10%），尽量不要打过孔换层走线，如果无法避免单线最多不能超过2个过孔，要包地处理，包地的线大概间隔2mm至少要打一个地过孔，另外要保证有完整的参考面（参考层最好是GND）。
- 8) 由于USB传输速率理论上可以达到480Mbps，DP，DM差分信号上选择的ESD保护器件，结电容要小于1pF，参考图上使用ESDA6V8UL或AZC199-02S。
- 9) 为了降低EMI，建议在DP，DM差分信号上预留共模电感（Common mode choke），在测试EMI时根据实际情况使用电阻或共模电感，如下图。



2.7 USB HUB Design Note

- 1) 目前常用的型号有：Genesys Logic的GL850G，GL852G等，SMSC的USB2514，USX2064等，建议使用MTT类型的型号，如GL852G，USB2514，USX2064等，效率高。不建议使用FE

系列的HUB，如FE1.1S,FE1.1，以及Alcor的HUB，如AU6254，AU6258等，兼容性不好。

2) USB HUB的Reset信号建议最好采用主控的GPIO进行控制。

3) 外扩的USB HOST接口，注意点和2.6 7) 点8) 点9) 点描述要求一致。

4) 建议USB HOST接口的5V电源加大电容（建议采用47uF以上），外接大负载的外备时，可以降低5V电源电压的塌陷。

2.8 Memory Design Note

1) RK3128 有一个32bits DDR控制器，可支持DDR3-1066/DDR3L-1006和LPDDR2-800，有2片选信号，最大容量可以支持到2GB。

2) 信号分组说明如下：

- 4组数据线（DATA0—DATA31）、4条DATA MASKS（DQM0--DQM3），4对DATA STROBES差分线（DQS0P/ DQS0M—DQS3P/ DQS3M），这36条线和4对差分线分为四组：

GROUP A: (DATA0—DATA7, DQM0, DQS0P/ DQS0M)

GROUP B: (DATA8—DATA15, DQM1, DQS1P/ DQS1M)

GROUP C: (DATA16—DATA23, DQM2, DQS2P/ DQS2M)

GROUP D: (DATA24—DATA31, DQM3, DQS3P/ DQS3M)

- 剩下的信号线分为三类：

GROUP E: Address: ADDR0—ADDR14共15条地址线。

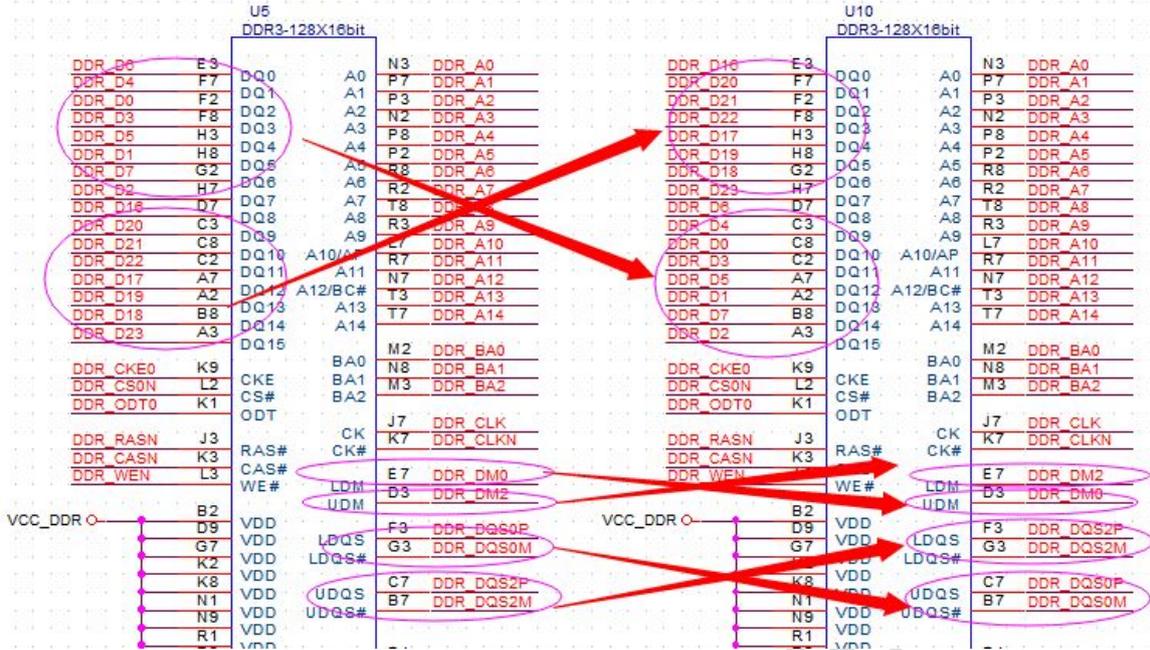
GROUP G: Control: 包括WE、CAS、RAS、CS0、CS1、CKE0、CKE1、ODT0、ODT1、BA0、BA1、BA2、RESET等控制信号。

GROUP F: Clock: CLK、CLKn差分对。

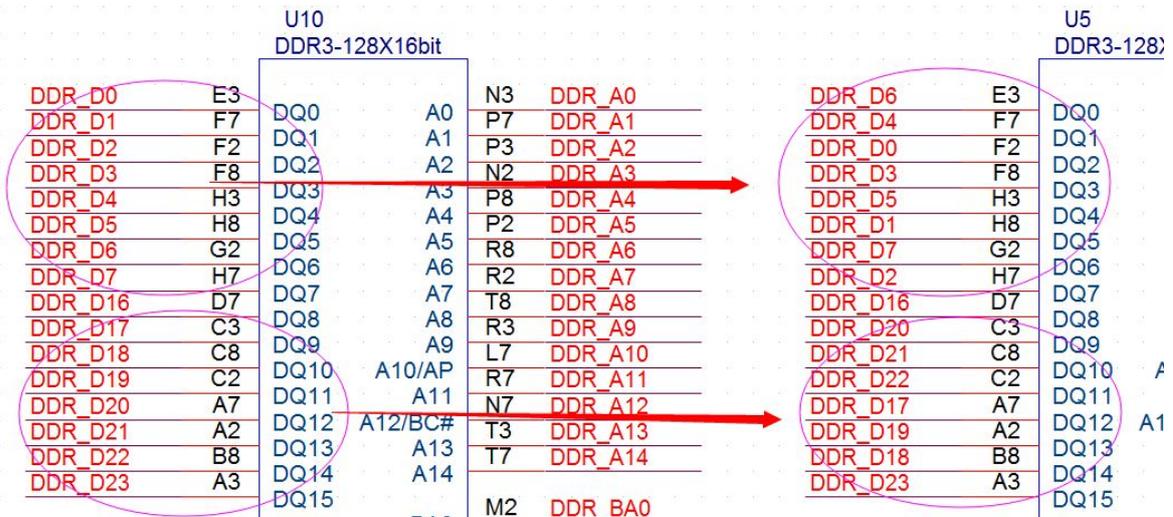
Address、Control与CLK归为一组，是因为Address、Control在CLK的下降沿由DDR控制器输出，DDR颗粒在CLK的上升沿锁存Address、Control总线上的状态，所以需要严格控制CLK与Address/Command、Control之间的时序关系，确保DDR颗粒能够获得足够的、最佳的建立/保持时间。

3) 不管使用DDR3，DDR3L还是LPDDR2，都不允许调换地址线及控制信号线，即GROUP E、GROUP G。

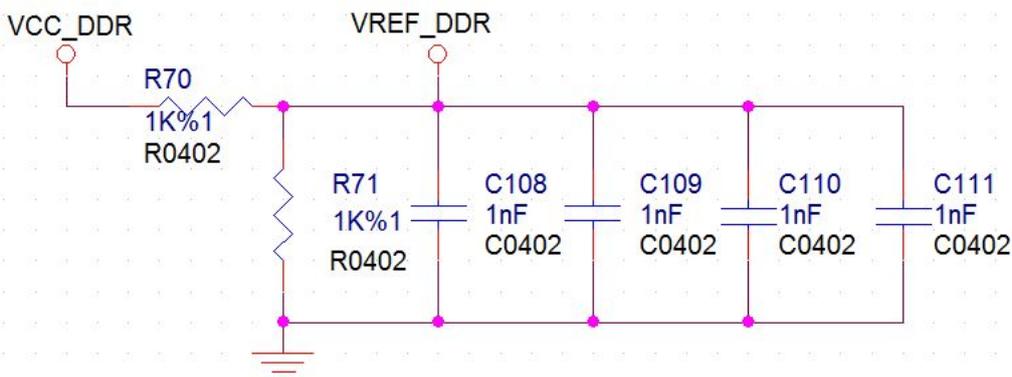
4) 颗粒端的数据线间整组GROUP调换的时候，4条DATA MASKS（DQM0--DQM3）、4对DATA STROBES差分线（DQS0P/ DQS0M—DQS3P/ DQS3M）也要同时调换，如下图所示，GROUP A和GROUP C整组对掉。



5) 如果使用DDR3或DDR3L, 颗粒端的数据组内数据线, D0-D7之间, D8-D15之间, D16-D23之间, D24-D31之间可以随意调换顺序, 如下图所示D0-D7之间和D16-D23之间, 根据LAYOUT方便进行对颗粒端的数据顺序进行调整。



6) VREF_DDR电源是通过VCC_DDR电源两个1K 1%电阻分压获取的, 分压电阻必须采用1%精度的电阻, VREF_DDR电源的滤波电容采用1nF, 一个管脚(根据实际使用的DDR颗粒)分配一个, 电容值不能随意更改。



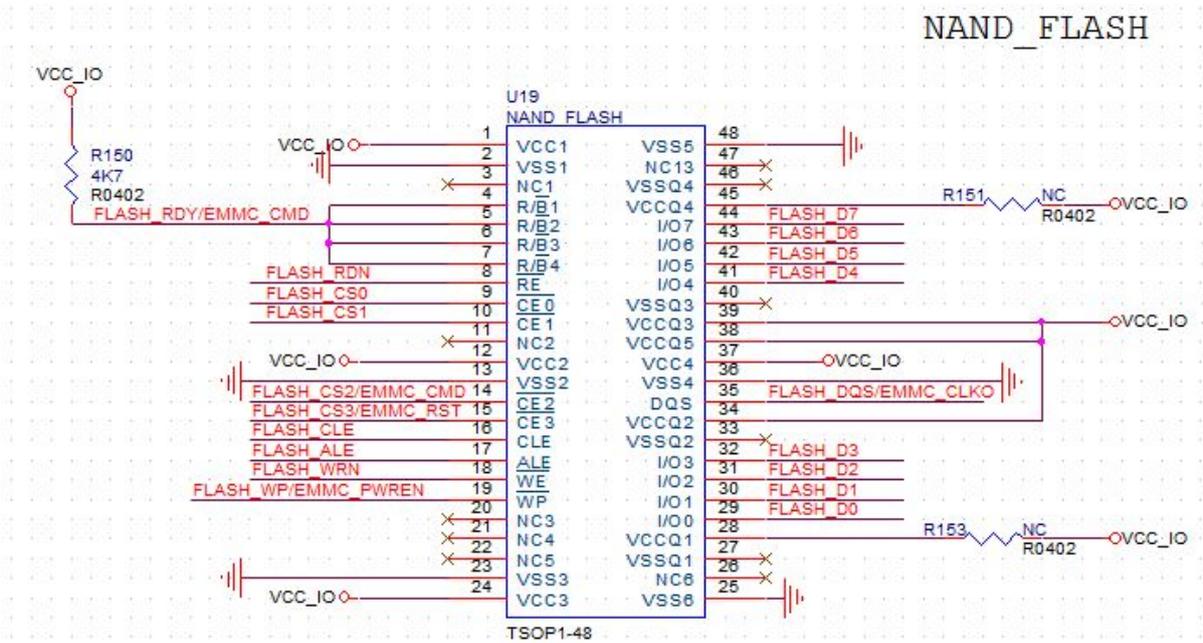
7) 对于有分支的DDR拓扑结构时，需要在DDR_CLK和DDR_CLKN之间并一个电阻，减小分支带来的反射信号影响，在布局时这个电阻应放置在分支点上。



2.9 Flash Design Note

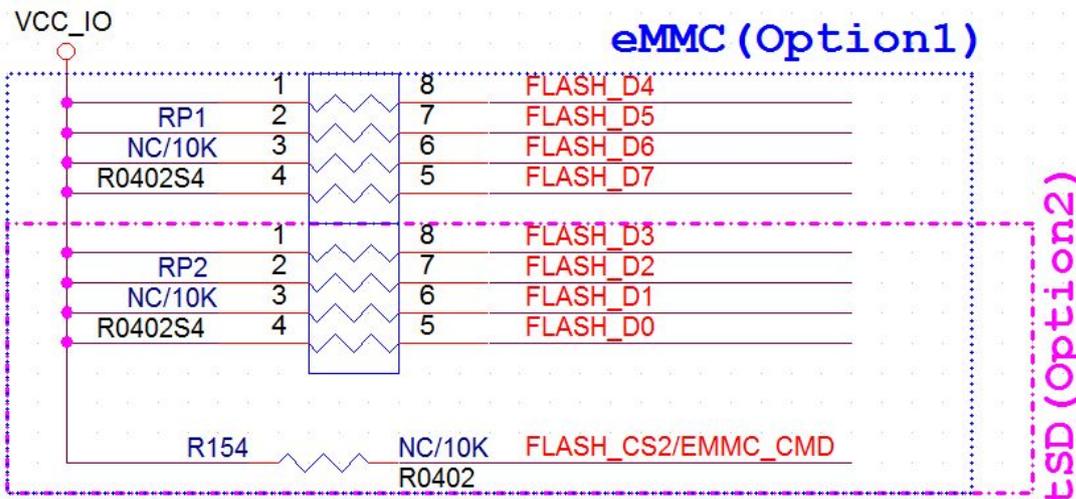
RK3128可支持3.3V IO的Nand flash、eMMC、tSD、SPI、SFC。

1) 默认是使用Nand Flash，如下图，当使用Toshiba和Sandisk 的DDR模式Nand Flash时，U19的pin28， pin45需要连接到VCC_IO供电，即R151、R153要贴0R电阻。

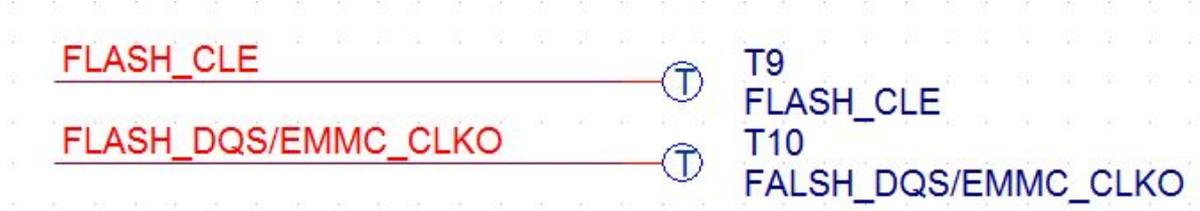


note: if use toshiba and sandisk DDR mode, PIN28 and PIN45 must be connect to VCC_IO.

- 2) 如果使用eMMC，eMMC相关的器件要全部贴上，Nand Flash和tSD的相关器件可以不贴。
- 3) 如果使用eMMC，下图的RP1，RP2，R154都要贴上10K，即FLASH_D0-FLASH_D7以及EMMC_CMD信号要全部上拉电阻。如果使用tSD，下图的RP2，R154要贴上10K，即FLASH_D0-FLASH_D3以及EMMC_CMD信号要上拉电阻。



4) 为了方便在开发阶段进入MaskRom固件烧写模式 (需要更新LOADER) 使用Nand Flash时FLASH_CLE需预留测试点, 而在使用eMMC或tSD时FLASH_DQS/EMMC_CLKO要预留测试点, 如下图。在上电前FLASH_CLE或FLASH_DQS/EMMC_CLKO对地短路, 然后上电开机, 直到PC烧写工具识别到MaskRom状态时, 放开FLASH_CLE或FLASH_DQS/EMMC_CLKO对地短路, 然后进行更新loader或烧写固件。



2.10 SD/TF Card Design Note

发布的参考图采用的存储卡插座是TF card, 如果要更换成SD card, 请注意卡座的封装。

- 1) ESD器件请选择结电容小于10pF。
- 2) 卡座的电源必须放置4.7uF或以上的电容, 布局时, 要靠近卡座放置。

2.11 SDMMC1 Design Note

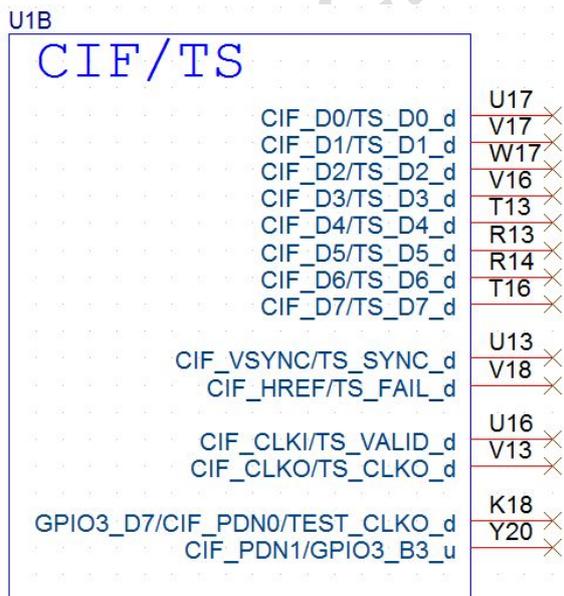
SDMMC1提供给SDIO WIFI模组的接口, 由于SDMMC1复用的GPIO默认是下拉口, SDMMC1_D0-D3以及SDMMC1_CMD信号外部必须增加上拉电阻。

2.12 GPIO Design Note

- 1) RK3128的所有GPIO都是VCC_IO的电源域, 即都是3.3V的IO电平, 如果外部设备有其它的电压需注意电压匹配问题, 当控制GPIO时, 要注意RK3128默认的上下拉。
- 2) 主要功能的GPIO分配请按照RK3128(BOX)_IO_LIST分配, 建议不要更改。

2.13 CIF and TS Interface Design Note

RK3128的CIF功能和TS功能在封装上是复用的, 在BOX应用时, 默认功能是TS功能, TS注意点请查阅各模组。



RK3128
BGA316-14X14_0.65

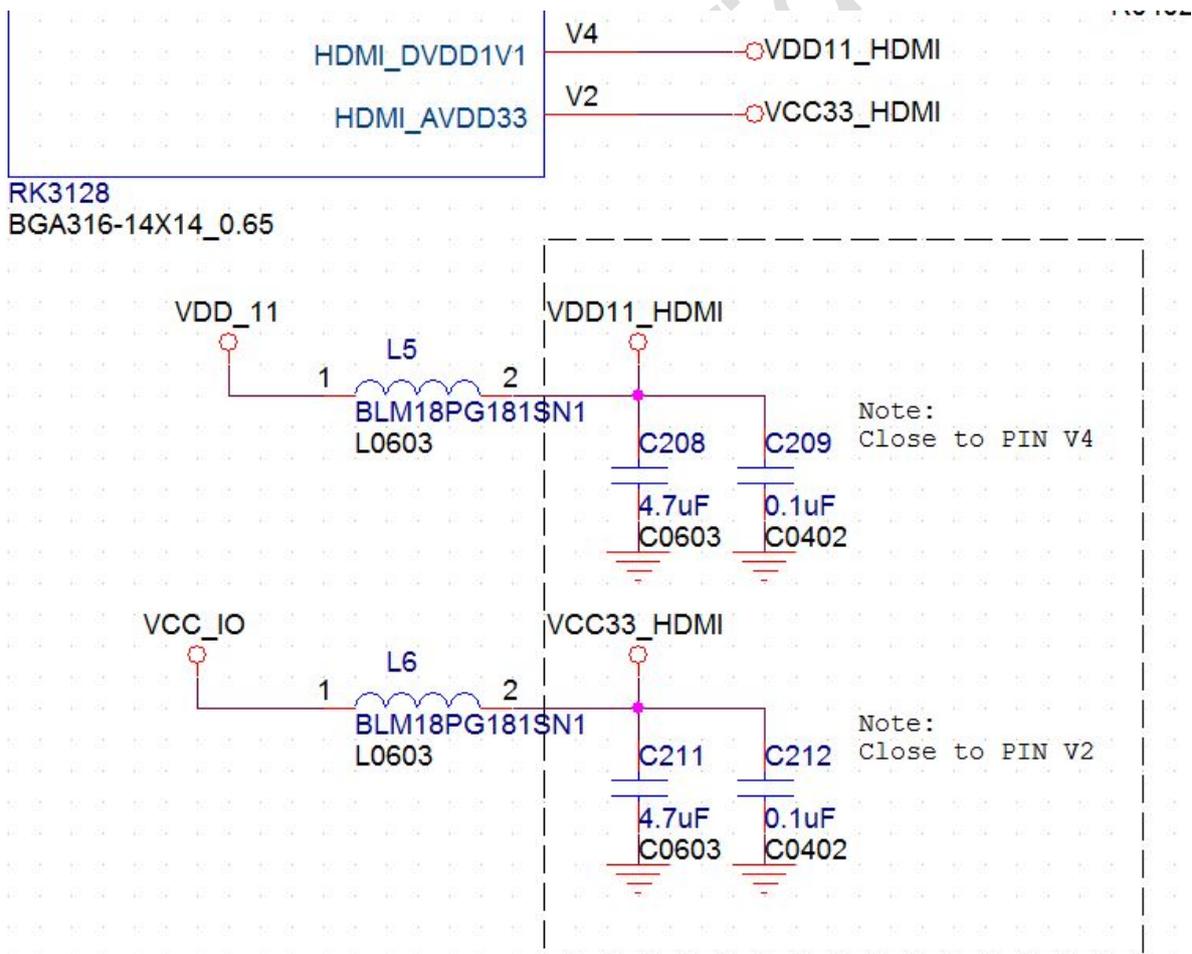
2.14 HDMI Interface Design Note

RK3128 Support HDMI 1.4 output up to 1080P@60Hz, HDCP revision 1.4 and DVI version 1.0 compliant transmitter.

- 1) 发布的参考图采用HDMI座子是Type A, 如果要换成其它Type B或Type C, 要注意一下, 要更改原理图以及PCB封装。
- 2) 4对TMDS差分对信号的ESD器件, 结电容必须选择小于0.4pF以下。
- 3) 如果要过EMI, 4对TMDS差分对信号要预留共模电感, 共模电感的截止频率必须选择2.5GHz以上的, 共模阻抗必须选择90-110欧之间的。
- 4) DDC_SCL, DDC_SDA, HDMI_CEC的ESD器件的结电容建议选择尽量小的。
- 5) HDMI_EXTR参考电阻是2K 1%, 这个值不能随意更改, 和TMDS驱动电流有关, 布局时要尽量靠近RK3128的W3管脚。



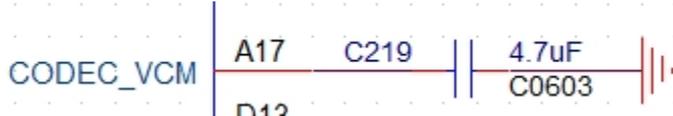
- 6) RK3128 HDMI的两个电源处理好坏关乎TMDS信号的质量, HDMI的1.1V和3.3V的电容必须分别有4.7uF以上的电容, 布局时, 电容要靠近电源管脚放置。



2.15 Codec Design Note

- 1) RK3128的CODEC_VCM外接电容, 容量不能随意更改, 在布局时, 这个电容要靠近A17管脚

放置。



- 2) CODEC_AVDD电源的去耦电容也应靠近D13管脚放置。
- 3) 发布参考图有带音频驱动芯片，放大倍数是2倍，声音最大可以达到2Vrms。
- 4) 音频驱动芯片有TPF632, DRV632PW, Dio2112H等型号选择，各型号外围参数有所不同，参考规格书修改外围参数。

2.16 VDAC (CVBS OUT) Design Note

- 1) VDAC_IREF电阻阻值不能随意更改，必须采用1K 1%，布局时要靠近U8管脚。



- 2) VDAC_AVDD电源的去耦电容要靠近T7管脚放置。

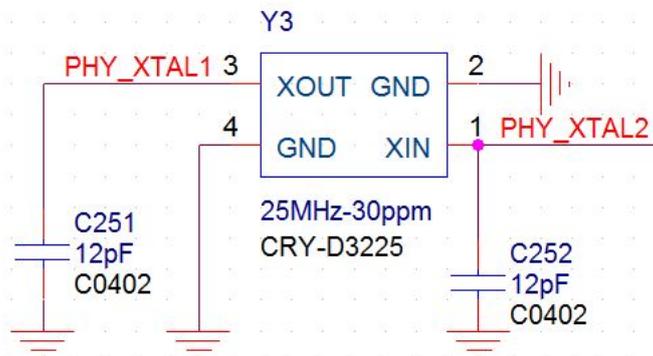
2.17 Ethernet Design Note

RK3128支持10/100M EMAC， 10/100/1000M GMAC，发布参考图是接10/100M PHY (DP83848J)，其它型号的10/100M PHY: RTL8201F, LAN8720, IP101, 10/100/1000M PHY型号如: RTL8211E等，请参考以太网PHY参考电路。

- 1) 各家PHY的变压器抽头接法有所不同，要特别注意，这个是PHY芯片UTP口驱动类似决定的，分为电压驱动和电流驱动，一般来说，电压驱动变压器的抽头要接电源（电压值也是PHY芯片UTP口电平决定），电流驱动的变压器抽头直接的接个电容到地即可。
- 2) UTP接口的TXP/TXN, RXP/RXN差分对信号的接法也有所不同，也是PHY芯片决定的。
- 3) PHY的Reset管脚必须采用GPIO控制或者PHY的电源是可控的。
- 4) 发布的参考图的RJ-45接口不能直接的套用，要根据实际结构选择的器件进行修改，特别是要和PCB封装库一致。
- 5) RJ-45的指示灯接法和选用的PHY型号有关系，有些PHY会靠LED的默认接法（下拉或上拉）进行配置PHY的状态，要特别注意。
- 6) 如果10/100M RMII接法时，需特别注意的是PHY_CRS_DV是接MAC_RXDV，而不是MAC_CRS管脚。
- 7) 其它注意点请查看各PHY的要求。

下面以10/100/1000M PHY RTL8211E说明相关注意点（其它型号PHY的要求类似）：

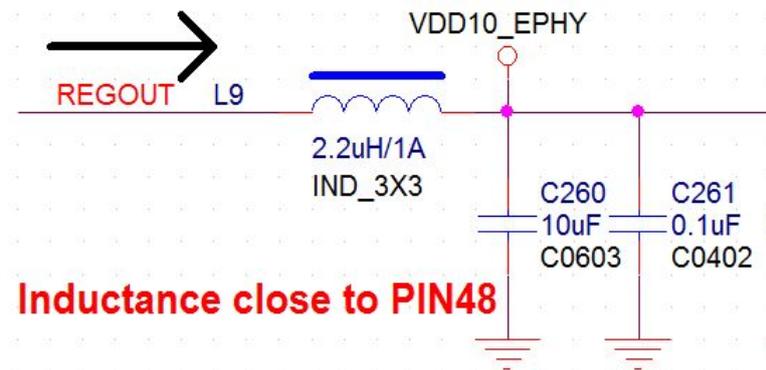
- 1) 下图的25MHz晶体的负载电容（C251,C252）容值需要根据实际采用晶体标称负载电容值，12pF为我司选用晶体所对应容值，不为通用值。



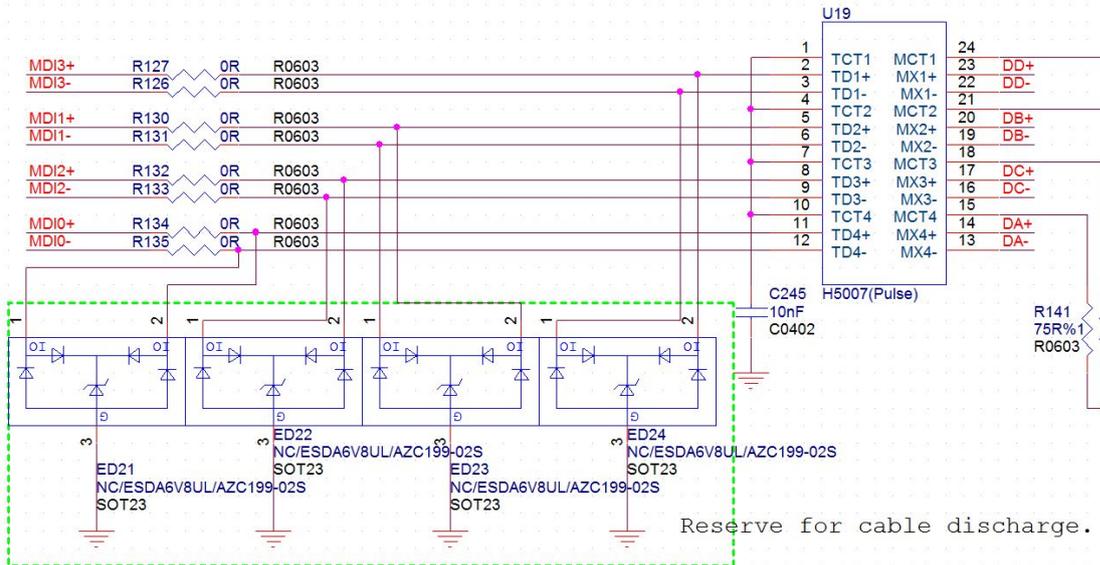
- 2) 下图中的L9电感需满足下面条件：

- a) $IDC \geq 600\text{Ma}$;
- b) $\text{Tolerance} \leq 20\%$;
- c) $\text{DCR} \leq 0.8\text{ohms}@1\text{MHz}$;

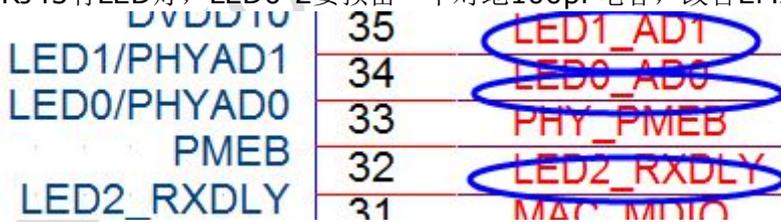
d) Measure Efficiency >= 75% @ GbE link speed.



3) 如果要过EMI，下图差分线串接的0R电阻需考虑换成共模电感（Common mode choke is 90-120ohm）。

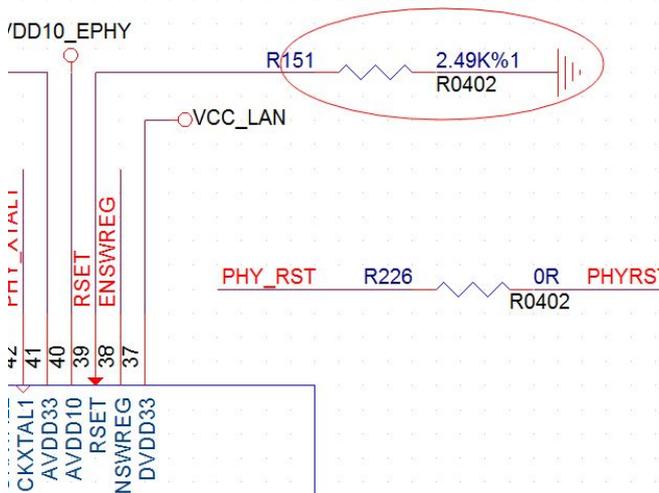


4) 如果RJ45有LED灯，LED0-2要预留一个对地100pF电容，改善EMI。



5) 3.3V和1.05V的纹波要求小于100mV。

6) RSET电阻必须采用1%的。



7) 网络变压器需满足下面条件:

Turn Ratio TX/RX: 1:1

Primary Inductance: 350 μ H OCL with 8mA bias

Insertion Loss: -1.0 dB Max, 1 ~ 100MHz

Return Loss: -18dB Min @ 100 Ω , 1 ~ 30MHz

-14dB Min @ 100 Ω , 30 ~ 60MHz

-12dB Min @ 100 Ω , 60 ~ 80MHz

Differential to Common Mode Rejection:

-40dB Min @ 1 ~ 60MHz

-30dB Min @ 60 ~ 100MHz

Hi-Pot: 1500Vrms @ 60sec

Operating Temperature: 0 $^{\circ}$ C to 70 $^{\circ}$ C

Recommended Magnetics: Pulse H5007 or similar

8) 建议RJ45座子采用完全屏蔽的。

2.18 WIFI Design Note

1) 发布的参考图里有预留USB WIFI和SDIO WIFI (ESP8089) 接法, 默认采用ESP8089, 如果要采用USB WIFI, 参考图里的USB HUB也必须贴上。

2) 如果采用SDIO WIFI, SDIO接口必须接到SDMMC1上, 如果有采用其它模组, 需要注意SDIO接口的IO电平要和RK3128一致 (3.3V)

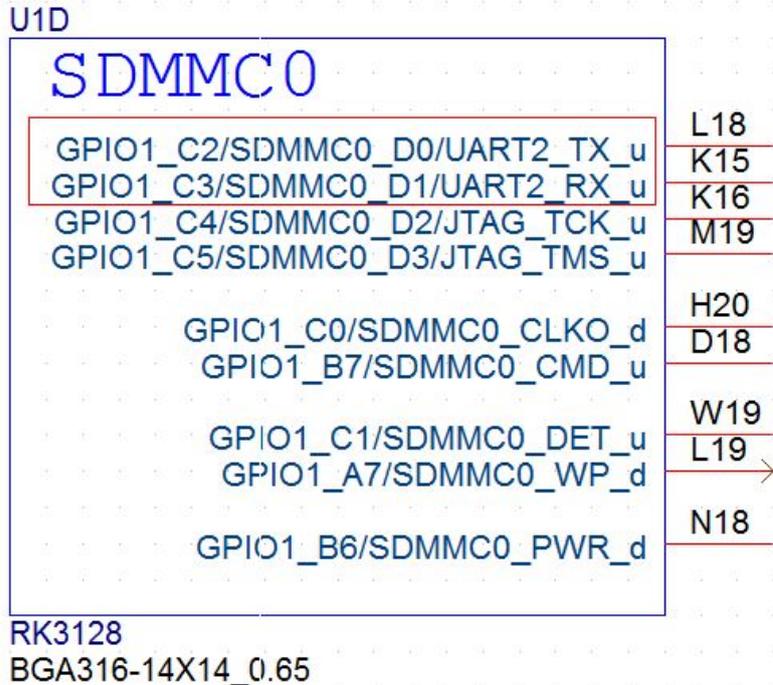
3) 有些SDIO WIFI模组还必须有一个32.768KHz的睡眠时钟, 需要注意一下提供的32.768KHz时钟的Vpp值是否符合模组要求。

4) 如果采用的WIFI有外接一个晶体时, 需要注意这个晶体的负载电容要选择该晶体的匹配值 (频偏要求在10ppm以内)

5) WIFI模组的主电源 (VBAT) 供电电流最大峰值会达到500mA, 建议在主电源至少保证有一个10 μ F电容, 布局时要靠近模组的电源管脚。

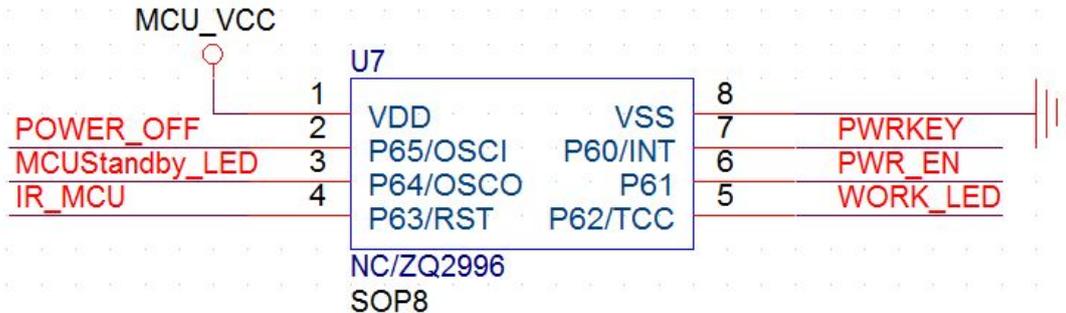
2.19 Debug(UART2) Design Note

RK3128 默认Debug串口是UART2，由于UART2和SDMMC0管脚是复用的，实际产品时，没有SD卡插入（SDMMC_DET为高电平）时，会自动切到UART2模式（即Debug UART2调试），如果有SD卡插入（SDMMC_DET为低电平）时，自动切到SDMMC0模式。
建议UART2_TX,RX预留测试点，方便产品调试。



2.20 MCU Design Note

发布的参考图带有MCU参考设计电路，可以实现遥控开机，待机，关机功能。



IR_MCU: 是遥控器信号输入，解析遥控器发送的信号。

PWR_EN: 电源使能控制输出，开机该脚输出高电平，关机该脚输出低电平。

WORK_LED: 工作指示灯控制输出，高有效。

MCUStandby_LED: 待机指示灯控制输出，高有效。

PWRKEY: RK3128系统待机后，可以不响应IR唤醒信号，只响应MCU发出来的PWRKEY唤醒信号给RK3128，唤醒RK3128，这样不会造成所有遥控信号包含干扰信号会不断唤醒RK3128。

POWER_OFF: RK3128系统关机流程结束后发出一个信号给MCU，MCU收到这个信号（低有效），PWR_EN信号输出低电平，关闭系统电源。

另外要特别注意MCU的IO和RK3128 GPIO直接连接的电平匹配问题。

2.21 Other Design Note

- 1) 有接I2C设备时，SDA、SCL必须增加上拉电阻（推荐值1.5K-10K）。
- 2) 建议增加MARK点。

3 PCB LAYOUT Design Note

3.1 Structure

为了保证产品的性能和稳定性，PCB的设计相当关键，在PCB设计的时候需要重点关注。为了保证RK3128有更高的表现性能，推荐使用4层及以上的PCB堆叠结构设计，同时建议器件采用双面贴片设计。铜箔厚度建议采用1oz，以改善PCB的散热性能。

1) 层的定义设计原则：

A) 器件面下面（第二层）为地平面，提供器件屏蔽层以及为器件面布线提供参考平面；

B) 所有信号层尽可能与地平面相邻；

C) 尽量避免两信号层直接相邻；

D) 主电源尽可能与其对应地相邻；

E) 原则上应该采用对称结构设计。对称的含义包括：介质层厚度及种类、铜箔厚度、图形分布类型（大铜箔层、线路层）的对称；

F) PCB的层定义推荐方案：具体的PCB层设置时，要对以上原则进行灵活掌握，根据实际的需求，确定层的排布，切忌生搬硬套。以下给出常见的层排布推荐方案，供参考。在层设置时，若有相邻布线层，可通过增大相邻布线层的间距，来降低层间串扰。对于跨分割的情况，确保关键信号必须有相对完整的参考地平面或提供必要的桥接措施。

4层的PCB堆叠结构推荐设计：

名称	属性	类型/规格	厚度 (mil)	介电常数	备注
Top	Signal1	Cu	0.7	-	Plating to 1oz
	pp	FR-4	3.8	4.3	-
L2	Gnd	Cu	1.5	-	1oz
	PP	FR 4	-	4.3	根据板厚调整
L3	Power	Cu	1.5	-	1oz
	pp	FR-4	3.8	4.3	-
Bottom	Signal3	Cu	0.7	-	Plating to 1oz

6 层的 PCB 堆叠结构推荐设计:

名称	属性	类型/规格	厚度 (mil)	介电常数	备注
Top	Signal1	Cu	0.7	-	Plating to loz
	pp	FR-4	3.8	4.3	-
L2	Gnd1	Cu	1.5	-	loz
	core	FR-4	8	4.3	-
L3	Power	Cu	1.5	-	loz
	PP	FR 4	-	4.3	根据板厚调整
L4	Signal2	Cu	1.5	-	loz
	core	FR-4	8	4.3	-
L5	Gnd2	Cu	1.5	-	loz
	pp	FR-4	3.8	4.3	-
Bottom	Signal3	Cu	0.7	-	Plating to loz

2) 电源层设计注意:

A) 平面分隔要考虑高速信号回流路径的完整性, 相邻层的关键信号不跨分割区。

B) 当高速信号的回流路径遭到破坏时, 应在其他布线层给予补偿。例如可用接地的铜箔将该信号网络包围, 以提供信号的地回路。

C) 注意电源与地层的完整性。对于导通孔密集的区域, 要注意避免孔在电源和地层的挖空区域相互连接, 形成对平面层的分割, 从而破坏平面层的完整性, 并进而导致信号线在地层的回路面积增大。

D) 不同电源层在空间上要避免重叠。主要是为了减少不同电源之间的干扰, 特别是一些电压相差很大的电源之间, 电源平面的重叠问题一定要设法避免, 难以避免时可考虑中间隔地层。

E) 20H 规则: 由于电源层与地层之间的电场是变化的, 在板的边缘会向外辐射电磁干扰。称为边沿效应。解决的办法是将电源层内缩, 使得电场只在接地层的范围内传导。以一个 H (电源和地之间的介质厚度) 为单位, 若内缩 20H 则可以将 70% 的电场限制在接地层边沿内; 内缩 100H 则可以将 98% 的电场限制在内。

3) 地层设计注意:

A) 与器件面相邻层有相对完整的地平面;

B) 高频、高速、时钟等关键信号有一相邻地平面;

C) 关键电源有一对应地平面相邻。

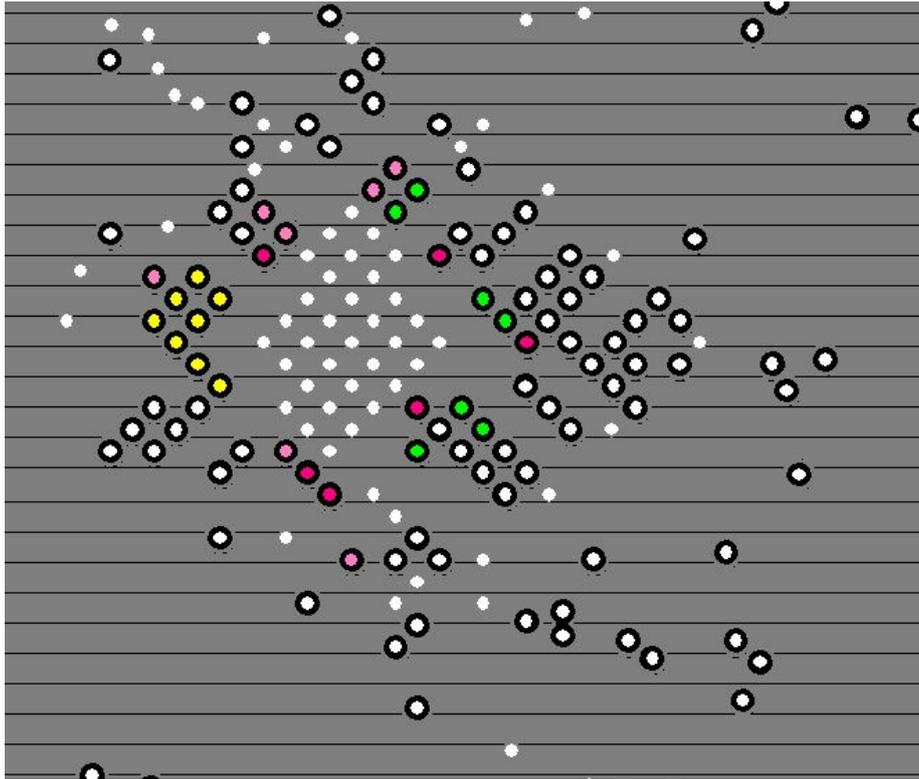
4) 信号层设计注意: 信号的层数主要由关键信号网络和局部高密度走线决定的。在确定信号的层数时, 需考虑关键信号网络 (强辐射网络以及易受干扰的小、弱信号) 的屏蔽或隔离措施。

3.2 PCB Layout Design Rule

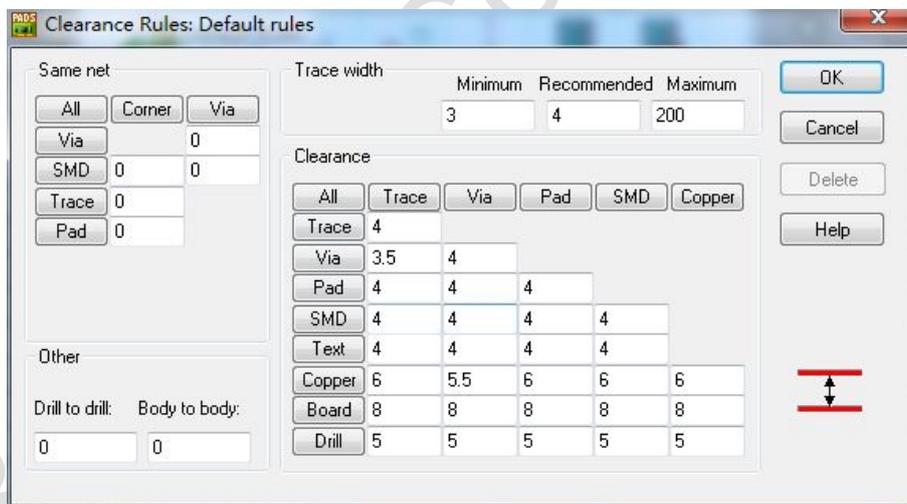
- 产品规划阶段推荐选择能在主控下方摆放电容的结构设计。
- 主控下方能采用的过孔尺寸为0.2mm/0.35mm（内/外径）。
- 为了抑制电磁辐射，走线间尽量遵循3W原则，即线与线之间保持3倍线宽的距离，如下图，线宽/线距分别为4/8mil；



- 为了抑制电源辐射，电源层尽量遵循20H原则。
- 屏蔽罩的地墙和板边的距离需要预留2mm左右。
- TOP 或 BOTTOM 层主要是用来摆放主要器件及信号走线，如 CPU, DDR3 等；
- BOTTOM 或 TOP 层主要是用来摆放滤波电容等小器件；如果结构允许，也可摆放大器件；
- 屏蔽处理：
 - TOP 层 PCB 需要加屏蔽壳位，降低 EMI 及提高产品的可靠性；同时可以利用屏蔽壳作为主控的散热器，提高整机的散热效果。
 - 如果空间允许，建议 PCB 的 BOTTOM 层也预留屏蔽位；或是在地网络上预留大面积；裸铜处理，预留配合结构做屏蔽的可能。
- 铺铜完整性：设计上保证主控下方铺铜的完整性及连续性能够提供良好的信号回流路径，改善信号传输质量，提高产品的稳定性，同时也可以改善的铜皮散热的性能。做到下述几点，就能保证如下图所示铺铜较好的完整性及连续性，产品性能将更加稳定可靠。



- 铺铜层属性设置成混合分割层；
- 过孔与铺铜的安全间距设置为 5.5mils；



- 铺铜线宽设置为4mils；
- CPU 引脚端的信号扇出过孔要排列整齐、合理分布，建议换层过孔打在焊盘正中间。

小贴士：

- **3W 原则：**为了减少线间串扰，应保证间距足够大，如果线中心距不少于 3 倍线宽时，则可保持 70%的线间电场不互相干扰。
- **20H 原则：**即将电源层内缩，使得电场只在地层的范围内传到。以一个 H（电源与地层之间的介质层厚度）为单位，若内缩 20H 可以将 70%的电场限制在接地边沿内，内缩 100H 则可以将 98%的电场限制在内；

3.3 PCB Layout Design Note

PCB 布局的基本原则：在设计中，布局是一个重要的环节，而布局结果的好坏将直接影响布线

- 的效果。
- 1) 根据结构图，放置接口器件、螺丝孔、指示灯等需要定位的器件，除结构要求更改外，这些器件一旦定位将不再移动。
 - 2) 预布局：根据原理图各功能信号流向放置重要的核心器件，根据“先大后小，先难后易”的布局原则。
 - 3) 布局应尽量满足以下要求：
 - A) 总的连线尽可能短，关键信号线最短；
 - B) 高电压、大电流信号与低电压、小电流信号的弱信号完全分开；
 - C) 模拟信号与数字信号分开；
 - D) 高频信号与低频信号分开。

3.3 Silk-screen and Decal

- 增加PCB名称、Layout时间及日期，便于查找与调试；
- 尽量在PCB板上增加器件位号，以便于调试；
- 关键信号需要增加丝印说明，如电池焊盘引脚、接插件的脚序等；
- 芯片第一脚需要有明显的标注，且标记不能重叠或者隐藏在器件本体下；
- 确认器件封装的尺寸是否正确，高度是否在限高范围内；
- 确认耳机座及USB等接口器件的焊接方向（特别是下沉式）是否镜像；
- 双面贴片时，BGA的背面不能放大体积元件。如果是开槽式的单面贴片，请确保器件位于槽孔范围内；

3.4 Heat Dissipation

RK3128的机器上，CPU为发热量最大的器件，所有的散热处理都以RK3128为主要对象，其它主要发热器件有：电源芯及所用电感等。

根据热量的辐射扩散特性，CPU使用散热片时，最好以热源为中心，使用正方形或者圆形散热片，要避免长条形的散热片，散热片的散热效果并不与其面积大小成倍数关系。

PCB LAYOUT时，可以考虑如下三种方式增强散热

- RK3128芯片中间的地管脚保证一个管脚一个地过孔，利用第2层（GND层）散热，然后“井”字连接起来；
- RK3128正背面尽量能裸铜处理
- 增加PCB板含铜量（使用1oz表面铜厚）；

小贴士:

- 如何设置电源铺铜的宽度:

根据PCB直线宽度允许最大电流的经验计算公式:

$$I = KT^{0.44} A^{0.75}$$

公式中的**K**为修正系数,一般铺铜在外层取**0.048**,铺铜在内层取**0.024**; **T**为允许的最大温升,单位为℃ (摄氏度); **A**为铺铜的截面积,单位为平方mil (注意,是平方mil,不是平方mm); **I**为容许的最大电流,单位为**A** (安培)。

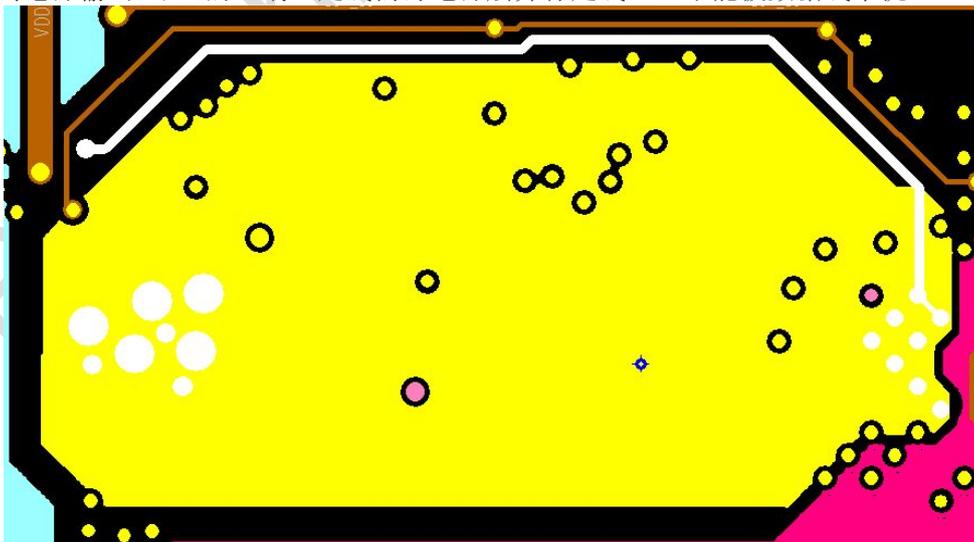
以**RK3128**的**VDD_ARM**电源为例,峰值电流达到**2A**,假设电源走内层,铜厚为**0.8mil (0.5oz)**,允许最大温升**10℃**,那么**PCB**走线需要**100mil**左右,如果要进一步降低**PCB**电源走线的温升,就必需加大铺铜宽度。所以如果**PCB**空间足够,建议尽量采用更宽的铺铜,以降低温升。

- 如何设置电源换层过孔数量:

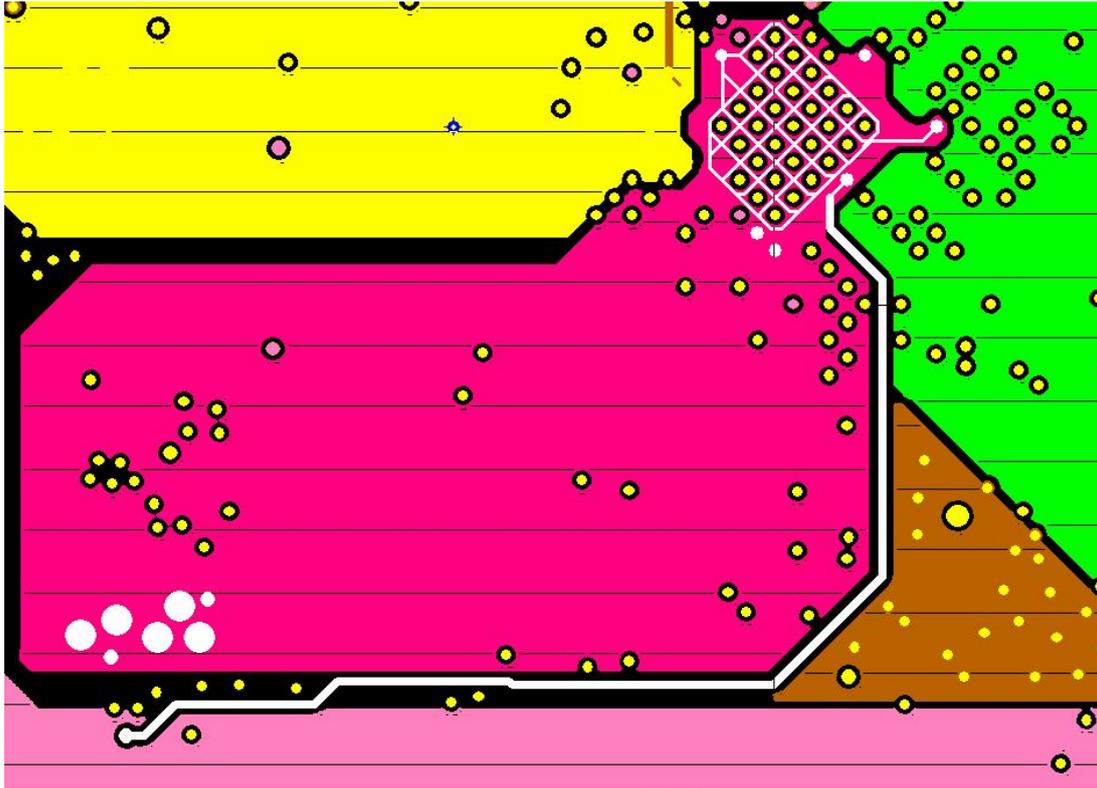
计算一个过孔能通过多大电流,也可以利用上述公式,过孔的铜皮宽度计算公式为:**L = πR**,这里的**R**指过孔的半径。

以**0.2mm**孔径的过孔为例,铜皮厚度为**0.8mil (0.5oz)**,允许最大温升**10℃**,那么一个过孔约可通过**420mA**电流,想通过**2A**的电流至少需要**5**个**0.2mm**孔径的过孔。在面积有限的情况下,增大电源过孔的孔径可减少过孔数量。

3: **VDD_ARM**电源设计: 建议**DC/DC**尽量靠近**RK3128**放置,从**DC/DC**的电源输出到主控相应的电源管脚之间保证有大面积的铺铜,大电流时降低铺铜带来的降压。该电源的换层连接处,需有较多的过孔(保证有**8**个以上的**0402**过孔,建议用**0503**以上的过孔),降低过孔带来的阻抗。下图点亮的走线是末端反馈补偿设计,可弥补线路的电压损耗及提高电源动态调整及时性,此补偿线另一端连接到电源输出**DC/DC**的**FB**端,走线需与电源层并行走线,且不能被数据线干扰。

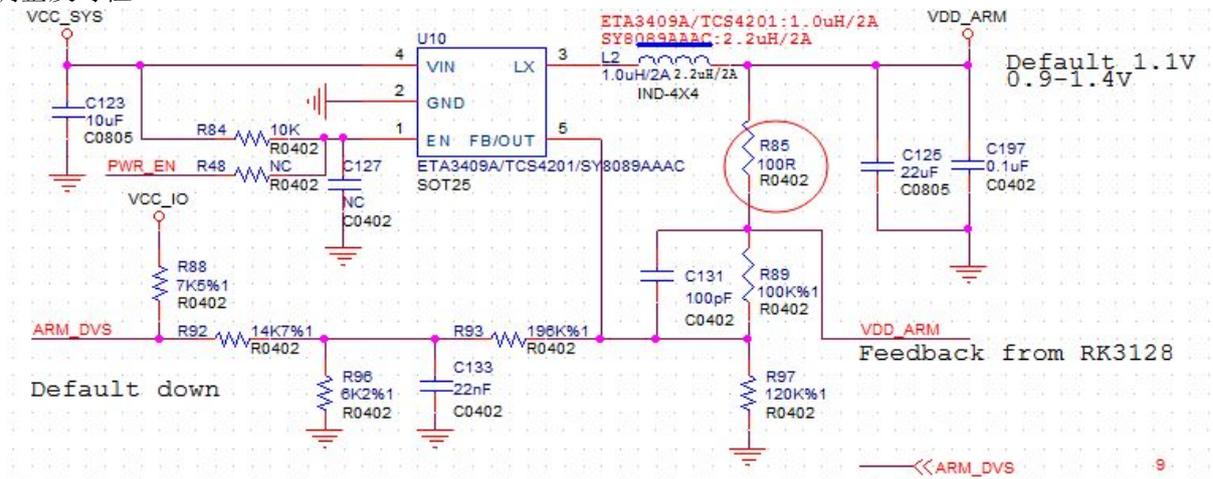


4: **VDD_LOG**电源设计: 要求和**VDD_ARM**一致。



5: VDD_ARM, VDD_LOG电源在DC/DC的FB端增加了一个100R电阻说明:

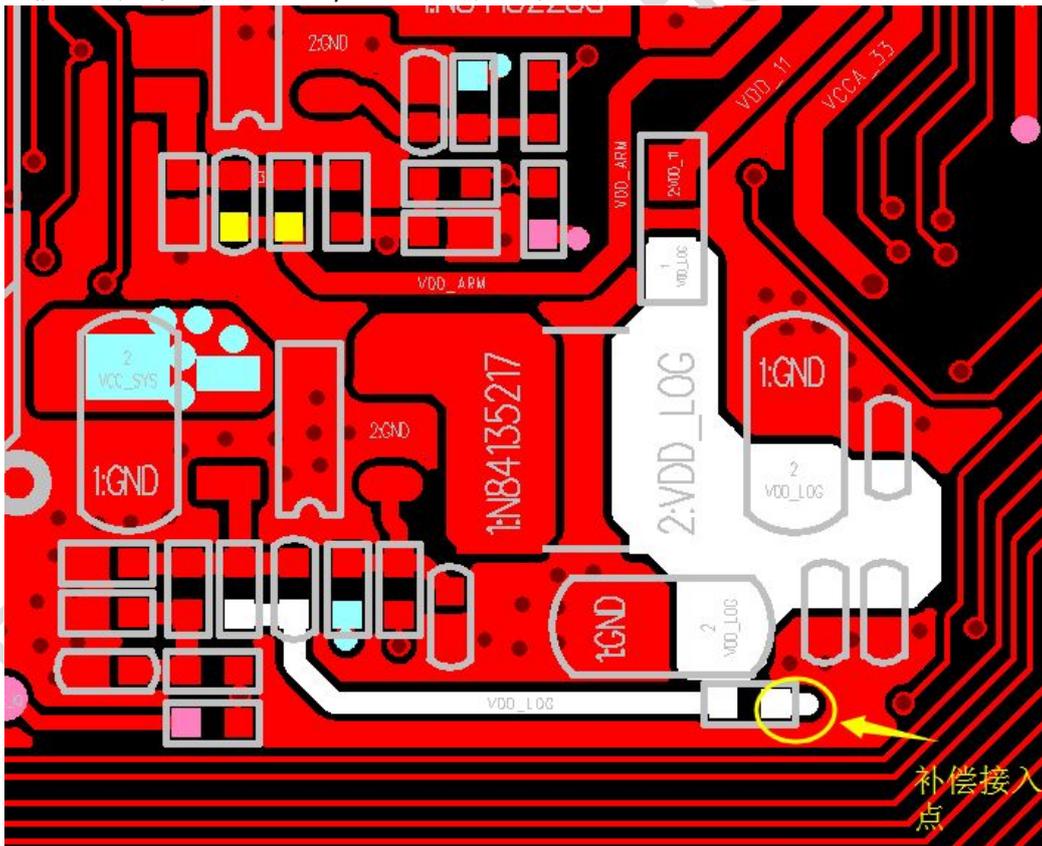
从原理图上看这个100R电阻没什么作用，但是从PCB Layout来说，这个电阻就有一定作用了，实际DC/DC布局时，可能因为各种原因，DC/DC输出的电源离主控的相应电源管脚比较远，这个时候VDD_ARM, VDD_LOG电源路径会比较长，大电流时，电压损耗会变大等问题，上面有要求VDD_ARM, VDD_LOG电源要加入末端引入反馈补偿设计，弥补线路的电压损耗及提高电源动态调整及时性。



下图是VDD_LOG电源线的铺铜情况和末端补偿线（点亮的走线），



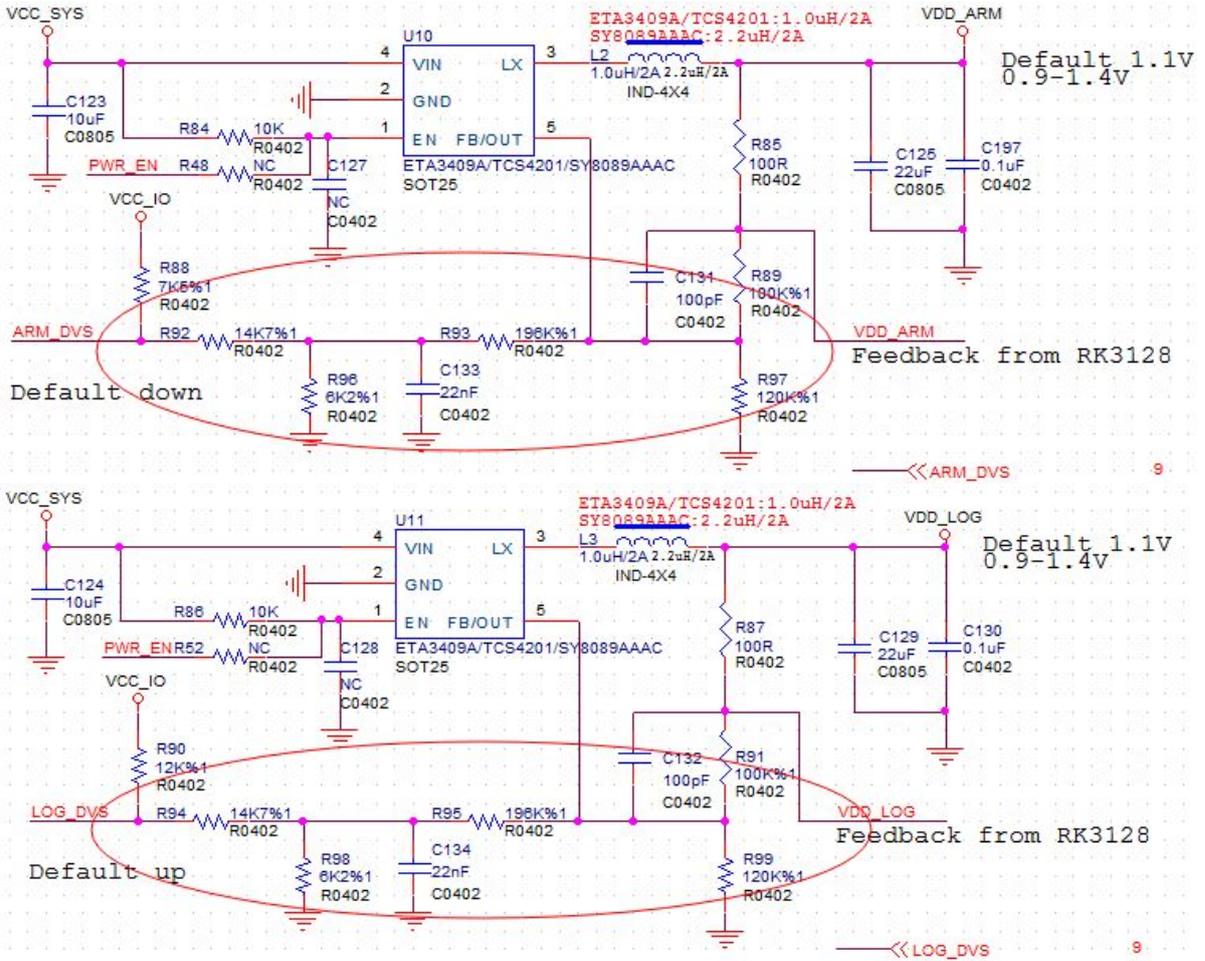
此补偿线另一端是接到对应的DC/DC的FB端上，如下图。



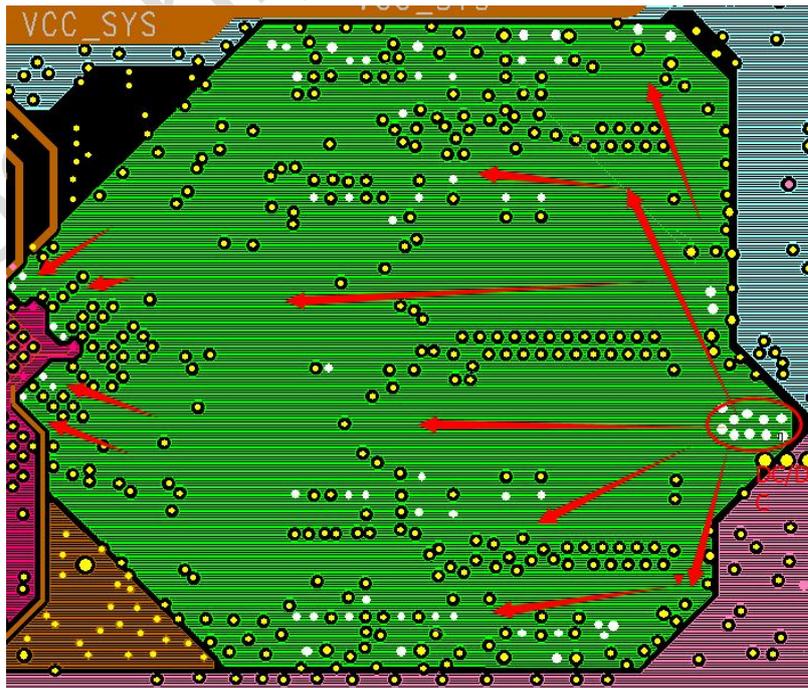
所有这个电阻的作用是：实际生产或使用过程中若出现远端的反馈节点开路的情况，这个电阻可以使输出电压依然稳定在设定值，避免因反馈点开路导致DC/DC输出电压失控导致主控过压损坏。另外反馈补偿线与电源线存在一个环路，某些设计可能会感应到噪声影响DC/DC，这个电阻可以在一定程度上减小这个影响。

注意点：这个电阻要靠近DC/DC放置，反馈补偿线应避开数据线或其它干扰器件，否则会带来更严重的问题，反馈补偿线最好是伴随电源铺铜走。

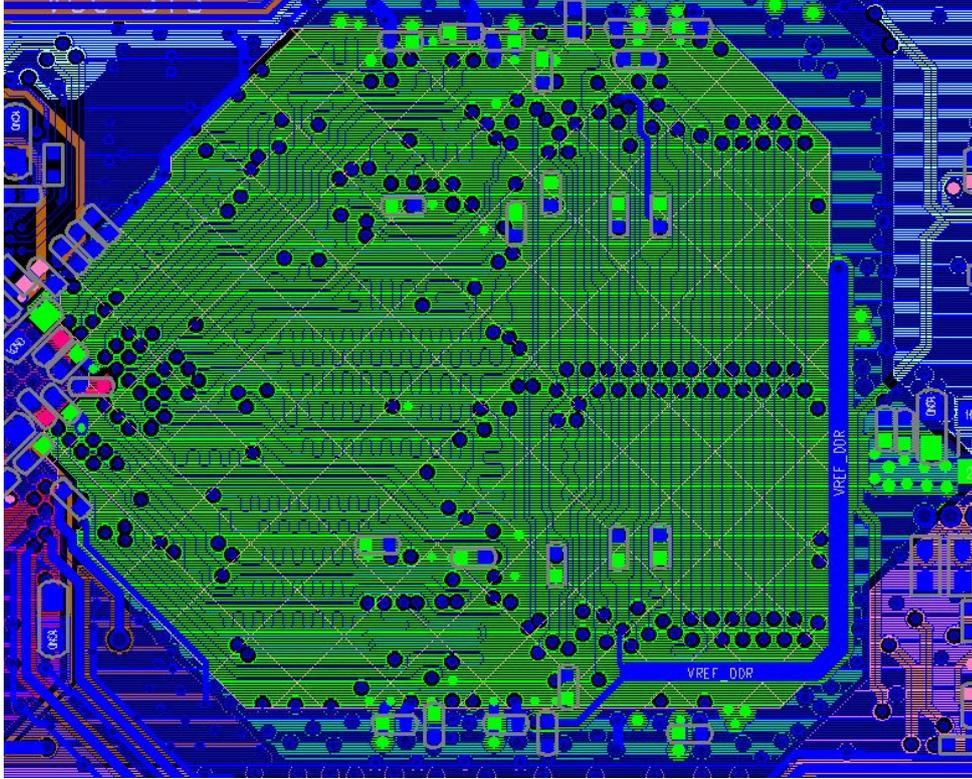
6: DC/DC PWM调压相关器件（下图画圈）在布局时，要全部靠近DC/DC的FB端。



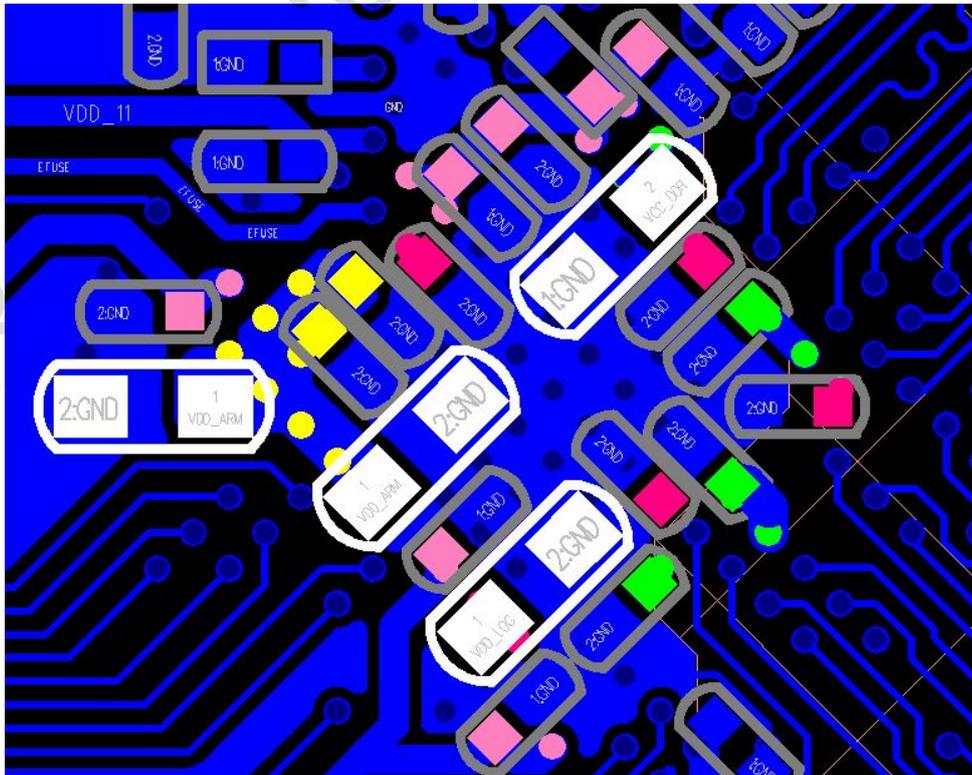
7: VCC_DDR电源设计：建议DC/DC尽量靠近RK3128和DDR3颗粒放置，从DC/DC的电源输出到主控相应的电源管脚之间保证有大面积的铺铜，大电流时降低铺铜带来的降压。该电源的换层连接处，需有较多的过孔（保证有8个以上的0402过孔，建议用0503以上的过孔），降低过孔带来的阻抗。



8: DDR信号线的参考面注意: 如果PCB是4层板, TOP层的DDR信号走线参考第二层(GND层), 而BOTTOM层的DDR信号走线只能参考第三层(POWER层), 所以务必要注意第三层(POWER层)的VCC_DDR铺铜, 要覆盖BOTTOM层的DDR信号走线, 避免BOTTOM层的DDR信号走线的参考图有跨平面情况, 如下图。蓝色是BOTTOM层, 绿色是第三层VCC_DDR铺铜, BOTTOM层的DDR信号走线全部在第三层VCC_DDR铺铜区域里。



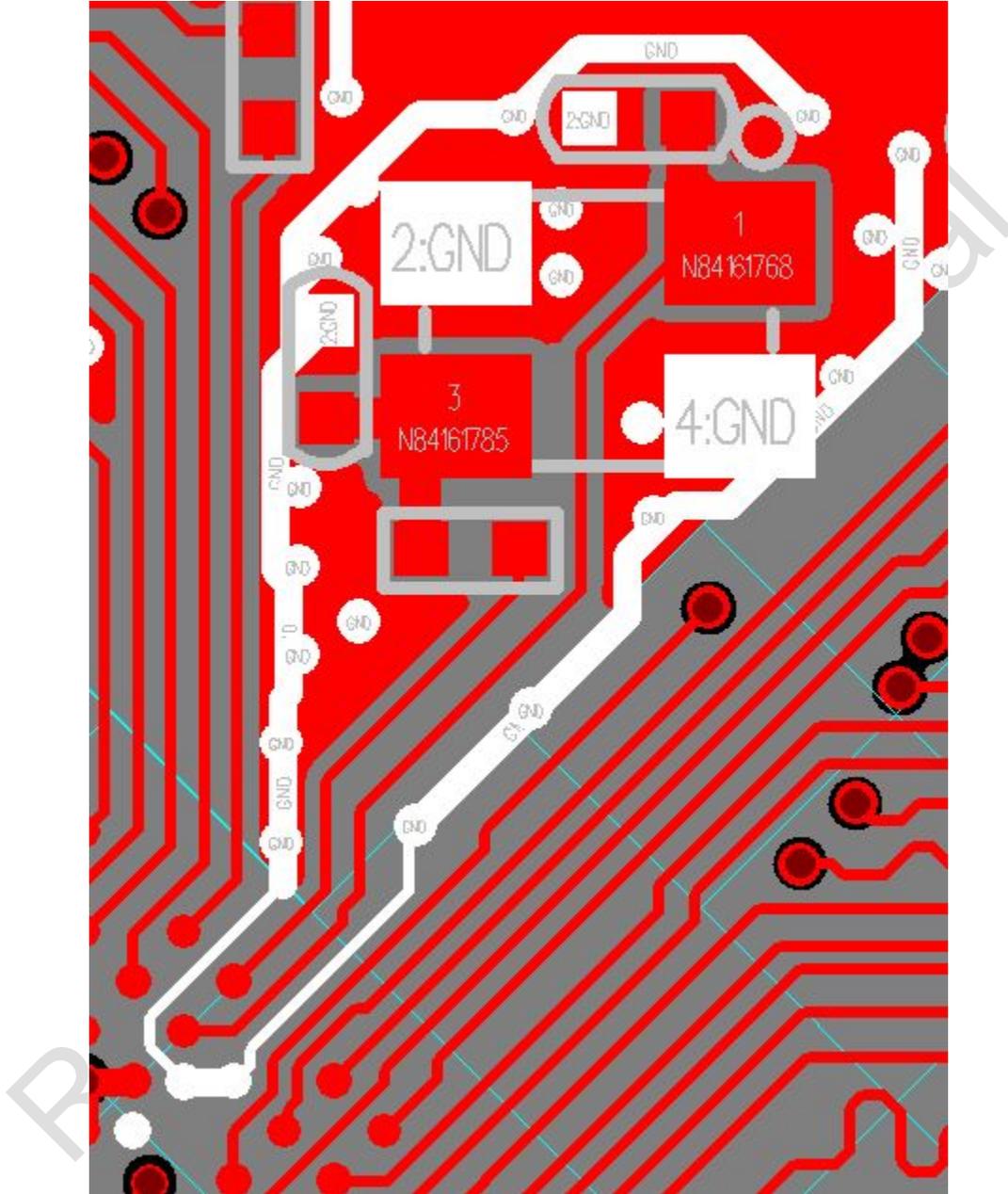
9: VDD_ARM、VDD_LOG、VCC_DDR电源远端(负载端RK3128以及DDR3颗粒)必需放置大电容, 在条件许可的情况下, VDD_ARM主控背面各放置容值20uF以上的大电容, VDD_LOG、VCC_DDR亦需10uF以上电容, 以改善电源的质量, 提高产品性能, 保证产品的稳定。



10: 其它电源去耦电容要靠近各电源管脚放置，具体请见原理图上注明。

3.6 Crystal Layout Note

晶体部分需靠近主控放置，晶体负载电容靠近相应晶体管脚放置，晶体走线走在表层，避免打孔，晶体部分电路建议包地处理，避免周围其它信号线干扰晶体，必要时建议周围掏空处理，晶体电路相关要良好接地，晶体布局及走线相邻层最好是GND层。

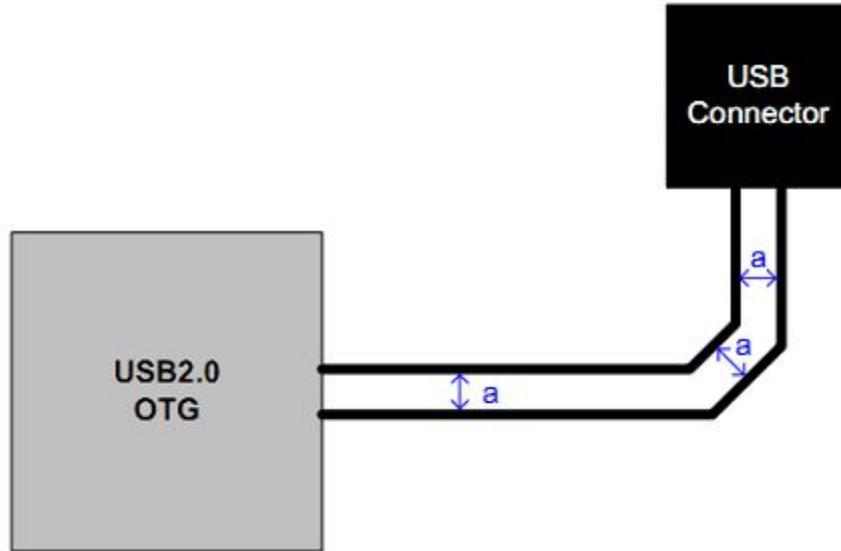


3.7 Recover Key Layout Note

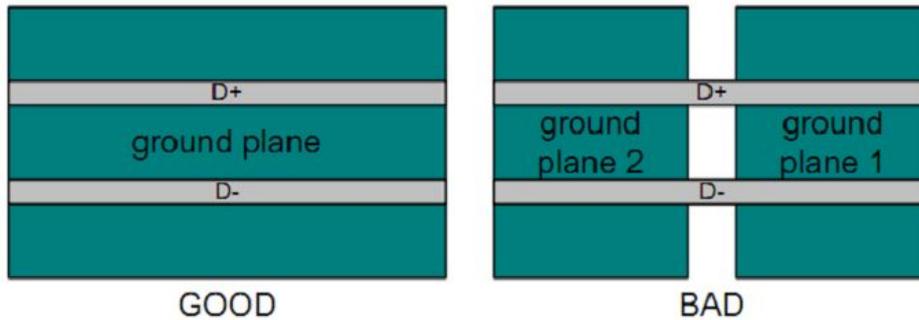
- ESD保护器件请就近靠近按键放置，以起到静电保护作用；
- 按键消抖电容C1501请靠近芯片放置；
- RECOVER走线与其他信号线用地线隔离，避免信号线间串扰引起键值误判。

3.8 USB Layout Note

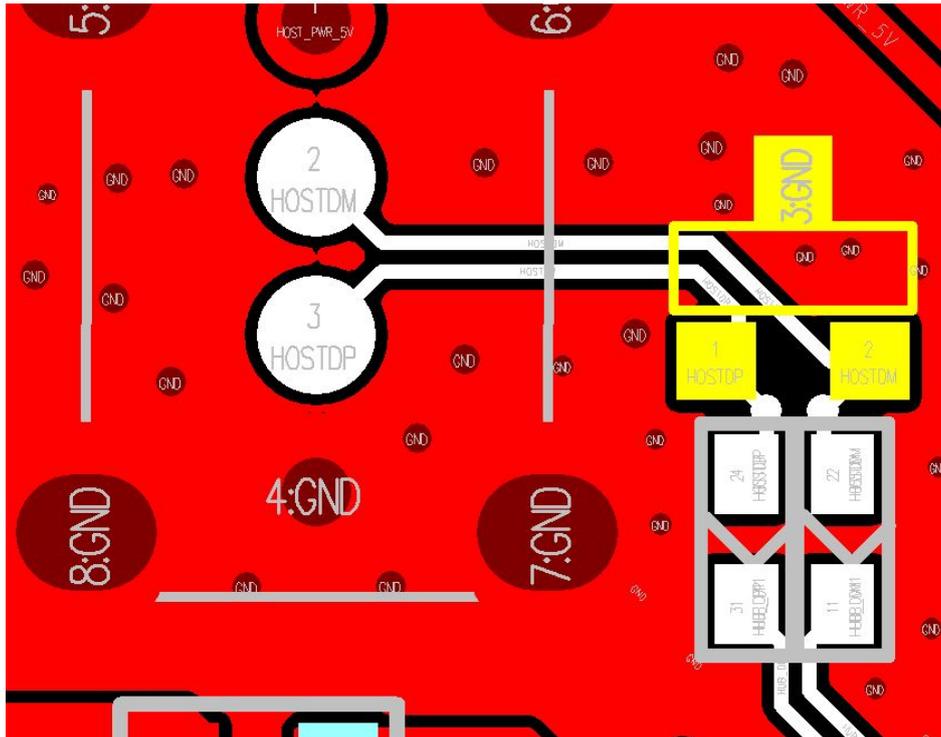
- USB接口应尽量靠近芯片放置，缩短走线距离；
- USB的信号走线必须严格遵循差分规则要求走线。走线拐角尽量用弧线或者钝角，不能为直角或锐角，阻抗要求 $Z=90\pm 10\text{ohm}$ ；



- 为抑制电磁辐射，USB建议在层内走线，并保证走线参考面是一个连续完整的参考面，不被分割，否则会造成差分线阻抗的不连续性并增加外部噪声对差分线的影响，另外最好也包地处理，包地的线大概间隔2mm至少要打一个地过孔；



- 走线中应该尽可能的减少换层过孔，过孔会造成线路阻抗的不连续；
- ESD保护器件、共模电感应尽可能的靠近USB接口；



- USB 2.0规范定义的电流为500mA，但是5V电源走线最好能承受1A的电流，以防过流。如果要支持大负载的USB设备，建议按2A电流设计，大电容应该靠近USB座子。

3.9 DDR Layout Note

为了保证DDR的性能及得到好的兼容性，请严格按以下要求进行，否则将降低产品的性能及稳定性，严重时系统可能将无法正常工作。

✧ 走线宽度及安全间距

- 走线宽度，所有的DDR相关走线线宽设置为4mils。
- 由于主控的球距为25.59mils，所以同一信号组内两相邻导线之间的间距为12.795mils，即焊盘中心距离的一半，只要从主控端平行等距出线，都能符合3W原则。
- 不同信号组之间两相邻信号线之间的间距要求3W以上。
- 差分对线宽4mils，线间距4mils。

✧ 信号线长要求

GROUP A ~D中DQSnP/DQSnM之间的线长误差控制在5mils以内；每个GROUP内的数据线DATAn和DQMn组内线长误差控制在50mils以内；组间的数据可适当放宽要求，控制在120mils以内。

GROUP E、GROUP G之间的线长误差控制在100mil以内。

GROUP F中的CLK、CLKn差分对的线长误差控制在5mil以内。

✧ 两片16bits DDR3 同面贴片的GROUP E、GROUP G、GROUP F的要求

2片16Bits的DDR3的Address、Control、CLK采用单纯的“T”型拓扑结构，其目的是为了省去VTT而兼顾信号完整性，PCB布线时应注意以下几点：Address、Control、CLK做“T”型拓扑应

注意，保证主控芯片至各个 DDR 颗粒的点对点长度误差小于 100mils，尽可能在换层的信号线过孔旁边留回流过孔，以其改善信号质量。分支节点至各个 DDR 颗粒的布线长度应尽可能短，同时应最大限度保证分支节点到两个个 DDR 颗粒的布线长度相等，必要时可采用蛇形线。对称的“T”型拓扑可以最大限度改善信号质量。为满足主控芯片至各个 DDR 颗粒等长要求做的蛇形线应优先考虑在 主控至分支节点之间做补偿处理。在 CLK 与 CLKN 差分对分支点处必需预留端接电阻位，为可能出现的兼容性问题提供调试空间。

◇ 其它走线注意点

- DQS 信号线应布在组内 DQ 信号线中间。
- DQS 与时钟不要相邻。
- 蛇形线的线与线中心间距遵守 3W 原则，蛇形线振幅应控制在 180mils 以内，否则会破坏信号质量，使传输延时低于预期。
 - DDR3 的信号线必须有完整的参考面，以保证信号电路的回流路径阻抗最小、以及保证阻抗的连续性。
 - 禁止 DDR3 所有信号线跨越不同的电源平面。
 - 禁止其它类型的信号线穿越 DDR 走线区域。
 - RK3288 和 DDR 颗粒的每个 VCC_DDR 管脚尽量在芯片背面放置一个退耦电容，而且过孔应该紧挨着管脚放置，以避免增加导线的电感。

◇ VREF 的处理

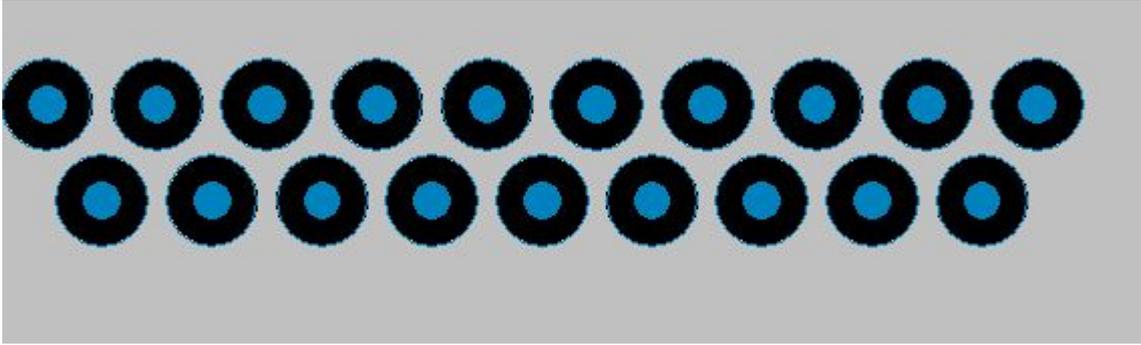
- 主控与DDR3颗粒的VREF 分开，各从VDDQ 分压取得，VREF 尽量靠近芯片，VREF 走线尽量短，且与任何数据线分开，保证其不受干扰（特别注意相邻上下层的串扰），且相对VDDQ 有良好的跟随性，保证VREF的电压值在噪声、温度变化时，会随着VDDQ变化；
- VREF只需要提供非常小的电流（输入电流大概3mA），每一个VREF脚都要靠近管脚加1nF旁路电容（每路电容数量不超过5个，以免影响电源跟随特性），线宽建议不小于10mils。

◇ 阻抗要求

- 单线特征线宽 5mils，阻抗控制 50~75ohm，但内外层布线的阻抗突变应小于 10ohm。
- 差分对阻抗控制 100~130ohm，但内外层布线的阻抗突变应小于 20ohm。
- 电路板的填充材料的介电常数一般变化范围是 4.0~4.5，它的数值随着频率，温度等因素变化。FR-4 就是一种典型的介电材料，在 100MHz 时的平均介电常数为 4.2；推荐使用 FR-4 作为 PCB 的填充材料。

◇ 保证铺铜的完整性

DDR部分的铺铜完整会直接影响DDR的性能及提高DDR的兼容性，按以下要求设计，就能达到如下图所示的效果。

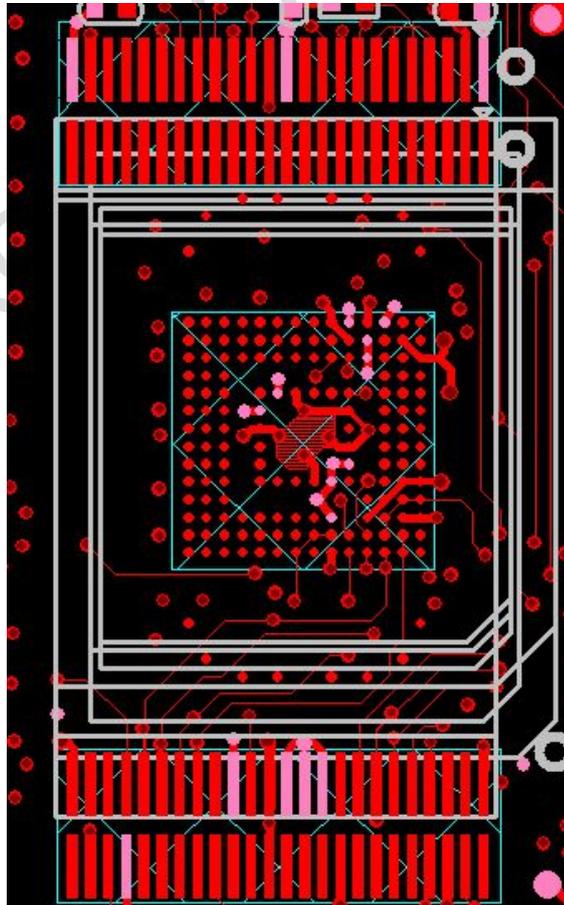


- 确保信号线换层过孔均匀分布，两个过孔之间安全间距等于或大于 32mils。
- 采用 0.2mm 孔径，0.4mm 孔盘的过孔。
- 铺铜层属性设置成混合分割层。
- 过孔与铺铜的安全间距设置为 5.5mils。
- 铺铜线宽设置为 4mils。

注：详细请参考RK发布的DDR核心模板PCB文件以及相对应的设计说明文件。

3.10 Flash Layout Note

Nand Flash、eMMC Flash以及tSD可以通过双Layout实现物料的切换，Layout结构如下所示。eMMC芯片下方在铺铜时，焊盘部分需要增加铺铜禁布框，避免铜皮分布不均匀影响散热，导致贴片时出现虚焊现象。



Flash走线要求整组包地，信号组内任意两根信号的长度误差控制在400mil以内，否则会导致高速模式下频率跑不高。

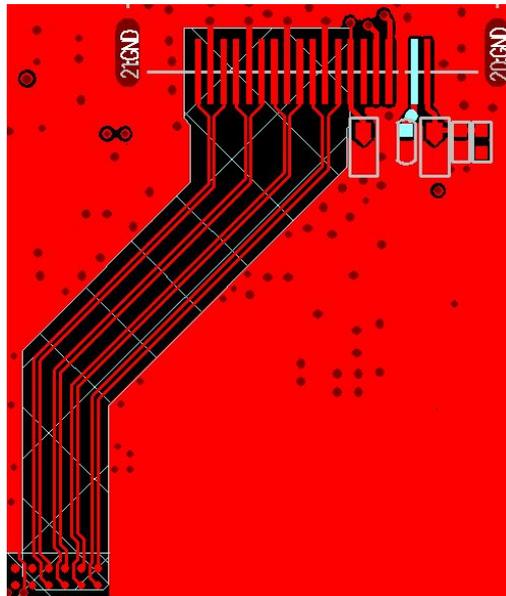
Flash需要注意电源纹波不能大于80mV，所以电源走线需注意远离高速信号线。Flash的数据线不能Vbus、Vdc、VCC_SYS等纹波较大的大电流信号灌铜邻层走线，分配的电容要靠近电源管脚放置。

3.10 SD/TF Card Layout Note

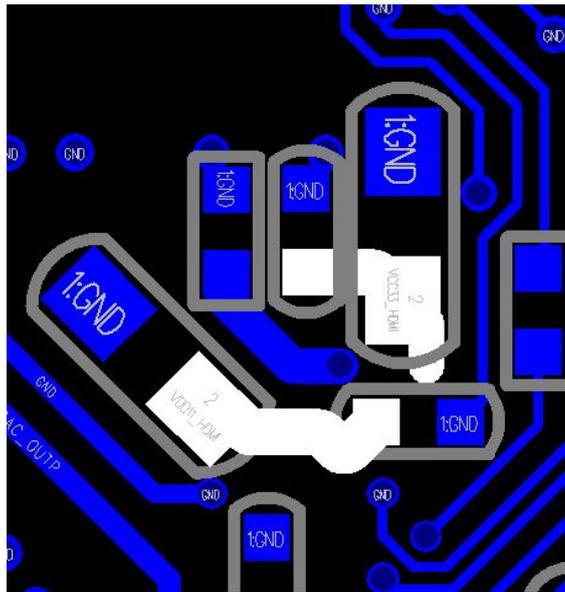
卡座分配的电容布局时靠近卡座电源引脚放置，电源走线线宽不少于30mil，ESD器件要靠近卡座放置，信号线要先经过ESD器件再走向主控，SDMMC0走线尽量与高频信号隔开，尽量整组包地处理。如果有空间的话，CLK建议单独包地，要求信号组内任意两根信号的长度误差控制在400mil以内。

3.11 HDMI Layout Note

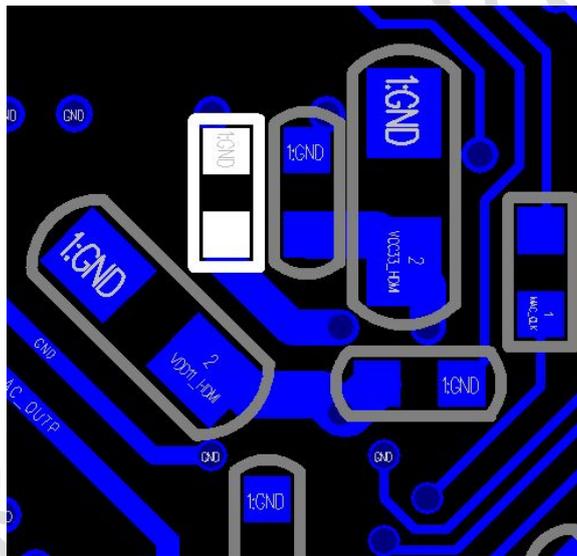
- 1: 整体布局时，要优先考虑HDMI座子和RK3128距离以及走线是否顺，尽量不要存在打孔换层（过孔会造成线路阻抗不连续，影响HDMI的TMDS信号质量），尽量靠近，RK3128到HDMI座子走线长度尽量做到2000mil以内。
- 2: HDMI的信号走线需严格遵循差分规则要求走线，线对内两根信号的长度误差控制在10mil以内，线对与线对之间的长度误差控制在30mil以内；走线拐角尽量用弧线或者钝角，不能为直角或锐角。
- 3: HDMI的TMDS信号必须有连续完整的参考面，不能存在跨平面情况，否则会造成差分线阻抗不连续并增加外部噪声对TMDS信号影响。
- 4: 建议TMDS信号线宽为4mil（这样从RK3128到HDMI座子，线宽不会突变），线距为5mil，保证阻抗 $Z=100\text{ohm}\pm 10\text{ohm}$ 。
- 5: TMDS差分对之间建议有4W的间距，外围的差分对和地之间也应有3W的间距以上。
- 6: 建议TMDS外围要包地处理，间隔2mm打一个地过孔。
- 7: 下图是比较理想的HDMI走线。



8: VDD11_HDMI和VCC33_HDMI的电容要尽量靠近主控管脚放置，最好是直接放置主控管脚背面。



9: HDMI_EXTR参考电阻要尽量靠近主控管脚放置，最好是直接放置主控管脚背面。



3.12 AV out Layout Note

- 1: CODEC_VCM外接电容，在布局时，这个电容要靠近主控管脚放置。
- 2: VDAC_IREF电阻布局时要靠近主控管脚放置，最好是直接放置主控管脚背面。
- 3: VDAC_AVDD，CODEC_AVDD分配的电容要尽量靠近主控管脚放置，最好是直接放置主控管脚背面。
- 4: AOR、AOL接的音频驱动芯片布局时要远离其它干扰源
- 5: AV OUT (AOR、AOL、CVBS_OUT) 相关走线最好走在表面，要包地处理，特别要注意临层不能有电源走线或其它信号线，如果走内层，最好上下左右包地处理。
- 6: CVBS_OUT的滤波电路布局时要远离其它干扰源，尽量靠近AV OUT座子。
- 7: AV OUT三根走线从RK3128到座子，建议线宽大于12mil。

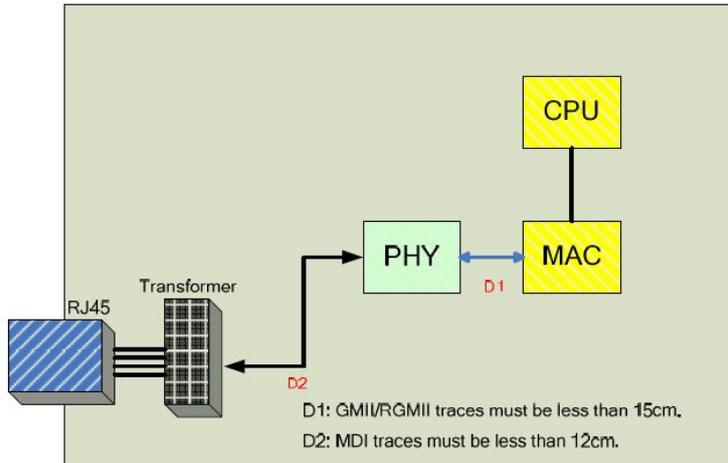
3.13 Ethernet Layout Note

下面以10/100/1000M PHY RTL8211E说明相关注意点：（其它PHY的要求类似）

整体布局：

- A) PHY越靠近RK3128，EMI效果会越好，即RGII走线越短EMI效果越好，必须小于15cm。

B) RJ45最好靠近PHY放置，即MDI走线应尽量短，必须小于12cm。



2) 如果RJ45和变压器是分离的，那么10/100/1000M网络变压器要靠近RJ45放置，如果旁边有其它变压器，要远离一些，然后最好成90度放置。

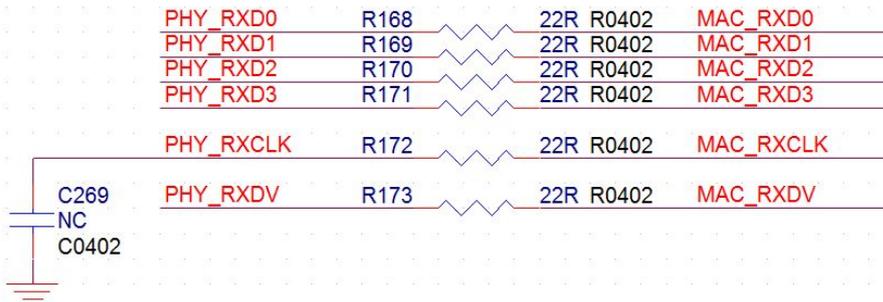
3) 下图串接电阻要靠近PHY放置，改善EMI。

A) MAC_RXCLK必须包地处理。

B) 下图中的其它信号间距要满足3W布线原则。

C) RXD[0:3], RXCLK, RXDV走线要等长处理，整条相差小于100mil，走线要尽量短，整条长度要小于15CM。

D) 要有完整的参考面，不能和其它信号线直接平行布线。



4) 下图串接电阻要靠近RK3128放置。

A) 改善EMI。PHY_TXCLK必须包地处理。

B) 其它信号间距要满足3W布线原则。

C) TXD[0:3], TXCLK, TXEN走线要等长处理，整条相差小于100mil，走线要尽量短，整条长度要小于15CM。

D) 要有完整的参考面，不能和其它信号线直接平行布线。

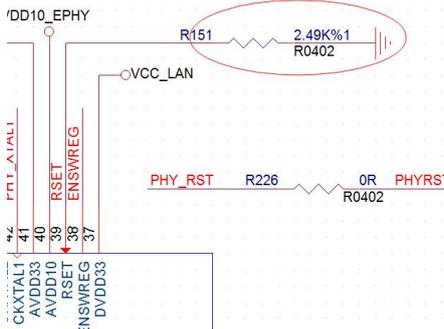
5) 下图中的R146要靠近PHY放置，需包地处理，走线要尽量短，要有完整的参考面。



6) MDI的4对差分线要等长处理，整条相差小于10mil，走线要尽量短，整条长度要小于12CM，要有完整的参考面（如果不完整，可能产生最大的EMI问题），尽量不打过孔，差分线阻抗要求100ohm，差分对之间的间距最好有30mil

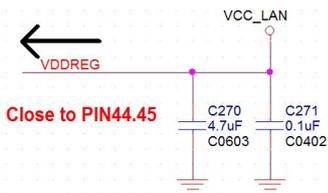
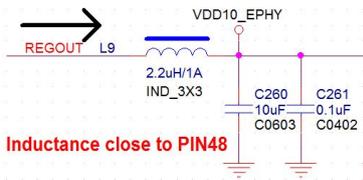
7) 25MHz晶体要靠近PHY放置，其它信号不要经过晶体，晶体周围最好用地包围起来，然后有良好的接地。

8) RSET电阻必须靠近PHY（小于800mil），而且要远离（VDDREG, REG_OUT, MDIO+/-, MDI1+/-等）以及 clock signals（最小距离50mils）

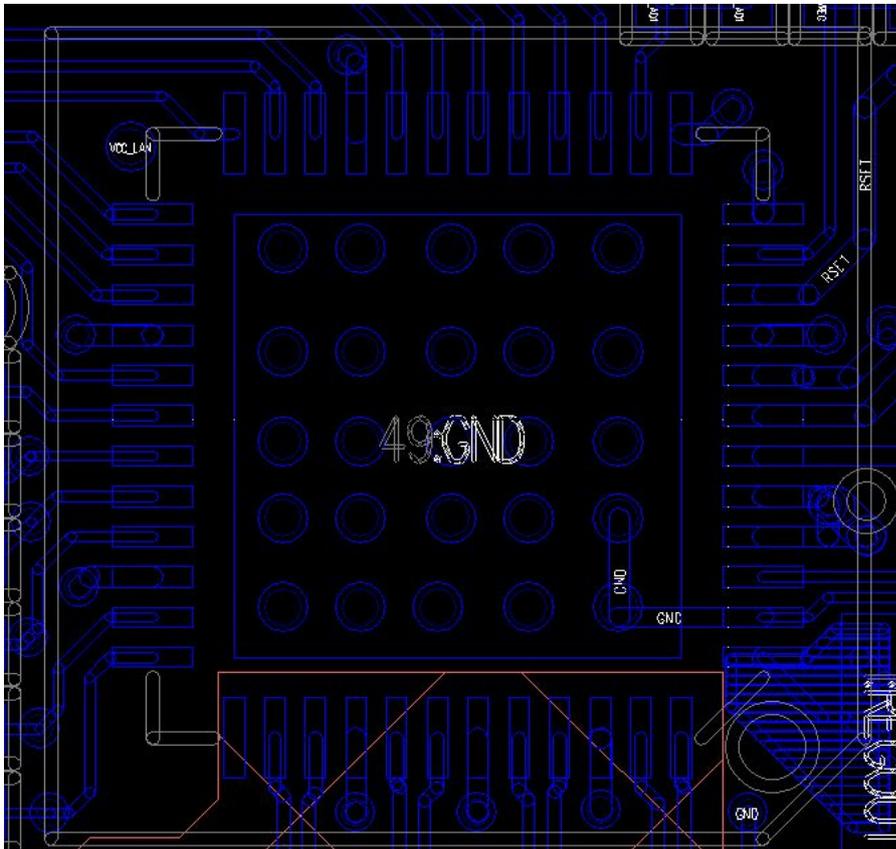


9) 内部Switching Regulator LAYOUT 注意点:

- A) VDDREG电源的电容C270, C271要靠近PIN44, 45放置, 走线宽度不小于40mil。
- B) L9, C260要靠近PIN48脚放置, 走线宽度不小于60mil。

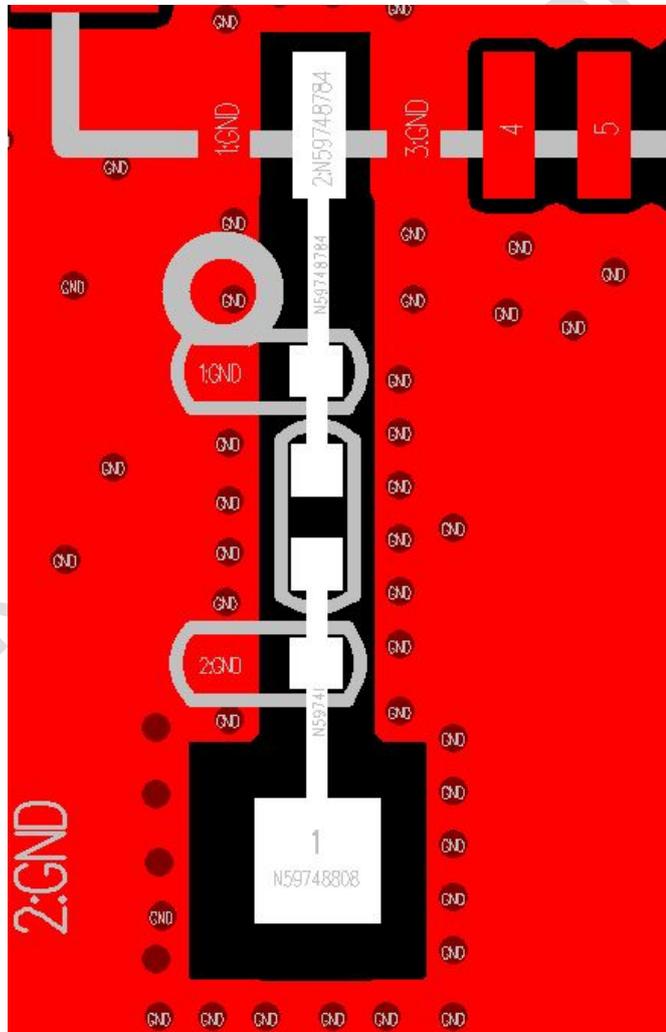


- 10) 电源的0.1uF去耦电容分别靠近电源管脚放置, 走线方式最好是先经过电容再进电源管脚。
- 11) PHY的ePAD至少保证有9个地过孔。

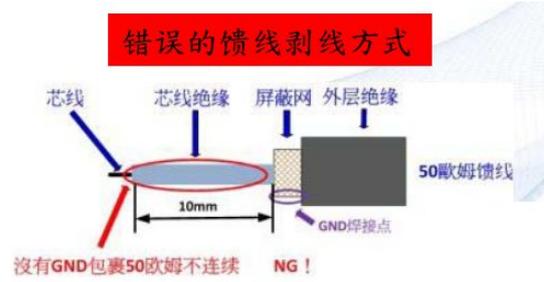
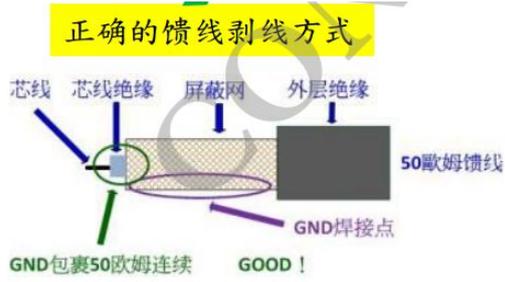


3.14 WIFI Layout Note

- WIFI模块请远离DDR等高速器件。
- SDIO走线需尽可能平行并做整组包地处理，如果有空间的话CLK建议单独包地。需避免靠近电源或高速信号布线。信号组内任意两根信号的长度误差控制在400mil以内。
- 模块的VBAT和VDDIO的电源脚去耦电容需靠近模块放置，并尽可能与模块摆放在同一平面。
- 模组下方第一层保持完整的地，不要有其他信号走线。
- 晶体下方保持完整的地，不要有其他信号走线，晶体引脚要有足够的地过孔。
- 天线以及微带线宽度设计需考虑到阻抗，阻抗要求为 $Z=50\pm 10\text{ohm}$ ，走线下方需有完整的参考平面做为RF信号的参考地；
- 天线布线越长，能量损耗越大，因此在设计时，天线路径越短越好，不能有分支出现，不能打过孔，如下图



- 下图为错误的走线方式。



3.15 Other Layout Note

Rockchip Confidential