

DDR布板注意事项

发布版本：1.3

作者邮箱：hcy@rock-chips.com

日期：2018.10.08

文件密级：公开资料

前言 记录所有平台的DDR布板注意事项

概述

产品版本

芯片名称

所有芯片(包括28系列、29系列、30系列、31系列、32系列、33系列、PX系列、1108A)

内核版本

所有内核版本

读者对象

本文档（本指南）主要适用于以下工程师：

硬件工程师

修订记录

日期	版本	作者	修改说明
2017.11.02	V1.0	何灿阳	
2017.11.09	V1.1	陈炜	更改某些表述
2017.01.14	V1.2	汤云平	增加RK3326描述及LPDDR2/LPDDR3要求
2018.10.08	V1.3	陈有敏	增加总容量3GB说明和RK3399单通道布线要求

DDR布板注意事项

[名词说明](#)

[总的要求](#)

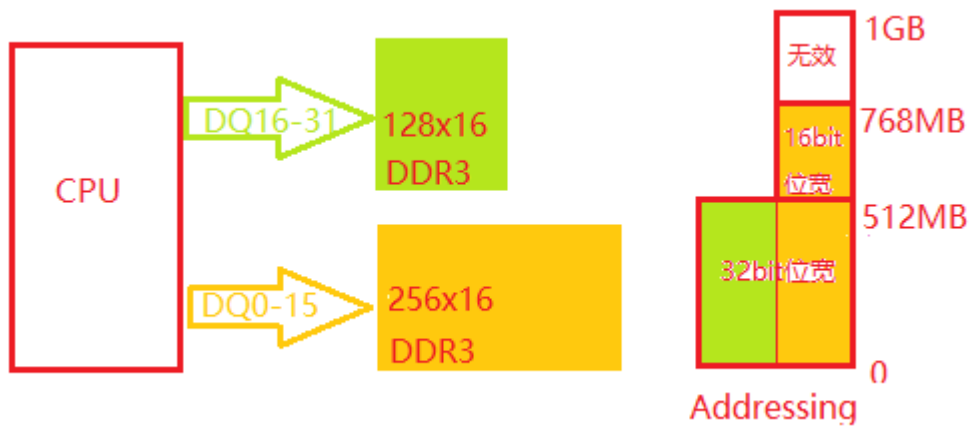
[RK3399特殊要求](#)

[RK3326、PX30特殊要求](#)

名词说明

- **颗粒**：指各种DDR memory，DDR3 memory、DDR4 memory、LPDDR3 memory、LPDDR4 memory、LPDDR2 memory
- **CS**：主控或DDR memory的片选信号
- **rank**：就是CS，就是片选信号
- **byte**：主控每8根DDR信号线，成为一个byte。所以byte0指DQ0-DQ7，byte1指DQ8-DQ15，byte2指DQ16-DQ23，byte3指DQ24-DQ31。注意，这里的DQ都是说主控的，颗粒的DQ不一定跟主控的DQ是一一对应连接的。
- **bank**：是指DDR memory的bank数量
- **column**：是指DDR memory的column数量

- **row**: 是指DDR memory的row数量
- **AXI SPLIT**: 非对称容量组合模式，如高位寻址区为16bit位宽，低位寻址区为32bit位宽。例如常规的组合为256x16+256x16，而AXI SPLIT的组合为256x16+128x16=768MB，在高位寻址区只剩16bit位宽，示意图如下图。



总的要求

总的要求适用于所有平台，各款主控的特殊要求，后面单独列出

- 1、DQ的交换，不能超出该组byte，只能在byte内部进行交换。有些主控有特殊要求，byte内部都不能交换，见具体主控的特殊要求
- 2、用到2个CS上的bank、column数量不同的DDR颗粒，需要跟软件确认是否支持
- 3、如果颗粒只有一个CS，只能接在主控的CS0上
- 4、如果只用一个通道，只支持通道0
- 5、如果颗粒2个CS的容量不同，则容量小的应该放在主控的CS1上
- 6、所有平台，不支持大于2个CS的颗粒
- 7、如果颗粒只有一个ODT（像LPDDR3），应该连到ODT0上
- 8、6Gb、12Gb的使用比较特殊（8Gb、4Gb、2Gb没有这条限制）

目前只支持一个通道上的2个CS都是6Gb或者2个CS都是12Gb的，不支持6Gb、12Gb与8Gb、4Gb、2Gb混合在2个CS中使用。比如：

CS0	CS1	支持情况
6Gb	6Gb	支持
12Gb	12Gb	支持
6Gb	12Gb	不支持 违反要求5，并且这样组合也不支持
12Gb	6Gb	不支持，这种组合也不支持
8Gb	6Gb	不支持 8Gb和6Gb混合在2个CS中
12Gb	8Gb	不支持 12Gb和8Gb混合在2个CS中
6Gb	4Gb	不支持 6Gb和4Gb混合在2个CS中
12Gb	4Gb	不支持 12Gb和4Gb混合在2个CS中

9、颗粒的RZQ不能共用

10、DDR4目前连接方式暂无特殊要求

11、外接LPDDR2或LPDDR3时，DDR0的DQ0-DQ7应该一一对应的连接到DRAM的DQ0-DQ7

12、双通道DRAM总容量3GB支持情况 双通道DRAM总容量3GB支持的颗粒组合如下图：

			LPDDR3 X16(2die)				LPDDR3 X32(1die)				DDR3 X16(2die)			
			cs0		cs1		cs0		cs1		cs0		cs1	
			col	row	col	row	col	row	col	row	col	row	col	row
1.5GB+1.5GB	1	cha: 6Gb/cs0 + 6Gb/cs1					10	15	10	15				
		chb: 6Gb/cs0 + 6Gb/cs1					10	15	10	15				
	2	cha: 12Gb/cs0	11	15			11	15						
		chb: 12Gb/cs0	11	15			11	15						
	3	cha: 8Gb/cs0 + 4Gb/cs1					10	15	10	14	10	15	10	14
		chb: 8Gb/cs0 + 4Gb/cs1					10	15	10	14	10	15	10	14
2GB+1GB	4	cha: 16Gb/cs0	11	15			11	15			10	16		
		chb: 8Gb/cs0	11	14			10	15			10	15		
	5	cha: 16Gb/cs0					11	15			10	16		
		chb: 4Gb/cs0 + 4Gb/cs1					10	14	10	14	10	14	10	14
	6	cha: 8Gb/cs0 + 8Gb/cs1	11	14	11	14	10	15	10	15	10	15	10	15
		chb: 8Gb/cs0	11	14			10	15			10	15		
	7	cha: 8Gb/cs0 + 8Gb/cs1					10	15	10	15	10	15	10	15
		chb: 4Gb/cs0 + 4Gb/cs1					10	14	10	14	10	14	10	14

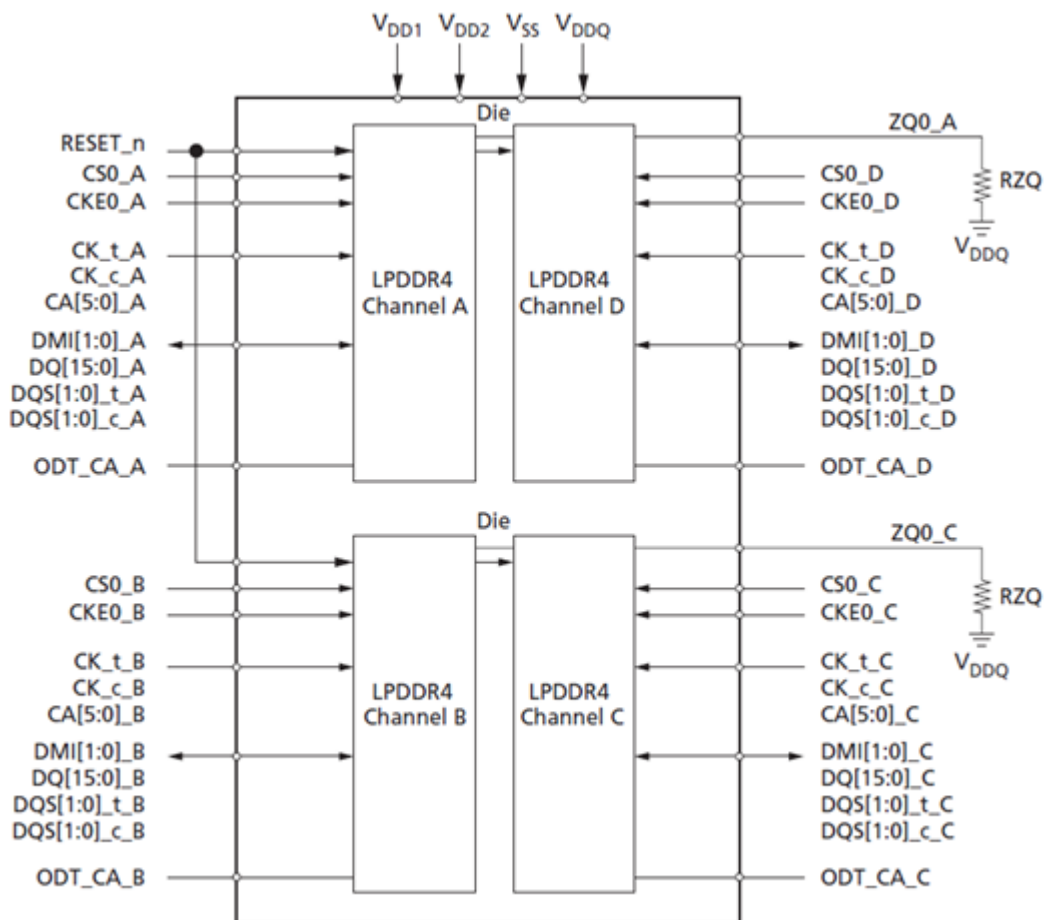
说明：1) RK3288, RK3399支持双通道。

13、单通道DRAM总容量3GB支持情况 单通道DRAM总容量3GB支持的颗粒组合如下图：

		LPDDR3				LPDDR3				LPDDR3				LPDDR3			
		cs0		cs1		cs0		cs1		cs0		cs1		cs0		cs1	
		X32(1die)		X32(1die)		X16(2die)		X16(2die)		X32(1die)		X16(2die)		X16(2die)		X32(1die)	
		col	row	col	row	col	row	col	row	col	row	col	row	col	row	col	row
1	24Gb/cs0					12	15										
2	12Gb/cs0 + 12Gb/cs1	11	15	11	15	11	15	11	15	11	15	11	15	11	15	11	15
3	16Gb/cs0 + 8Gb/cs1					11	15	11	14	11	15	11	14				
		DDR3				DDR3				DDR3				DDR3			
		cs0		cs1		cs0		cs1		cs0		cs1		cs0		cs1	
		X16(2die)		X16(2die)		X8(4die)		X8(4die)		X16(2die)		X8(4die)		X8(4die)		X16(2die)	
		col	row	col	row	col	row	col	row	col	row	col	row	col	row	col	row
1	24Gb/cs0																
2	12Gb/cs0 + 12Gb/cs1																
3	16Gb/cs0 + 8Gb/cs1	10	16	10	15	10	16	10	15	10	16	10	15	10	16	10	15

RK3399特殊要求

- 1、CS2是CS0的复制信号，CS3是CS1的复制信号，其行为与被复制信号完全一样
- 2、CLK走线必须比该通道任意一组DQS都长， ddr PHY的要求
- 3、LPDDR3的D0-D15必须和主控完全一一对应的连接
- 4、LPDDR3的D16、D24这2根数据线也必须和主控完全一一对应连接
- 5、注意主控一个通道与LPDDR4颗粒2个通道的组成关系



采用颗粒的Channel A + Channel C组成一个32bit，和Channel B + Channel D组成一个32bit，这种方法，能做到避免ZQ共用的问题

6、LPDDR4的RZQ要通过240电阻接VDDQ，而不是GND，这点要注意，RK3399主控端没有变，还是一样RZQ通过240电阻接GND

7、接LPDDR4时，主控端的DDR0_ODT0/1，DDR1_ODT0/1悬空，不用连到LPDDR4颗粒。而颗粒端的ODT_CA_X默认通过10K电阻上拉到VDDQ，暂时预留DNP的下拉电阻

8、LPDDR4所有数据线（DQ）都不能对调，不管组内，还是组间

9、如果只用channel 0，channel 1也需要供电

RK3326、PX30特殊要求

1、支持的位宽组合方式

1. 32bit最大位宽（大容量16bit+小容量16bit），举例：256x16+128x16=768MB。
2. 16bit最大位宽（大容量8bit+小容量8bit），举例：512x8+256x8=768MB。

2、颗粒要求

AXI SPLIT模式下，要求所有颗粒的column,bank是相同的。

3、连接要求

1. AXI SPLIT模式下，要求在使用16bit位宽的颗粒时，需要将AP DDR控制器的byte0/1接在一个颗粒上，将byte2/3接在一个颗粒上。

2. AXI SPLIT模式下，要求较大容量的颗粒连接到AP DDR控制器的低位区，如byte0或byte0/1,举例：16bit a颗粒+16bit b颗粒组成32bit位宽，如果a颗粒的容量大，则a颗粒连接到byte0/1。
3. 如果使用2个CS，则只有CS1支持AXI SPLIT，允许两种方式：
 1. CS1上采用非对称容量，如CS0上为32bit总位宽，则CS1上采用大容量16bit+小容量16bit颗粒拼接成32bit，如CS0上为16bit总位宽，则CS1上采用大容量8bit+小容量8bit颗粒拼接成16bit。
 2. CS1上只贴一半位宽的颗粒，要求其row<=CS0上的颗粒。如CS0为32bit总位宽，则CS1贴16bit的颗粒，如CS0为16bit总位宽，则CS1贴8bit的颗粒。

4、下表列举出了所有支持的AXI SPLIT的容量组合。该表格之外的AXI SPLIT组合都不支持。

NO.	CS0	CS1	支持情况
1	16bit最大位宽 (大容量8bit+小容量8bit)	无颗粒	支持
2	32bit最大位宽 (大容量16bit+小容量16bit)	无颗粒	支持
3	32bit固定位宽	32bit最大位宽 (大容量16bit+小容量16bit)	支持
4	32bit固定位宽	16bit固定位宽, 接Byte0/1 (row<=cs0上的颗粒row)	支持
5	16bit固定位宽	16bit最大位宽 (大容量8bit+小容量8bit)	支持
6	16bit固定位宽	8bit固定位宽, 接Byte0 (row<=cs0上的颗粒row)	支持

5、常规应用同其他平台一致。