

特長

- SNR: 70dB
- SFDR: 90dB
- 低消費電力: 650mW/616mW/567mW (合計)
- 単一1.8V電源
- DDR LVDS出力
- ドライブしやすい1.5V_{p-p}の入力範囲
- 1.25GHzのフルパワー帯域幅サンプル/ホールド
- オプションのクロック・デューティサイクル・スタビライザ
- 低消費電力のスリープ・モードとナップ・モード
- 設定用のシリアルSPIポート
- 12ビット・バージョンとピン互換
- 64ピン(9mm×9mm)QFNパッケージ

アプリケーション

- 通信
- セルラー基地局
- ソフトウェア無線
- 医療用画像処理
- 高精細ビデオ
- テストおよび測定機器

概要

LTC[®]2157-14/LTC2156-14/LTC2155-14は、広いダイナミック・レンジの高周波信号をデジタル化する、2チャンネル同時サンプリング250Msps/210Msps/170Msps 14ビットA/Dコンバータです。SNRが70dB、SFDRが90dBという優れたAC特性を備えているため、要求の厳しい通信アプリケーションに最適です。1.25GHzの入力帯域幅により、優れた性能を維持しながら高周波数をアンダーサンプリングできます。待ち時間はわずか6クロック・サイクルです。

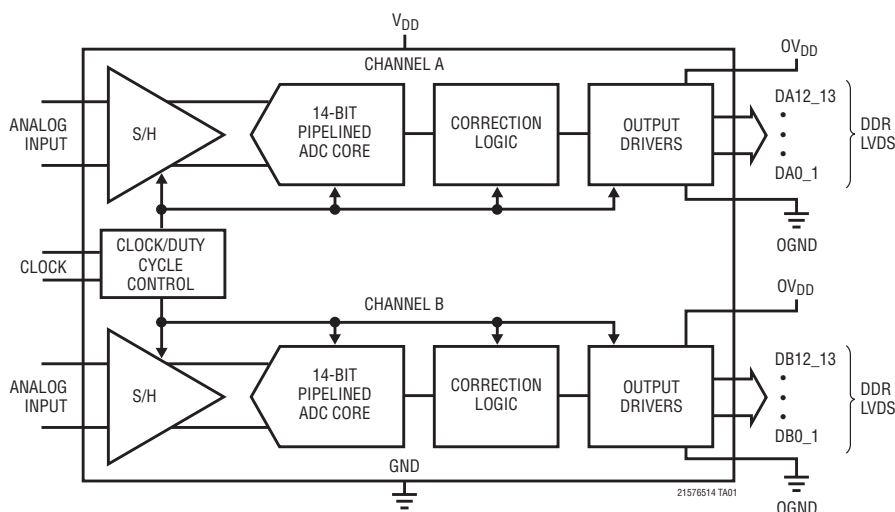
DC仕様では、±0.85LSB (標準)のINL、±0.25LSB (標準)のDNL、およびミッシング・コードがないことが全温度範囲で規定されています。遷移ノイズは1.82LSB_{RMS}です。

デジタル出力は、ダブルデータレート(DDR)LVDSです。

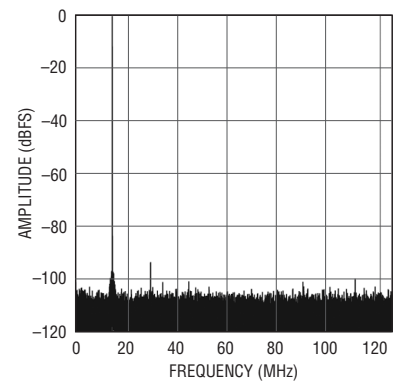
ENC⁺およびENC⁻入力、正弦波、PECL、LVDS、TTLまたはCMOSの入力信号を使って差動でドライブ可能です。また、オプションのクロック・デューティサイクル・スタビライザにより、広範なクロック・デューティサイクルで、フルスピードでの高い性能を達成できます。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリアテクノロジ社登録商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



LTC2157-14 32KポイントのFFT、
 $f_{IN} = 15\text{MHz}$ 、 -1dBFS 、250Msps



21576514 TA01b

LTC2157-14/ LTC2156-14/LTC2155-14

絶対最大定格

(Note 1, 2)

電源電圧

V_{DD} , OV_{DD}-0.3V ~ 2V

アナログ入力電圧

$A_{INA/B}^+$, $A_{INA/B}^-$, PAR/SER ,

SENSE (Note 3).....-0.3V ~ ($V_{DD} + 0.2V$)

デジタル入力電圧

ENC⁺, ENC⁻ (Note 3).....-0.3V ~ ($V_{DD} + 0.3V$)

\overline{CS} , SDI, SCK (Note 4).....-0.3V ~ 3.9V

SDO (Note 4).....-0.3V ~ 3.9V

デジタル出力電圧.....-0.3V ~ ($OV_{DD} + 0.3V$)

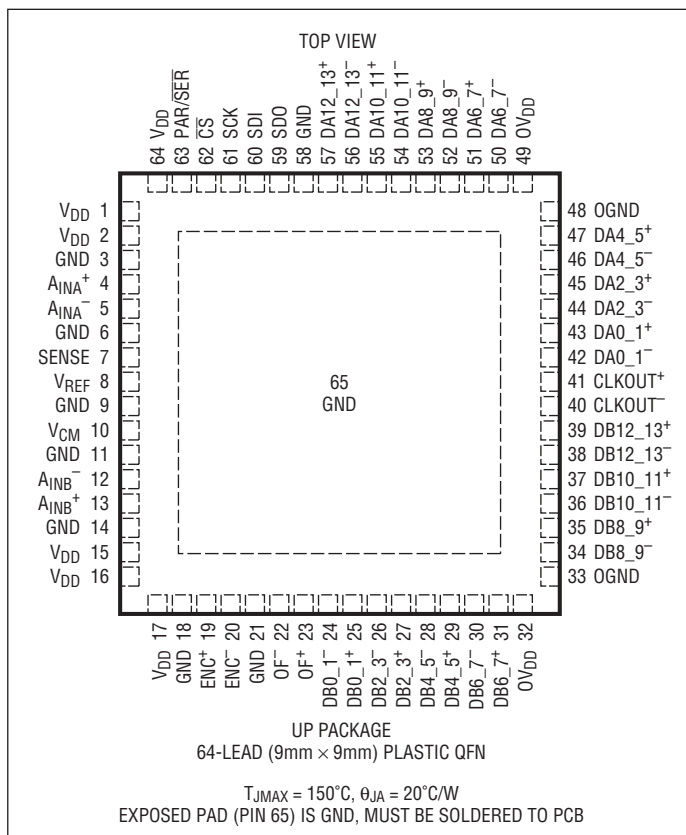
動作温度範囲

LTC2157C, LTC2156C, LTC2155C.....0°C ~ 70°C

LTC2157I, LTC2156I, LTC2155I.....-40°C ~ 85°C

保存温度範囲.....-65°C ~ 150°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2157CUP-14#PBF	LTC2157CUP-14#TRPBF	LTC2157UP-14	64-Lead (9mm x 9mm) Plastic QFN	0°C to 70°C
LTC2157IUP-14#PBF	LTC2157IUP-14#TRPBF	LTC2157UP-14	64-Lead (9mm x 9mm) Plastic QFN	-40°C to 85°C
LTC2156CUP-14#PBF	LTC2156CUP-14#TRPBF	LTC2156UP-14	64-Lead (9mm x 9mm) Plastic QFN	0°C to 70°C
LTC2156IUP-14#PBF	LTC2156IUP-14#TRPBF	LTC2156UP-14	64-Lead (9mm x 9mm) Plastic QFN	-40°C to 85°C
LTC2155CUP-14#PBF	LTC2155CUP-14#TRPBF	LTC2155UP-14	64-Lead (9mm x 9mm) Plastic QFN	0°C to 70°C
LTC2155IUP-14#PBF	LTC2155IUP-14#TRPBF	LTC2155UP-14	64-Lead (9mm x 9mm) Plastic QFN	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。

テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

コンバータの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(Note 5)

PARAMETER	CONDITIONS	LTC2157-14			LTC2156-14			LTC2155-14			UNITS	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Resolution (No Missing Codes)		●	14		14		14		14		Bits	
Integral Linearity Error	Differential Analog Input (Note 6)	●	-5.5	±0.85	5.5	-5.3	±0.85	5.3	-5.1	±0.85	5.1	LSB
Differential Linearity Error	Differential Analog Input	●	-0.9	±0.25	0.9	-0.9	±0.25	0.9	-0.9	±0.25	0.9	LSB
Offset Error	(Note 7)	●	-13	±5	13	-13	±5	13	-13	±5	13	mV
Gain Error	Internal Reference External Reference	●		±1.5			±1.5			±1.5		%FS %FS
Offset Drift				±20			±20			±20		$\mu\text{V}/^\circ\text{C}$
Full-Scale Drift	Internal Reference External Reference			±30			±30			±30		ppm/ $^\circ\text{C}$ ppm/ $^\circ\text{C}$
Transition Noise				1.82			1.82			1.82		LSBRMS

アナログ入力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IN}	Analog Input Range ($A_{IN^+} - A_{IN^-}$)	$1.7\text{V} < V_{DD} < 1.9\text{V}$	●	1.5		V_{P-P}	
$V_{IN(CM)}$	Analog Input Common Mode ($A_{IN^+} + A_{IN^-}$)/2	Differential Analog Input (Note 8)	●	$V_{CM} - 20\text{mV}$	V_{CM}	$V_{CM} + 20\text{mV}$	V
V_{SENSE}	External Voltage Reference Applied to SENSE	External Reference Mode	●	1.200	1.250	1.300	V
I_{IN1}	Analog Input Leakage Current	$0 < A_{IN^+}, A_{IN^-} < V_{DD}$, No Encode	●	-1	1		μA
I_{IN2}	PAR/SER Input Leakage Current	$0 < \text{PAR/SER} < V_{DD}$	●	-1	1		μA
I_{IN3}	SENSE Input Leakage Current	$1.2\text{V} < \text{SENSE} < 1.3\text{V}$	●	-1	1		μA
t_{AP}	Sample-and-Hold Acquisition Delay Time			1			ns
t_{JITTER}	Sample-and-Hold Acquisition Delay Jitter			0.15			psRMS
CMRR	Analog Input Common Mode Rejection Ratio			75			dB
BW-3B	Full-Power Bandwidth			1250			MHz

ダイナミック精度 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。 $A_{IN} = -1\text{dBFS}$ 。(Note 5)

SYMBOL	PARAMETER	CONDITIONS	LTC2157-14			LTC2156-14			LTC2155-14			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SNR	Signal-to-Noise Ratio	15MHz Input		70		70		70		70		dBFS
		70MHz Input		69.7		69.7		69.8		69.8		dBFS
		140MHz Input	●	67.1	69	67.6	69	67.7	69.1		69.1	
SFDR	Spurious Free Dynamic Range 2nd or 3rd Harmonic	15MHz Input		90		90		90		90		dBFS
		70MHz Input		85		85		85		85		dBFS
		140MHz Input	●	71	80	74	80	76	80		80	
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	15MHz Input		98		95		95		95		dBFS
		70MHz Input		95		95		95		95		dBFS
		140MHz Input	●	81	85	82	85	83	85		85	
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	15MHz Input		69.9		69.9		69.9		69.9		dBFS
		70MHz Input		69.4		69.4		69.4		69.4		dBFS
		140MHz Input	●	66.3	68.8	67.2	68.8	67.3	68.5		68.5	
Crosstalk	Crosstalk Between Channels	Up to 315MHz Input		-95		-95		-95		-95		dB

LTC2157-14/ LTC2156-14/LTC2155-14

内部リファレンスの特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CM} Output Voltage	$I_{OUT} = 0$	$0.435 \cdot V_{DD} - 18\text{mV}$	$0.435 \cdot V_{DD}$	$0.435 \cdot V_{DD} + 18\text{mV}$	V
V_{CM} Output Temperature Drift			± 37		ppm/ $^\circ\text{C}$
V_{CM} Output Resistance	$-1\text{mA} < I_{OUT} < 1\text{mA}$		4		Ω
V_{REF} Output Voltage	$I_{OUT} = 0$	1.225	1.250	1.275	V
V_{REF} Output Temperature Drift			± 30		ppm/ $^\circ\text{C}$
V_{REF} Output Resistance	$-400\mu\text{A} < I_{OUT} < 1\text{mA}$		7		Ω
V_{REF} Line Regulation	$1.7\text{V} < V_{DD} < 1.9\text{V}$		0.6		mV/V

電源要件 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	LTC2157-14			LTC2156-14			LTC2155-14			UNITS	
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
V_{DD}	Analog Supply Voltage	(Note 9)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
OV_{DD}	Output Supply Voltage	(Note 9)	●	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
I_{VDD}	Analog Supply Current		●	316	350	299	330	274	305				mA
I_{OVDD}	Digital Supply Current	1.75mA LVDS Mode	●	45	50	43	49	41	48				mA
		3.5mA LVDS Mode	●	76	85	73	84	71	83				mA
P_{DISS}	Power Dissipation	1.75mA LVDS Mode	●	650	720	616	682	567	635				mW
		3.5mA LVDS Mode	●	706	783	670	745	621	698				mW
P_{SLEEP}	Sleep Mode Power	Clock Disabled		<5		<5		<5					mW
		Clocked at $f_S(\text{MAX})$		<5		<5		<5					mW
P_{NAP}	Nap Mode Power	Clocked at $f_S(\text{MAX})$		213		198		184					mW

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
エンコード入力 (ENC⁺, ENC⁻)						
V_{ID}	Differential Input Voltage	(Note 8)	●	0.2		V
V_{ICM}	Common Mode Input Voltage	Internally Set		1.2		V
		Externally Set (Note 8)	●	1.1	1.5	V
R_{IN}	Input Resistance	(See Figure 2)		10		k Ω
C_{IN}	Input Capacitance	(Note 8)		2		pF
デジタル入力 (CS, SDI, SCK)						
V_{IH}	High Level Input Voltage	$V_{DD} = 1.8\text{V}$	●	1.3		V
V_{IL}	Low Level Input Voltage	$V_{DD} = 1.8\text{V}$	●		0.6	V
I_{IN}	Input Current	$V_{IN} = 0\text{V}$ to 3.6V	●	-10	10	μA
C_{IN}	Input Capacitance	(Note 8)		3		pF
SDO 出力 (オープン・ドレイン出力。SDO が使われる場合、2k のプルアップ抵抗が必要)						
R_{OL}	Logic Low Output Resistance to GND	$V_{DD} = 1.8\text{V}$, SDO = 0V		200		Ω
I_{OH}	Logic High Output Leakage Current	SDO = 0V to 3.6V	●	-10	10	μA
C_{OUT}	Output Capacitance	(Note 8)		4		pF

デジタル入力とデジタル出力 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
デジタル・データ出力							
V _{OD}	Differential Output Voltage	100Ω Differential Load, 3.5mA Mode	●	247	350	454	mV
		100Ω Differential Load, 1.75mA Mode	●	125	175	250	mV
V _{OS}	Common Mode Output Voltage	100Ω Differential Load, 3.5mA Mode	●	1.125	1.250	1.375	V
		100Ω Differential Load, 1.75mA Mode	●	1.125	1.250	1.375	V
R _{TERM}	On-Chip Termination Resistance	Termination Enabled, $OV_{DD} = 1.8\text{V}$			100		Ω

タイミング特性 ●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値 (Note 5)。

SYMBOL	PARAMETER	CONDITIONS		LTC2157-14			LTC2156-14			LTC2155-14			UNITS
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
f _s	Sampling Frequency	(Note 9)	●	10		250	10		210	10		170	MHz
t _L	ENC Low Time (Note 8)	Duty Cycle Stabilizer Off	●	1.9	2	50	2.26	2.38	50	2.79	2.94	50	ns
		Duty Cycle Stabilizer On	●	1.5	2	50	1.5	2.38	50	1.5	2.94	50	ns
t _H	ENC High Time (Note 8)	Duty Cycle Stabilizer Off	●	1.9	2	50	2.26	2.38	50	2.79	2.94	50	ns
		Duty Cycle Stabilizer On	●	1.5	2	50	1.5	2.38	50	1.5	2.94	50	ns

デジタル・データ出力

SYMBOL	PARAMETER	CONDITIONS		LTC215X-14			UNITS
				MIN	TYP	MAX	
t _D	ENC to Data Delay	C _L = 5pF (Note 8)	●	1.7	2	2.3	ns
t _C	ENC to CLKOUT Delay	C _L = 5pF (Note 8)	●	1.3	1.6	2	ns
t _{SKEW}	DATA to CLKOUT Skew	t _D - t _C (Note 8)	●	0.3	0.4	0.55	ns
	Pipeline Latency			6		6	Cycles

SPI ポートのタイミング (Note 8)

t _{SCK}	SCK Period	Write Mode	●	40			ns
		Readback Mode C _{SDO} = 20pF, R _{PULLUP} = 2k	●	250			ns
t _S	$\overline{\text{CS}}$ to SCK Set-Up Time		●	5			ns
t _H	SCK to $\overline{\text{CS}}$ Hold Time		●	5			ns
t _{DS}	SDI Set-Up Time		●	5			ns
t _{DH}	SDI Hold Time		●	5			ns
t _{DO}	SCK Falling to SDO Valid	Readback Mode, C _{SDO} = 20pF, R _{PULLUP} = 2k	●			125	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性があります。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性があります。

Note 2: すべての電圧値は(注記がない限り) GND と OGND を短絡した状態の GND を基準にしている。

Note 3: これらのピンの電圧を GND より低くするか、V_{DD} より高くすると、内部のダイオードによってクランプされる。この製品は、GND より低い電圧、または V_{DD} より高い電圧でラッチアップを生じることなしに 100mA を超える入力電流を処理することができる。

Note 4: これらのピンの電圧を GND より低くすると、内部のダイオードによってクランプされる。これらのピンの電圧を V_{DD} より高くすると、内部のダイオードによってクランプされない。この製品は、GND より低い電圧で、ラッチアップを生じることなく 100mA を超える入力電流を処理することができる。

Note 5: 注記がない限り、V_{DD} = 0V_{DD} = 1.8V、f_{SAMPLE} = 250MHz (LTC2157)、210MHz (LTC2156)、または 170MHz (LTC2155)、差動 ENC⁺/ENC⁻ = 2V_{P-P} の正弦波、入力範囲 = 1.5V_{P-P} (差動ドライブ)

Note 6: 積分非直線性は、伝達曲線に最もよく合致する直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定する。

Note 7: オフセット誤差は、2 の補数の出力モードで出力コードが 00 0000 0000 0000 と 11 1111 1111 1111 の間を行ったり来たりするとき、-0.5LSB から測定したオフセット電圧である。

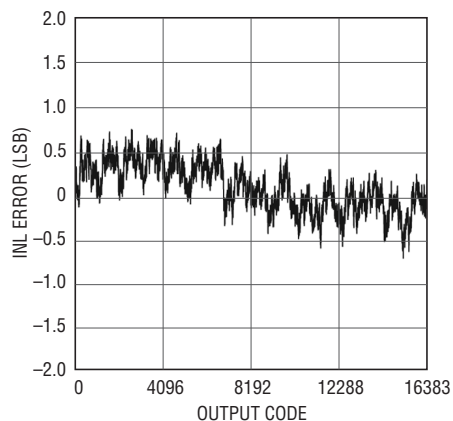
Note 8: 設計によって保証されているが、テストされない。

Note 9: 推奨動作条件。

LTC2157-14/ LTC2156-14/LTC2155-14

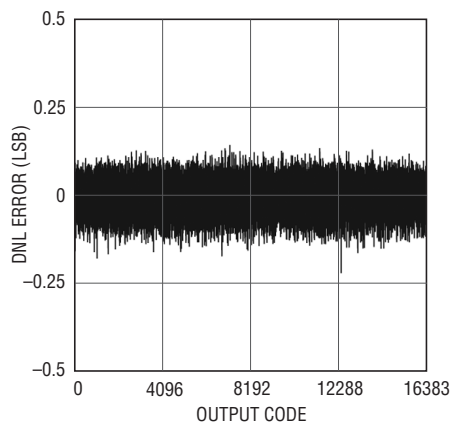
標準的性能特性

LTC2157-14: 積分非直線性 (INL)



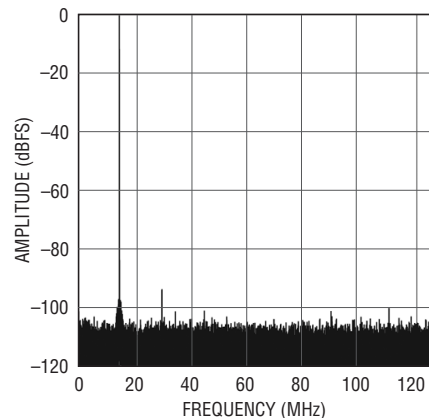
21576514 G01

LTC2157-14: 微分非直線性 (DNL)



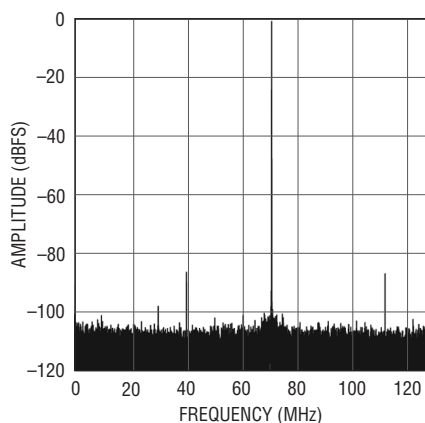
21576514 G02

LTC2157-14: 32KポイントのFFT、
 $f_{IN} = 15\text{MHz}$ 、 -1dBFS 、 250Mps



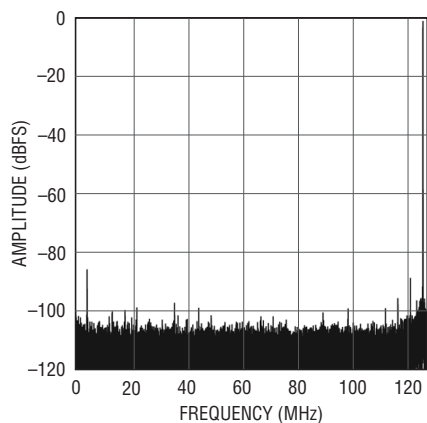
21576514 G03

LTC2157-14: 32KポイントのFFT、
 $f_{IN} = 70\text{MHz}$ 、 -1dBFS 、 250Mps



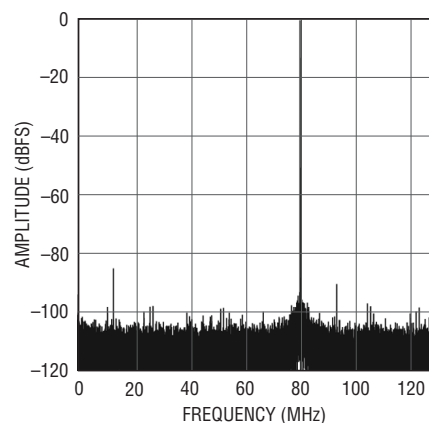
21576514 G04

LTC2157-14: 32KポイントのFFT、
 $f_{IN} = 122\text{MHz}$ 、 -1dBFS 、 250Mps



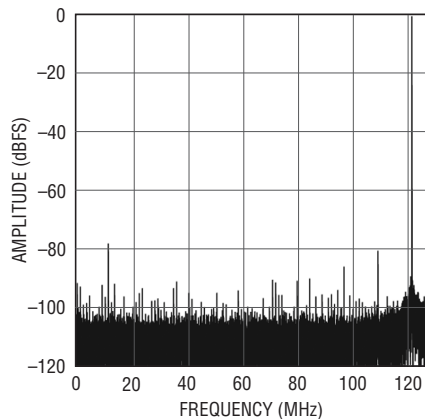
21576514 G05

LTC2157-14: 32KポイントのFFT、
 $f_{IN} = 171\text{MHz}$ 、 -1dBFS 、 250Mps



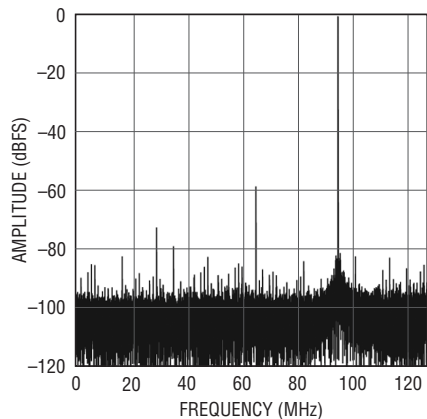
21576514 G06

LTC2157-14: 32KポイントのFFT、
 $f_{IN} = 381\text{MHz}$ 、 -1dBFS 、 250Mps



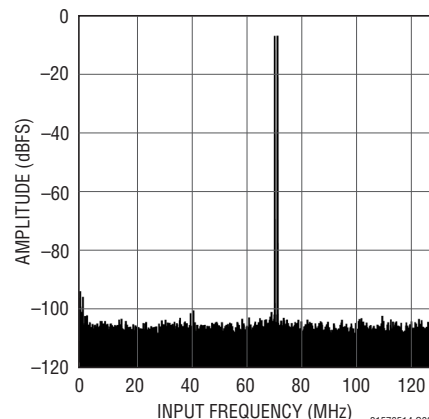
21576514 G07

LTC2157-14: 32KポイントのFFT、
 $f_{IN} = 907\text{MHz}$ 、 -1dBFS 、 250Mps



21576514 G08

LTC2157-14: 32Kポイントの
2トーンFFT、 $f_{IN} = 70.5\text{MHz}$
および 69.5MHz 、 250Mps

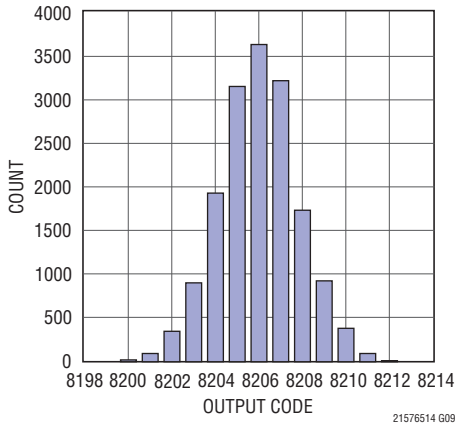


21576514 G08a

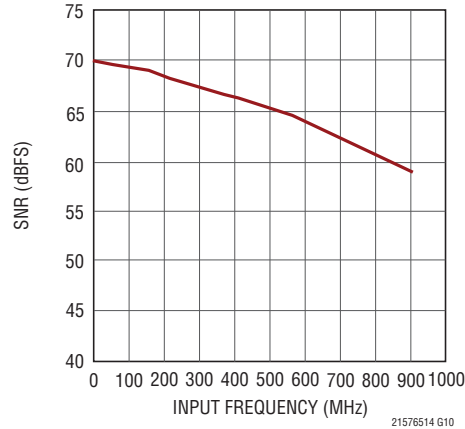
21576514fb

標準的性能特性

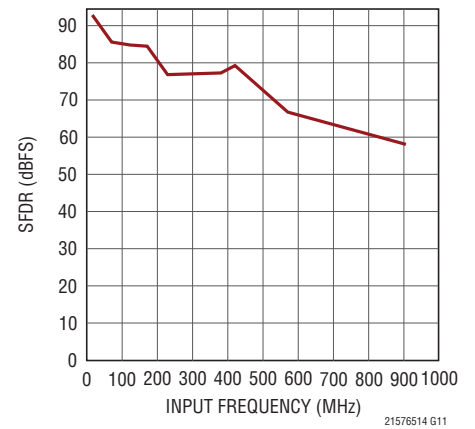
LTC2157-14: 短絡入力のヒストグラム



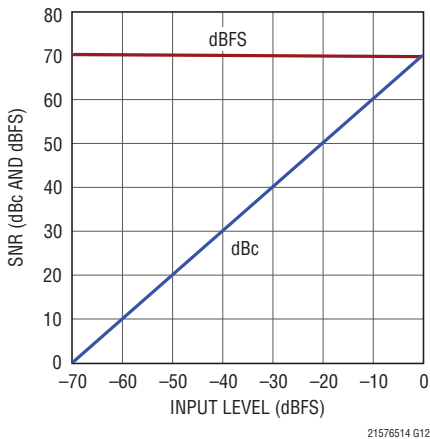
LTC2157-14: SNRと入力周波数、
-1dBFS、250Msps



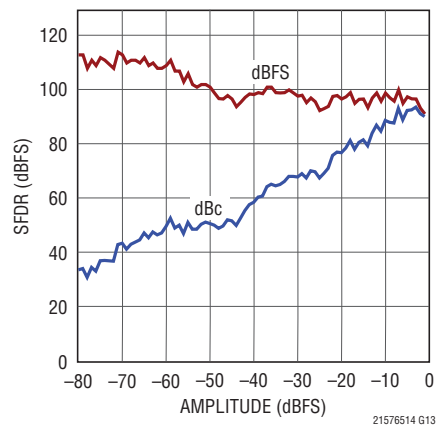
LTC2157-14: SFDRと入力周波数、
-1dBFS、250Msps



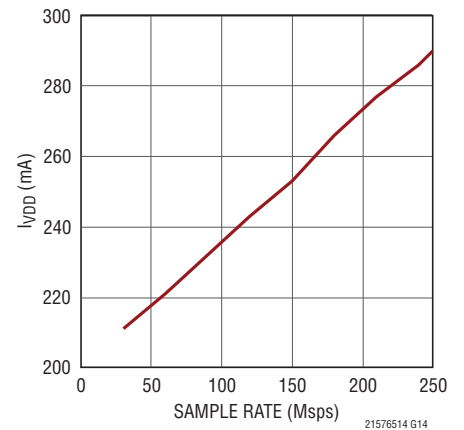
LTC2157-14: SNRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、250Msps



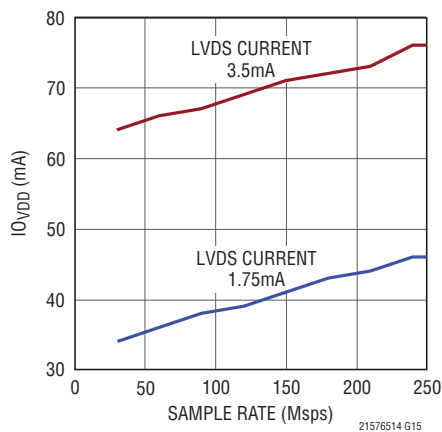
LTC2157-14: SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、250Msps



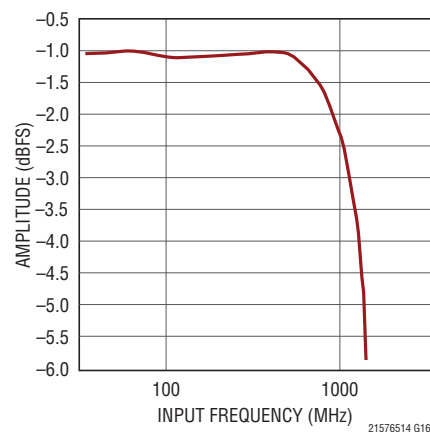
LTC2157-14: I_{VDD} とサンプル・レート、
15MHz、正弦波入力、-1dBFS



LTC2157-14: I_{VDD} とサンプル・レート、
15MHz、正弦波入力、-1dBFS



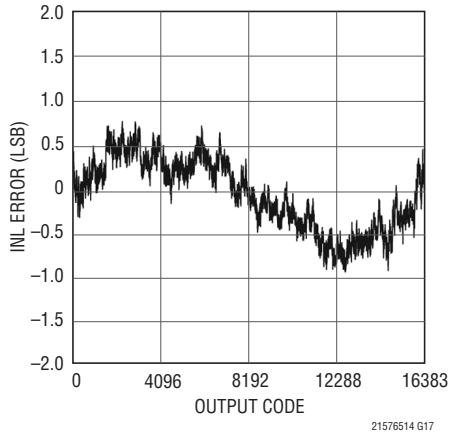
LTC2157-14: 周波数応答



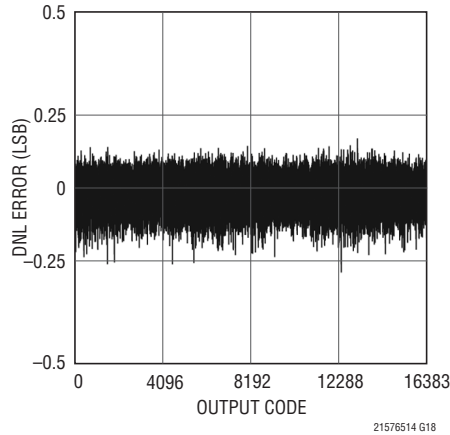
LTC2157-14/ LTC2156-14/LTC2155-14

標準的性能特性

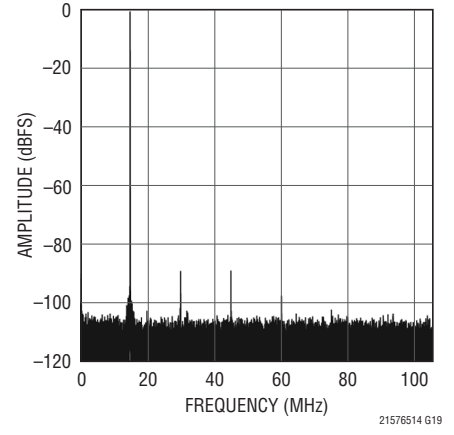
LTC2156-14: 積分非直線性 (INL)



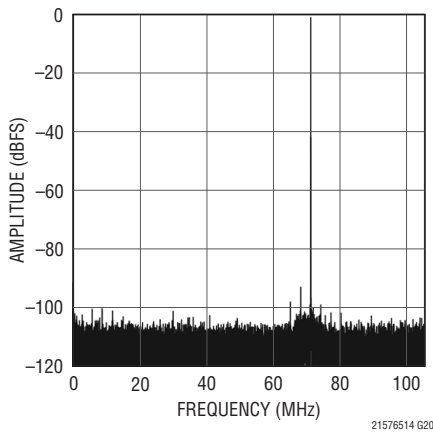
LTC2156-14: 微分非直線性 (DNL)



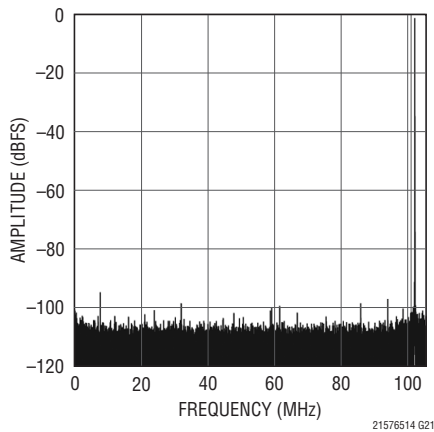
LTC2156-14: 32KポイントのFFT、 $f_{IN} = 15\text{MHz}$ 、 -1dBFS 、 210Mps



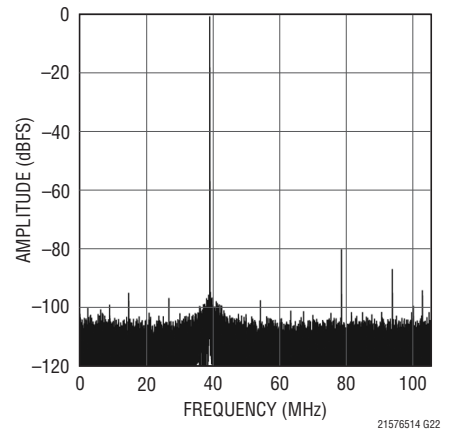
LTC2156-14: 32KポイントのFFT、 $f_{IN} = 71\text{MHz}$ 、 -1dBFS 、 210Mps



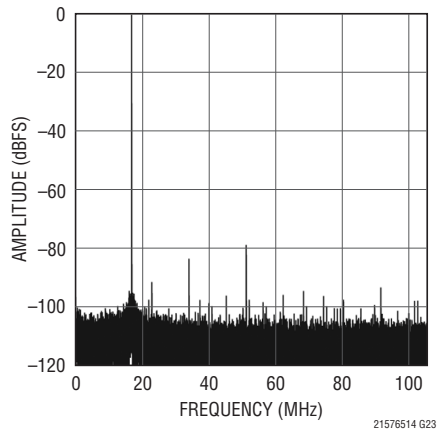
LTC2156-14: 32KポイントのFFT、 $f_{IN} = 101\text{MHz}$ 、 -1dBFS 、 210Mps



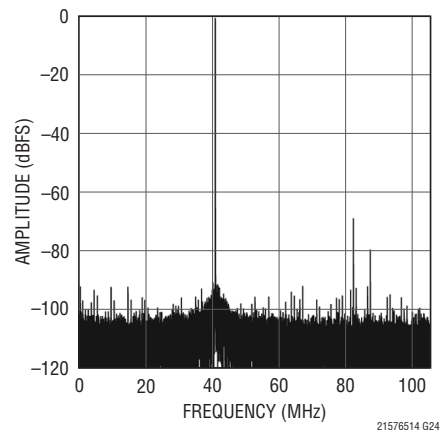
LTC2156-14: 32KポイントのFFT、 $f_{IN} = 171\text{MHz}$ 、 -1dBFS 、 210Mps



LTC2156-14: 32KポイントのFFT、 $f_{IN} = 227\text{MHz}$ 、 -1dBFS 、 210Mps

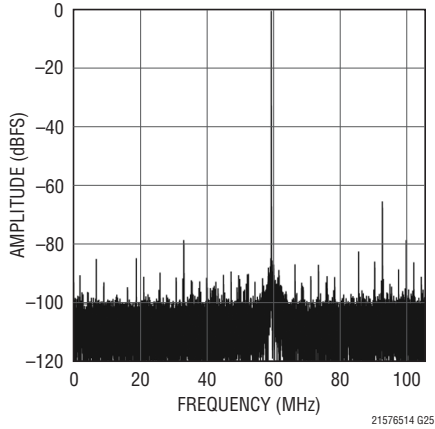


LTC2156-14: 32KポイントのFFT、 $f_{IN} = 379\text{MHz}$ 、 -1dBFS 、 210Mps

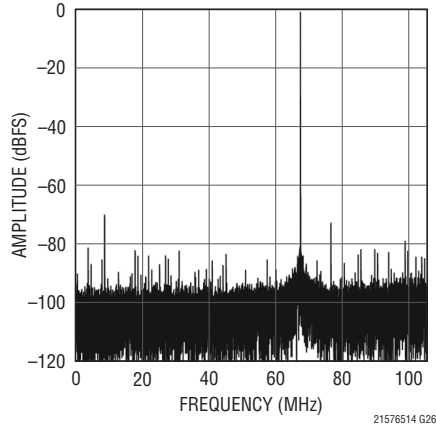


標準的性能特性

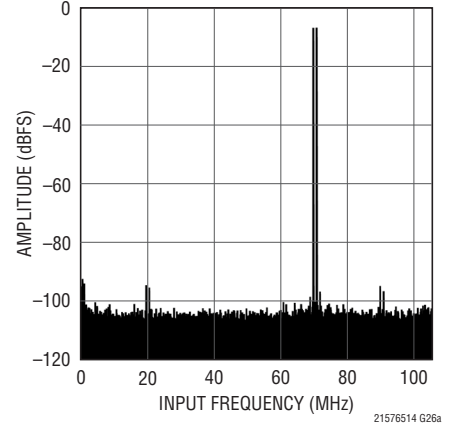
LTC2156-14: 32KポイントのFFT、
 $f_{IN} = 571\text{MHz}$ 、 -1dBFS 、 210Mpsps



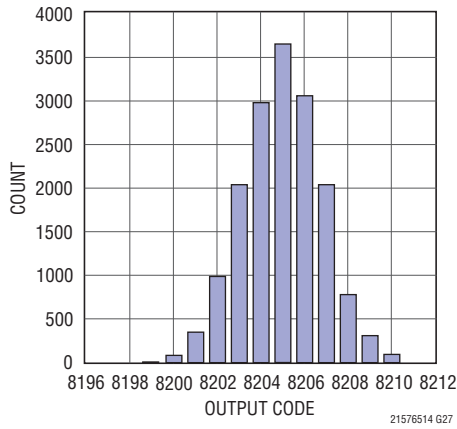
LTC2156-14: 32KポイントのFFT、
 $f_{IN} = 907\text{MHz}$ 、 -1dBFS 、 210Mpsps



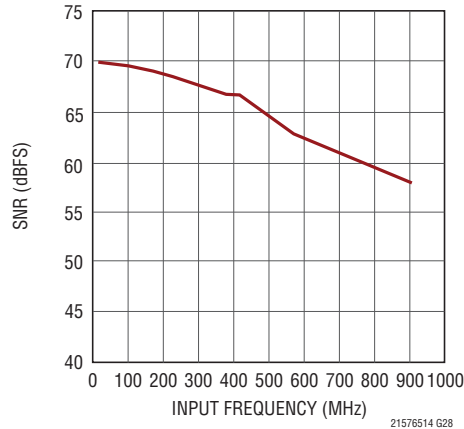
LTC2156-14: 32Kポイントの
2トーンFFT、 $f_{IN} = 70.5\text{MHz}$
および 69.5MHz 、 210Mpsps



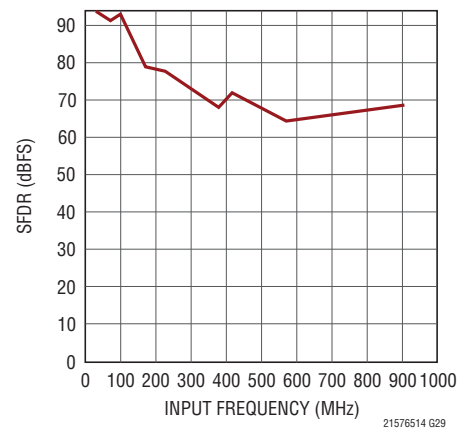
LTC2156-14: 短絡入力の
ヒストグラム



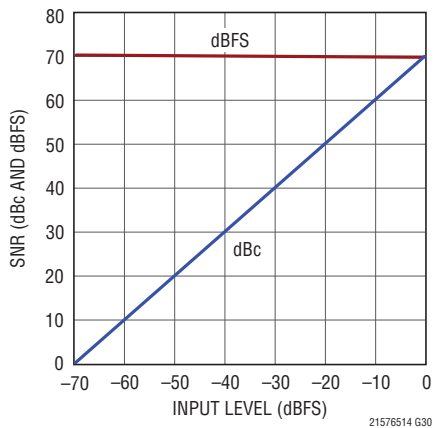
LTC2156-14: SNR と入力周波数、
 -1dBFS 、 210Mpsps



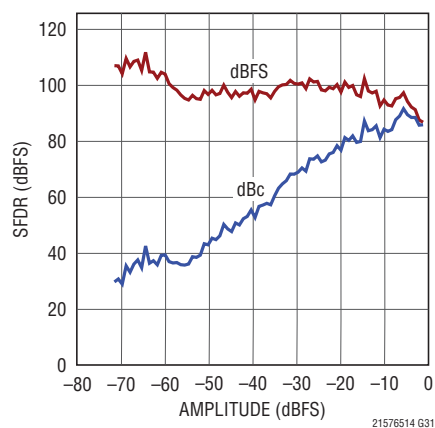
LTC2156-14: SFDR と入力周波数、
 -1dBFS 、 210Mpsps



LTC2156-14: SNR と入力レベル、
 $f_{IN} = 70\text{MHz}$ 、 210Mpsps



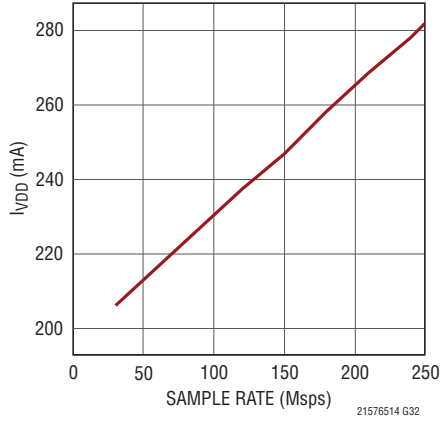
LTC2156-14: SFDR と入力レベル、
 $f_{IN} = 71\text{MHz}$ 、 210Mpsps



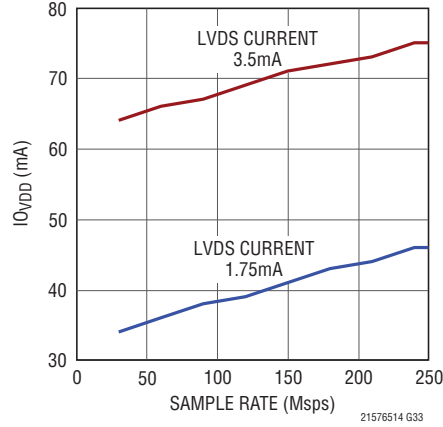
LTC2157-14/ LTC2156-14/LTC2155-14

標準的性能特性

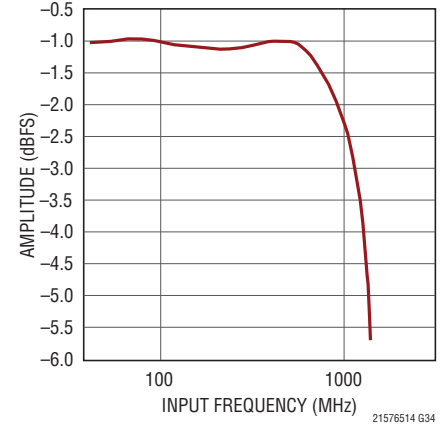
LTC2156-14: I_{VDD} とサンプル・レート、
15MHz、正弦波入力、-1dBFS



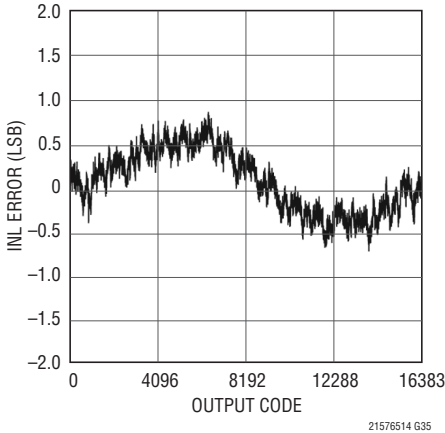
LTC2156-14: I_{VDD} とサンプル・レート、
15MHz、正弦波入力、-1dBFS



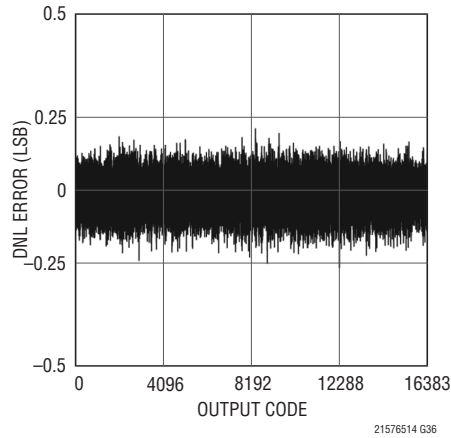
LTC2156-14: 周波数応答



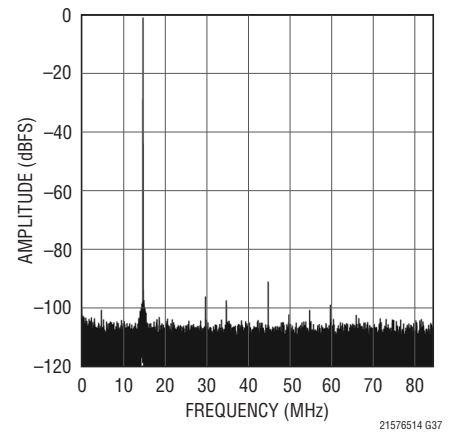
LTC2155-14: 積分非直線性 (INL)



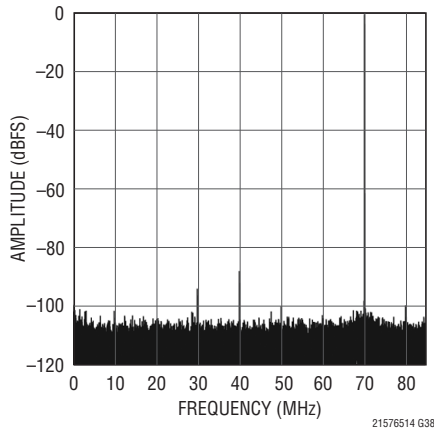
LTC2155-14: 微分非直線性 (DNL)



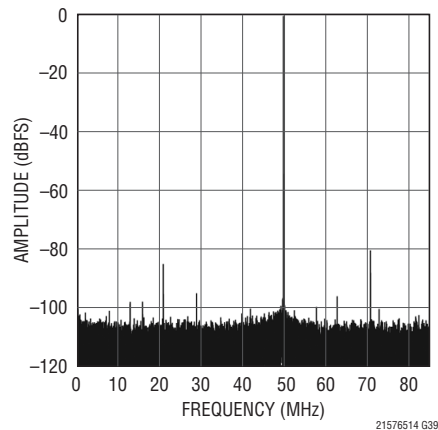
LTC2155-14: 32KポイントのFFT、
 $f_{IN} = 15\text{MHz}$ 、-1dBFS、170MSPS



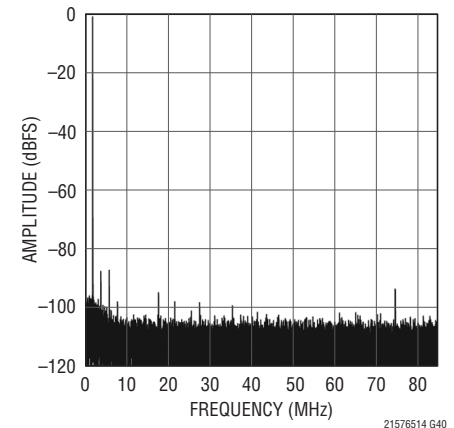
LTC2155-14: 32KポイントのFFT、
 $f_{IN} = 70\text{MHz}$ 、-1dBFS、170MSPS



LTC2155-14: 32KポイントのFFT、
 $f_{IN} = 121\text{MHz}$ 、-1dBFS、170MSPS



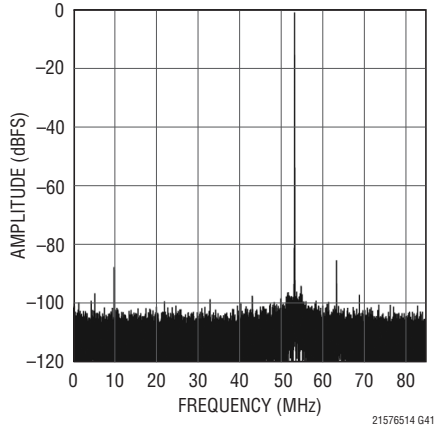
LTC2155-14: 32KポイントのFFT、
 $f_{IN} = 169\text{MHz}$ 、-1dBFS、170MSPS



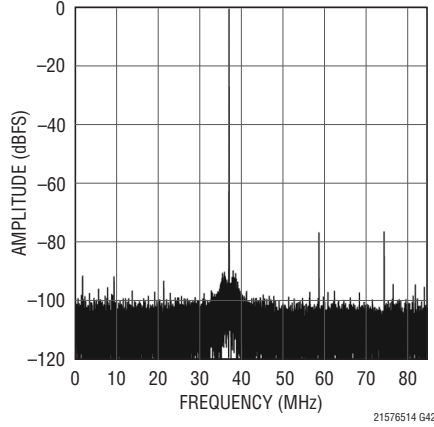
21576514fb

標準的性能特性

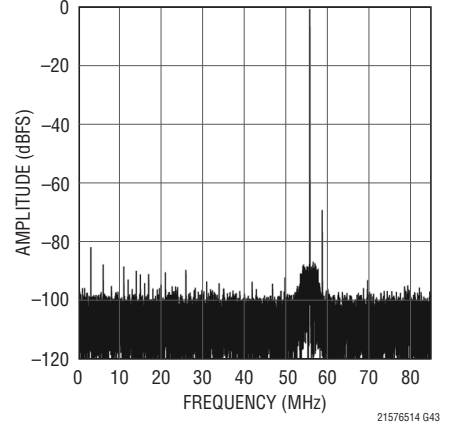
LTC2155-14: 32KポイントのFFT、
 $f_{IN} = 225\text{MHz}$ 、 -1dBFS 、 170Mpsps



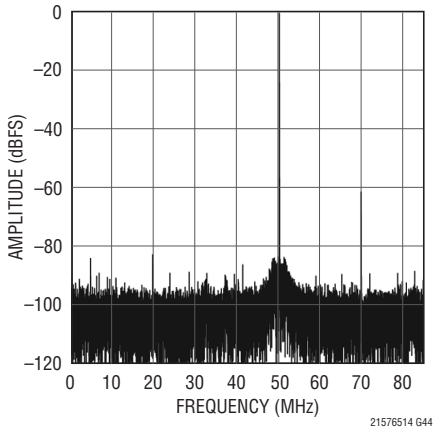
LTC2155-14: 32KポイントのFFT、
 $f_{IN} = 380\text{MHz}$ 、 -1dBFS 、 170Mpsps



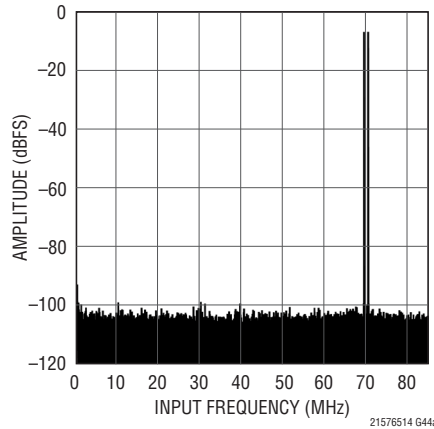
LTC2155-14: 32KポイントのFFT、
 $f_{IN} = 571\text{MHz}$ 、 -1dBFS 、 170Mpsps



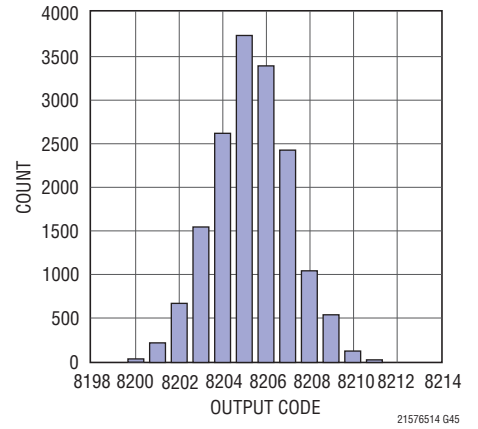
LTC2155-14: 32KポイントのFFT、
 $f_{IN} = 907\text{MHz}$ 、 -1dBFS 、 170Mpsps



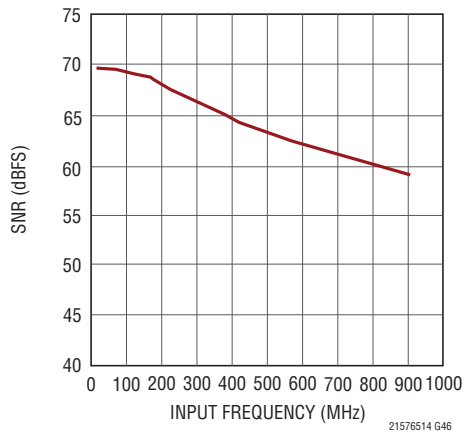
LTC2155-14: 32Kポイントの2トーン
FFT、 $f_{IN} = 70.5\text{MHz}$ および 69.5MHz 、
 170Mpsps



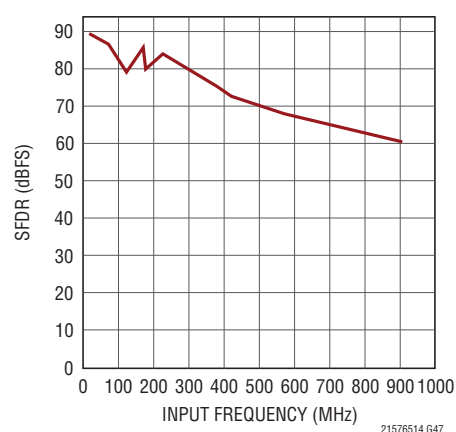
LTC2155-14: 短絡入力力の
ヒストグラム



LTC2155-14: SNRと入力周波数、
 -1dBFS 、 170Mpsps



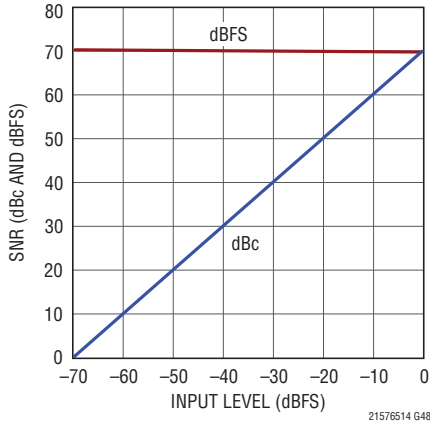
LTC2155-14: SFDRと入力周波数、
 -1dBFS 、 170Mpsps



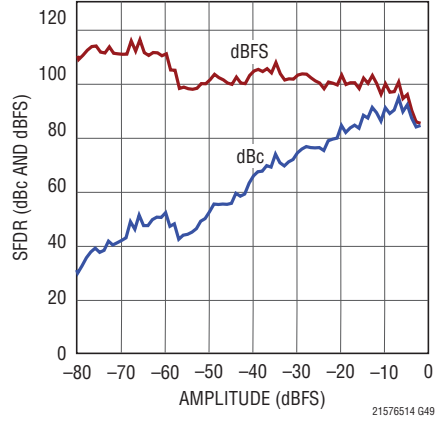
LTC2157-14/ LTC2156-14/LTC2155-14

標準的性能特性

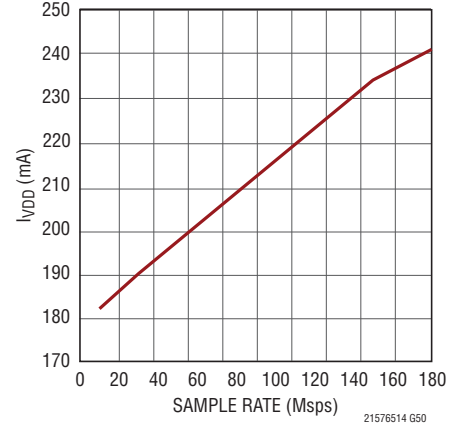
LTC2155-14: SNRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、 170Msps



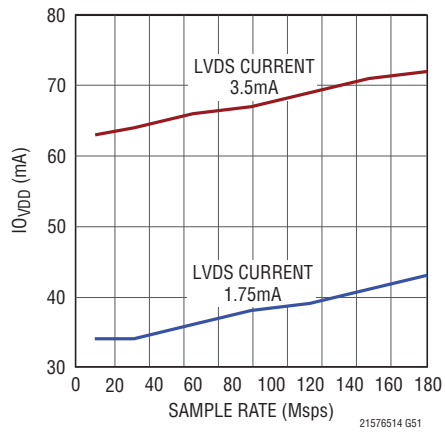
LTC2155-14: SFDRと入力レベル、
 $f_{IN} = 70\text{MHz}$ 、 170Msps



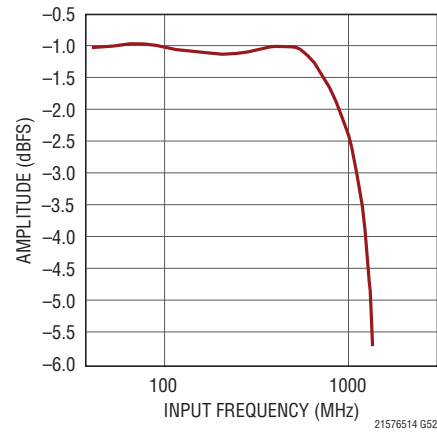
LTC2155-14: I_{VDD} とサンプル・レート、
 15MHz 、正弦波入力、 -1dBFS



LTC2155-14: I_{OVD} とサンプル・レート、
 15MHz 、正弦波入力、 -1dBFS



LTC2155-14: 周波数応答



ピン機能

V_{DD} (ピン1、2、15、16、17、64) : 1.8Vアナログ電源。0.1μFのセラミック・コンデンサを使用してグラウンドにバイパスします。ピン1、2、64はバイパス・コンデンサを共有することができます。ピン15、16、17はバイパス・コンデンサを共有することができます。

GND (ピン3、6、9、11、14、18、21、58、露出パッド・ピン65) : ADCの電源グラウンド。露出パッドはPCBグラウンドに半田付けする必要があります。

A_{INA}⁺ (ピン4) : チャンネルAの差動アナログ正入力。

A_{INA}⁻ (ピン5) : チャンネルAの差動アナログ負入力。

SENSE (ピン7) : リファレンス・プログラミング・ピン。SENSEをV_{DD}に接続すると、内部リファレンスと±0.75Vの入力範囲が選択されます。1.2V～1.3Vの外部リファレンスをSENSEに与えると、±0.6×V_{SENSE}の入力範囲が選択されます。

V_{REF} (ピン8) : リファレンス電圧出力。2.2μFのセラミック・コンデンサを使ってグラウンドにバイパスします。公称1.25V。

V_{CM} (ピン10) : 公称で0.435 × V_{DD}に等しい同相バイアス出力。V_{CM}はアナログ入力の同相レベルをバイアスするのに使われます。0.1μFのセラミック・コンデンサを使ってグラウンドにバイパスします。

A_{INB}⁻ (ピン12) : チャンネルBの差動アナログ負入力。

A_{INB}⁺ (ピン13) : チャンネルBの差動アナログ正入力。

ENC⁺ (ピン19) : エンコード入力。立ち上がりエッジで変換が開始されます。

ENC⁻ (ピン20) : エンコード相補入力。立ち下がりエッジで変換が開始されます。

OGND (ピン33、48) : 出力ドライバのグラウンド。

OV_{DD} (ピン32、49) : 出力ドライバの1.8V電源。個別に0.1μFのセラミック・コンデンサを使用して、各ピンをグラウンドにバイパスします。

SDO (ピン59) : シリアル・インタフェースのデータ出力。シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDOはオプションのシリアル・インタフェースのデータ出力です。SDOのデータはモード制御レジスタから読み出して、SCKの立ち下

がりエッジでラッチすることができます。SDOはオープンドレインのNチャネルMOSFET出力で、2kの外付けプルアップ抵抗を1.8V～3.3Vに接続する必要があります。モード制御レジスタから読み出す必要がない場合は、プルアップ抵抗は不要であり、SDOは未接続のままかまいません。

SDI (ピン60) : シリアル・インタフェースのデータ入力。シリアル・プログラミング・モードでは(PAR/SER = 0V)、SDIはシリアル・インタフェースのデータ入力です。SDIのデータはSCKの立ち上がりエッジでモード制御レジスタにクロックインされます。パラレル・プログラミング・モードでは(PAR/SER = V_{DD})、SDIは3.5mAまたは1.75mAのLVDS出力電流を選択します(表2を参照)。SDIは1.8V～3.3Vのロジックでドライブすることができます。

SCK (ピン61) : シリアル・インタフェースのクロック入力。シリアル・プログラミング・モードでは(PAR/SER = 0V)、SCKはシリアル・インタフェースのクロック入力です。パラレル・プログラミング・モードでは(PAR/SER = V_{DD})、SCKを使ってデバイスを低消費電力のスリープ・モードにすることができます(表2を参照)。SCKは1.8V～3.3Vのロジックでドライブすることができます。

CS (ピン62) : シリアル・インタフェースのチップ・セレクト入力。シリアル・プログラミング・モードでは(PAR/SER = 0V)、CSはシリアル・インタフェースのチップ選択入力です。CSが“L”のときSCKがイネーブルされ、SDIのデータをモード制御レジスタにシフトします。パラレル・プログラミング・モードでは(PAR/SER = V_{DD})、CSはクロック・デューティサイクル・スタビライザを制御します(表2を参照)。CSは、1.8V～3.3Vのロジックでドライブできます。

PAR/SER (ピン63) : プログラミング・モード選択ピン。シリアル・プログラミング・モードをイネーブルするにはグラウンドに接続します。この場合、CS、SCK、SDI、SDOは、A/Dの動作モードを制御するシリアル・インタフェースになります。パラレル・プログラミング・モードをイネーブルするにはV_{DD}に接続します。この場合、CS、SCK、SDIは、A/Dの(種類が限定された)動作モードを制御するパラレル・ロジック入力になります。PAR/SERはグラウンドまたはデバイスのV_{DD}に直接接続し、ロジック信号ではドライブしません。

ピン機能

LVDS 出力

以下のピンは差動LVDS出力です。出力電流レベルはプログラム可能です。各LVDS出力対(ペア)の間にはオプションの内部100Ω終端抵抗があります。

OF⁻/OF⁺ (ピン 22/23) : オーバーフロー/アンダーフローのデジタル出力。オーバーフローやアンダーフローが生じると、OF⁺が“H”になります。チャンネルAとチャンネルBのオーバーフローは一緒に多重化されます。

DB0⁻/DB0⁺ ~ DB12⁻/DB12⁺ (ピン 24/25、26/27、28/29、30/31、34/35、36/37、38/39) : チャンネルBのダブルデータレート・デジタル出力。2データ・ビットが各差動出力対に多重化されます。CLKOUT⁺が“L”のとき、偶数データ・ビット(DB0、DB2、DB4、DB6、DB8、DB10、DB12)が現れます。

CLKOUT⁺が“H”のとき、奇数データ・ビット(DB1、DB3、DB5、DB7、DB9、DB11、DB13)が現れます。

CLKOUT⁻/CLKOUT⁺ (ピン 40/41) : データ出力クロック。デジタル出力は通常CLKOUT⁺の立ち下がりエッジおよび立ち上がりエッジと同時に遷移します。CLKOUT⁺の位相は、モード制御レジスタをプログラムすることにより、デジタル出力に対して遅らせることもできます。

DA0⁻/DA0⁺ ~ DA12⁻/DA12⁺ (ピン 42/43、44/45、46/47、50/51、52/53、54/55、56/57) : チャンネルAのダブルデータレート・デジタル出力。2データ・ビットが各差動出力対に多重化されます。CLKOUT⁺が“L”のとき、偶数データ・ビット(DA0、DA2、DA4、DA6、DA8、DA10、DA12)が現れます。CLKOUT⁺が“H”のとき、奇数データ・ビット(DA1、DA3、DA5、DA7、DA9、DA11、DA13)が現れます。

機能ブロック図

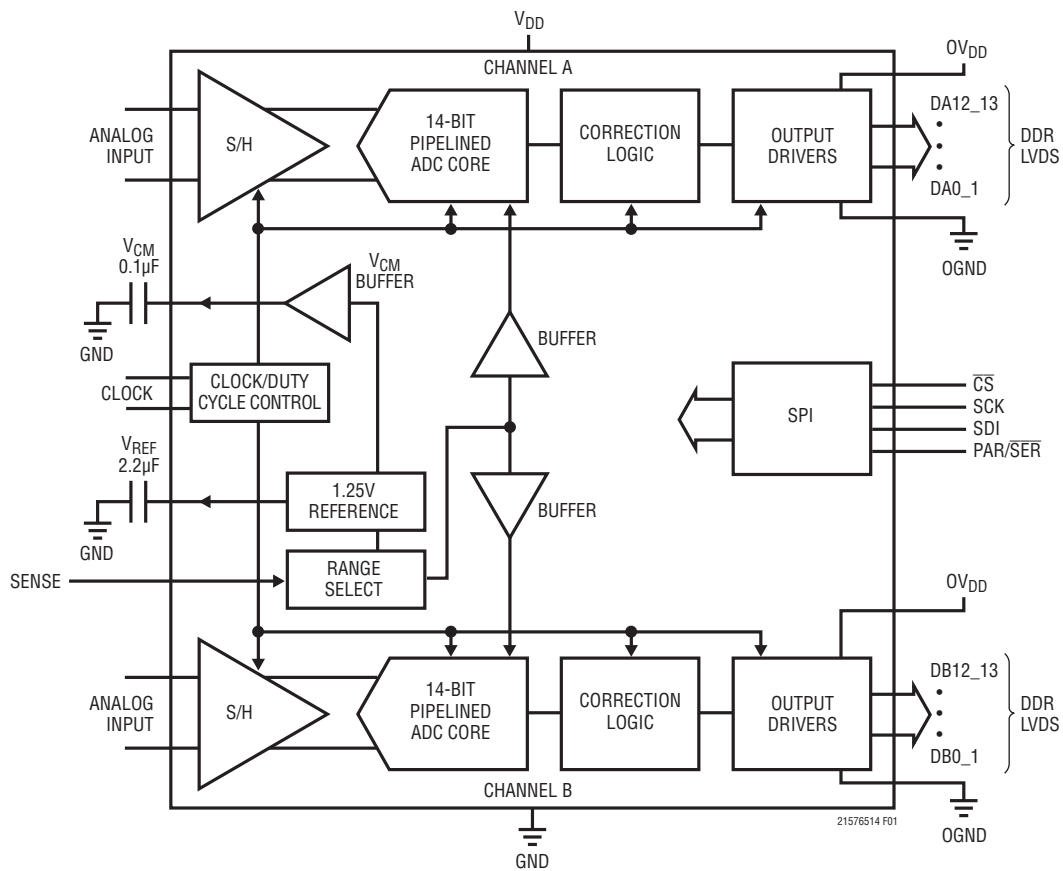
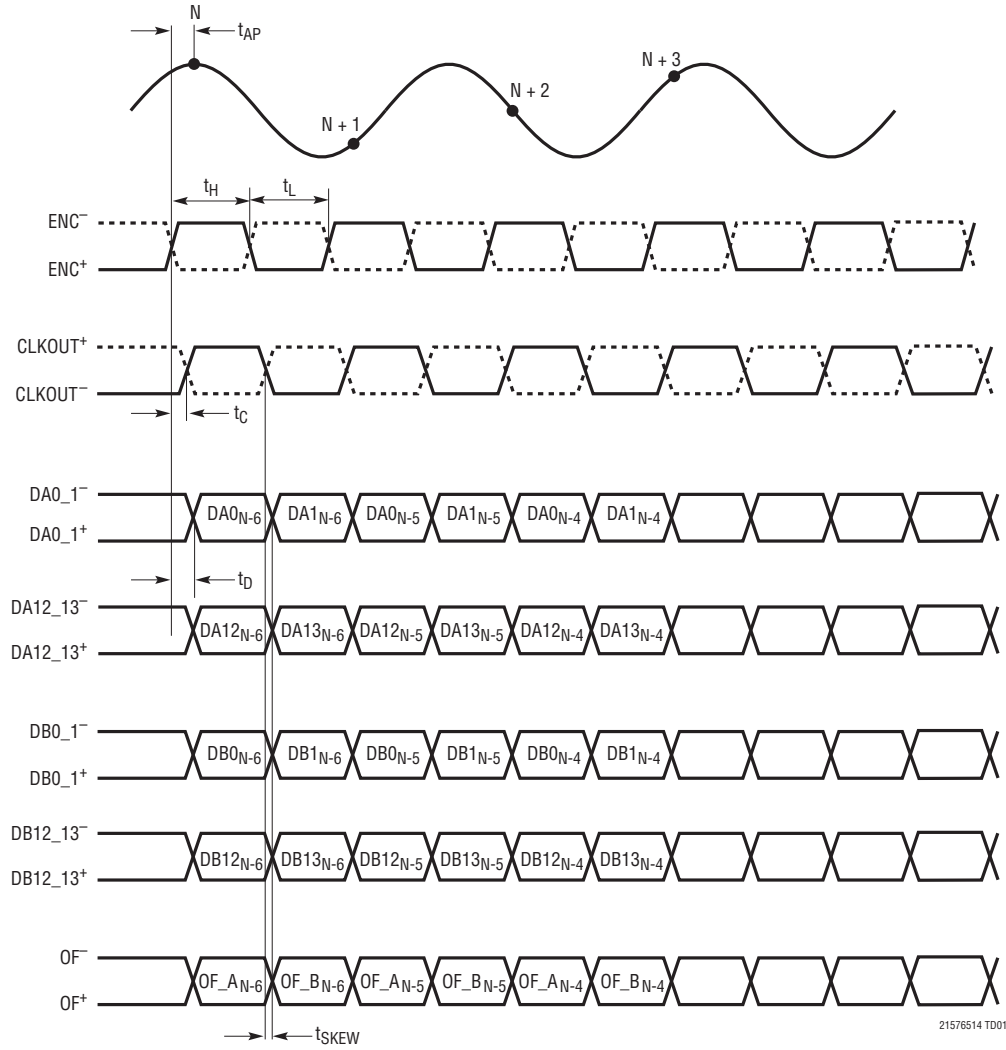


図1. 機能ブロック図

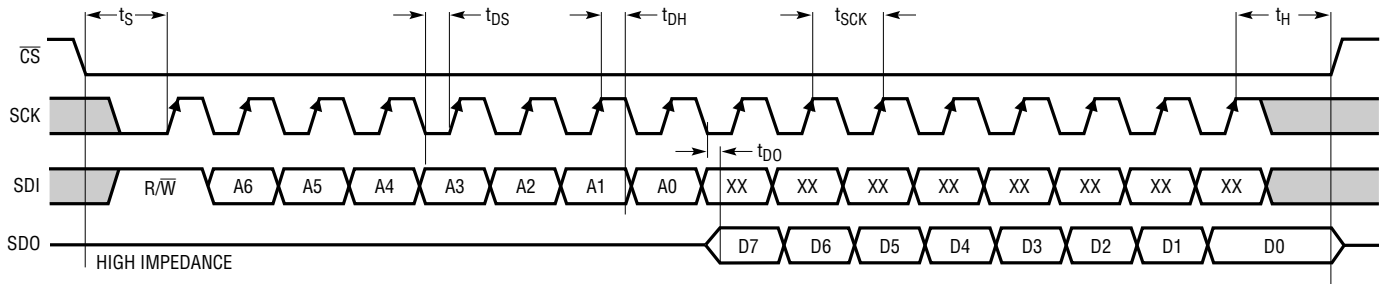
タイミング図

ダブルデータレート出力のタイミング、全ての出力が差動LVDS

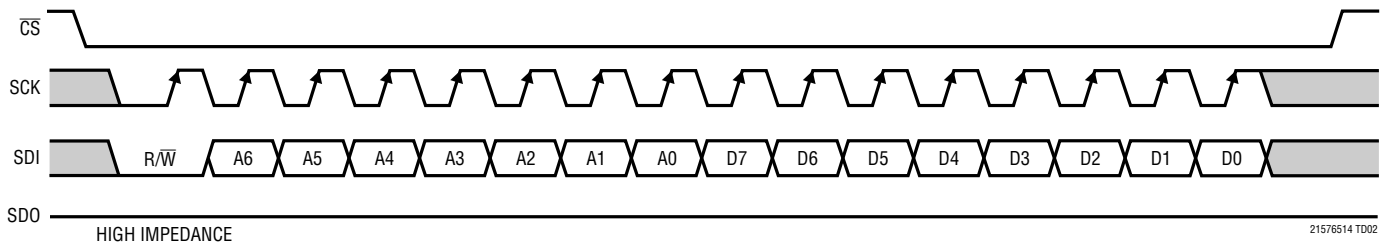


タイミング図

SPI Port Timing (Readback Mode)



SPI Port Timing (Write Mode)



アプリケーション情報

コンバータの動作

LTC2157-14/LTC2156-14/LTC2155-14は単一1.8V電源で動作する2チャンネル、14ビット250Msps/210Msps/170Msps A/Dコンバータです。アナログ入力は差動でドライブする必要があります。最適性能を得るため、エンコード入力は差動でドライブします。デジタル出力はダブルデータレートLVDSです。シリアルSPIポートを通してモード制御レジスタをプログラムすることにより、追加機能を選択することができます。

アナログ入力

アナログ入力は差動CMOSサンプル・ホールド回路です(図2)。入力は、 V_{CM} 出力ピンによって設定された同相電圧(公称 $0.435 \cdot V_{DD}$)を基準にして、差動でドライブする必要があります。1.5Vの入力範囲の場合、入力を $V_{CM} - 0.375V$ から $V_{CM} + 0.375V$ まで振幅させます。入力間には 180° の位相差を持たせます。

2つのチャンネルは、共有エンコード回路によって同時にサンプルされます。

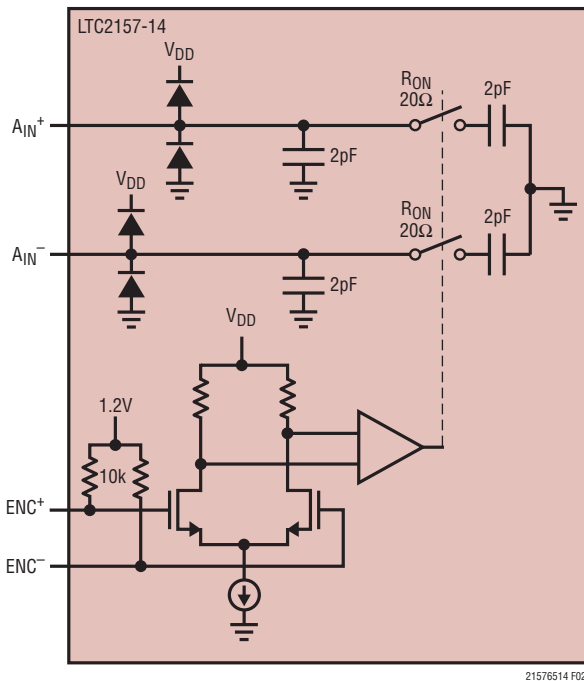


図2. 等価入力回路。2つのアナログ・チャンネルのうちの片方だけ示されている。

入カドライブ回路

入力のフィルタリング

できれば、アナログ入りにRCローパス・フィルタを置きます。このローパス・フィルタはドライブ回路をA/Dのサンプル・ホールドのスイッチングから分離し、ドライブ回路の広帯域ノイズも制限します。入力RCフィルタの例を図3に示します。RC部品の値はアプリケーションの特定の入力周波数に基づいて選択します。

トランス結合回路

V_{CM} ピンを介して一対の抵抗によって与えられる同相電圧を備えたRFトランスによってドライブされるアナログ入力を図3に示します。

高い入力周波数では、伝送ラインの balan・トランス(図4と図5)はもっと良くバランスがとれているので、A/Dの歪みが小さくなります。

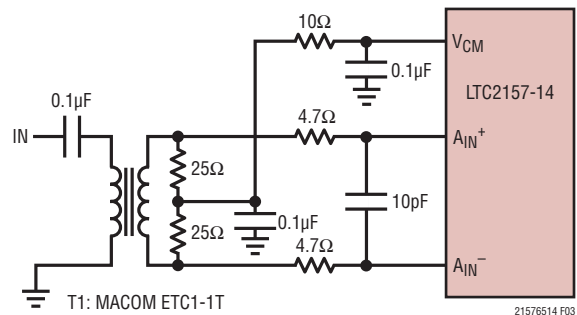


図3. トランスを使用したアナログ入力回路。5MHz~70MHzの入力周波数に対して推奨

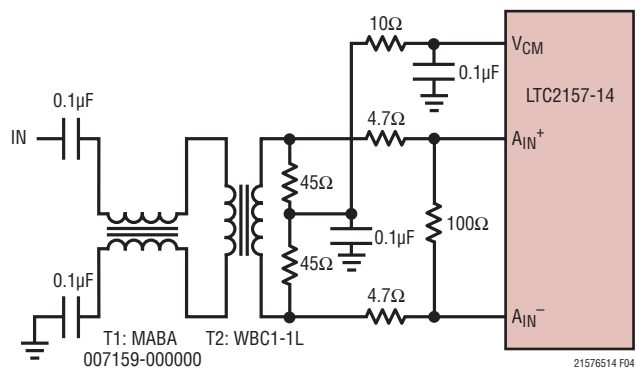


図4. 15MHz~150MHzの入力周波数用の推奨フロントエンド回路

アプリケーション情報

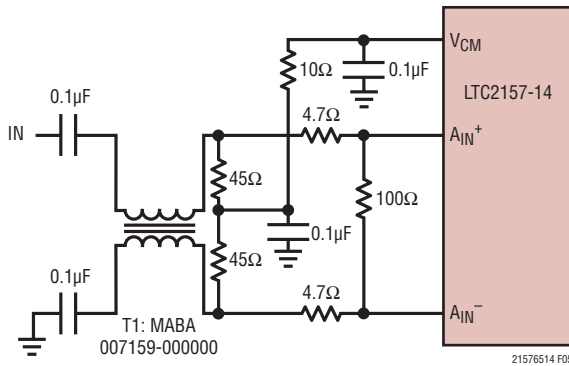


図5. 150MHz～900MHzの入力周波数用の推奨フロントエンド回路

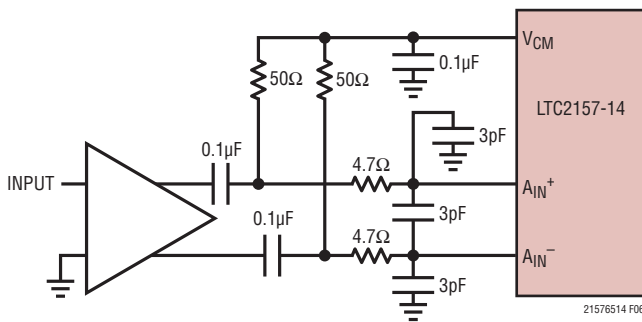


図6. 高速差動アンプを使ったフロントエンド回路

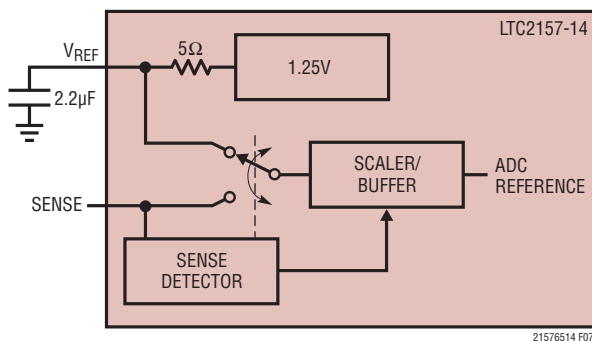


図7. リファレンス回路

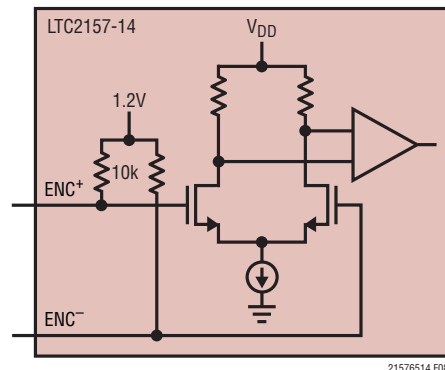


図8. 等価エンコード入力回路

アンプ回路

高速差動アンプによってドライブされるアナログ入力を図6に示します。アンプの出力はA/DにAC結合されているので、アンプの出力の同相電圧を最適に設定して歪みを最小に抑えることができます。

非常に高い周波数では、RF利得ブロックの歪みの方が多くの場合差動アンプのそれより小さくなります。利得ブロックがシングルエンドであれば、A/Dをドライブする前にトランス回路(図3と図5)で信号を差動に変換します。A/Dはシングルエンドでドライブすることはできません。

リファレンス

LTC2157-14/LTC2156-14/LTC2155-14は1.25Vの電圧リファレンスを内蔵しています。内部リファレンスを使った1.5Vの入力範囲の場合、SENSEをV_{DD}に接続します。外部リファレンスを使った1.5Vの入力範囲の場合、1.25Vのリファレンス電圧をSENSEに与えます(図7)。

エンコード入力

エンコード入力の信号品質はA/Dのノイズ性能に強く影響します。エンコード入力はアナログ信号として扱います。回路基板上でそれらを決してデジタル・トレースの隣に配線しないでください。

エンコード入力は内部で10kの等価抵抗を介して1.2Vにバイアスされています(図8)。ドライバの同相電圧が1.1V～1.5Vの範囲内であれば、エンコード入力を直接ドライブすることは可能です。そうでなければ、トランスまたはカップリング・コンデンサが必要です(図9と図10)。入力信号の最大(ピーク)電圧は決してV_{DD} + 0.1Vを超えないように、または-0.1Vより下にならないようにします。

アプリケーション情報

クロック・デューティサイクル・スタビライザ

良い性能を得るには、エンコード信号のデューティサイクルを50% (±5%) にします。オプションのクロック・デューティサイクル・スタビライザ回路がイネーブルされていると、エンコードのデューティサイクルは30%～70%の間で変化することができ、デューティサイクル・スタビライザは内部のデューティサイクルを50%に保ちます。デューティサイクル・スタビライザは、SPIレジスタA2(表3を参照)によって、または、パラレル・プログラミング・モードではCSによってイネーブルされます。

サンプル・レートを即座に変更する必要のあるアプリケーションでは、クロック・デューティサイクル・スタビライザをディスエーブルすることができます。この場合、クロックのデューティサイクルが50% (±5%) になるように注意してください。

デジタル出力

デジタル出力はダブルデータレートLVDS信号です。2データ・ビットが各差動出力対に多重化されて出力されます。チャンネルAの7つのLVDS出力対(DA0_1+/DA0_1~DA12_13-/DA12_13+)およびチャンネルBの7つの出力対(DB0_1+/DB0_1~DB12_13-/DB12_13+)があります。オーバーフロー(OF+/OF-)とデータ出力クロック(CLKOUT+/CLKOUT-)はそれぞれLVDS出力対を備えています。両チャンネルのオーバーフローは、OF+/OF-出力対に多重化されることに注意してください。

デフォルトでは、出力は標準LVDSレベルです。つまり、出力電流が3.5mA、出力同相電圧が1.25Vです。各LVDS出力対には外付けの100Ω差動終端抵抗が必要です。終端抵抗は、LVDSレシーバのできるだけ近くに配置してください。

出力はOV_{DD}とOGNDから電力を供給され、A/Dのコア電源とグラウンドからは絶縁されています。

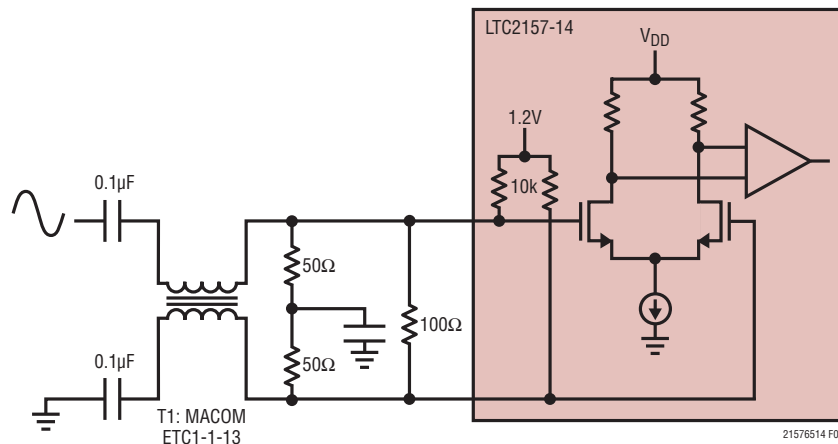


図9. 正弦波のエンコード・ドライブ

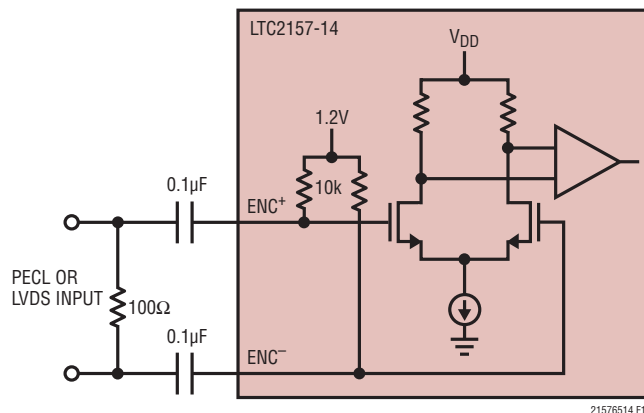


図10. PECLまたはLVDSのエンコード・ドライブ

21576514fb

アプリケーション情報

プログラム可能なLVDS出力電流

デフォルトの出力ドライブ電流は3.5mAです。この電流はモード制御レジスタA3をシリアルにプログラムすることにより調節することができます(表3を参照)。利用可能な電流レベルは1.75mA、2.1mA、2.5mA、3mA、3.5mA、4mAおよび4.5mAです。

オプションのLVDSドライバの内部終端

ほとんどの場合、100Ωの外付け終端抵抗を使用するだけでLVDSの優れた信号品質が得られます。さらに、モード制御レジスタA3をシリアル・モードにプログラムすることにより、オプションの100Ωの内部終端抵抗をイネーブルすることができます。内部終端には、レシーバ側の不完全な終端によって生じる反射を吸収する効果があります。内部終端が有効になると、同じ出力電圧振幅を維持するために、出力ドライブ電流が2倍になります。

オーバーフロー・ビット

アナログ入力にオーバーレンジまたはアンダーレンジが生じると、オーバーフロー出力ビット(OF)がロジック“H”を出力します。オーバーフロー・ビットにはデータ・ビットと同じパイプラ

イン待ち時間があります。OF出力はダブルデータレートです。CLKOUT+が“L”のとき、チャンネルAのオーバーフローを利用できます。CLKOUT+が“H”のとき、チャンネルBのオーバーフローを利用できます。

出力クロックの位相シフト

出力データをラッチするとき適切なセットアップ時間とホールド時間を与えるには、データ出力ビットに対してCLKOUT+信号の位相をシフトさせる必要があるかもしれません。ほとんどのFPGAはこの機能を備えており、これが一般にタイミングを調整する最良のポイントです。

代わりに、ADCは、モード制御レジスタA2をシリアルにプログラムすることにより、CLKOUT+/CLKOUT-信号の位相をシフトすることもできます。出力クロックは0°、45°、90°または135°だけシフトすることができます。位相シフト機能を使うには、クロック・デューティサイクル・スタビライザをオンする必要があります。もう1つの制御レジスタ・ビットは、位相シフトとは関係なく、CLKOUT+とCLKOUT-の極性を反転させることができます。これら2つの機能を組み合わせると、45°から315°までの位相シフトが可能になります(図11)。

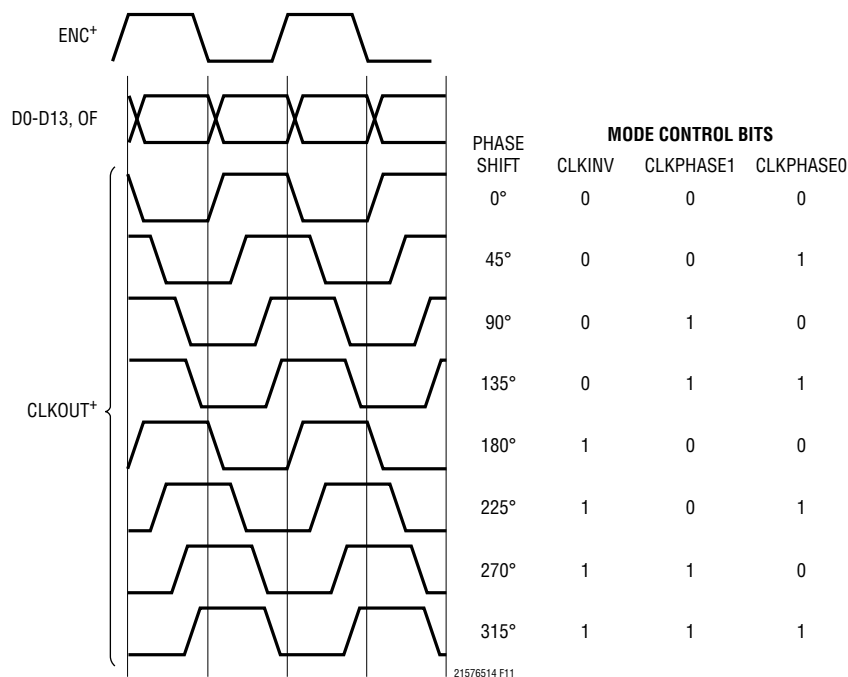


図 11. CLKOUTの位相シフト

21576514fb

アプリケーション情報

データ形式

アナログ入力電圧、デジタル・データ出力ビット、およびオーバーフロー・ビットの相互関係を表1に示します。デフォルトでは、出力のデータ形式はオフセット・バイナリです。モード制御レジスタA4をシリアル・モードでプログラムすることにより、2の補数形式を選択することができます。

表1. 出力コードと入力電圧

$A_{IN}^+ - A_{IN}^-$ (1.5V 範囲)	OF	D13~D0 (オフセット・バイナリ)	D13~D0 (2の補数)
>0.75 V	1	11 1111 1111 1111	01 1111 1111 1111
+0.75V	0	11 1111 1111 1111	01 1111 1111 1111
+0.749908V	0	11 1111 1111 1110	01 1111 1111 1110
+0.0000915V	0	10 0000 0000 0001	00 0000 0000 0001
+0.000000V	0	10 0000 0000 0000	00 0000 0000 0000
-0.0000915V	0	01 1111 1111 1111	11 1111 1111 1111
-0.0001831V	0	01 1111 1111 1110	11 1111 1111 1110
-0.7499084V	0	00 0000 0000 0001	10 0000 0000 0001
-0.75V	0	00 0000 0000 0000	10 0000 0000 0000
<-0.75V	1	00 0000 0000 0000	10 0000 0000 0000

デジタル出力ランダムマイザ

A/D コンバータのデジタル出力からの干渉を避けられないことがあります。デジタル干渉は、容量性結合や誘導性結合、あるいはグラウンド・プレーンを介した結合によって発生する可能性があります。結合係数がきわめて小さい場合でも、そのためにADCの出力スペクトルに不要なトーンが発生することがあります。デジタル出力をデバイスから伝送する前にランダム化することにより、これらの不要なトーンをランダム化し、それによって不要なトーン振幅を減少させることができます。

デジタル出力は、LSBと他の全てのデータ出力ビットとの間で排他的論理和ロジック演算を行うことによってランダム化されます。デコードするには逆の演算を行います。つまり、LSBと他の全てのビットとの間で排他的論理和演算を行います。LSB、OF、およびCLKOUTの各出力は影響を受けません。モード制御レジスタA4をシリアル・モードでプログラムすることにより、出力ランダムマイザをイネーブ爾することができます。

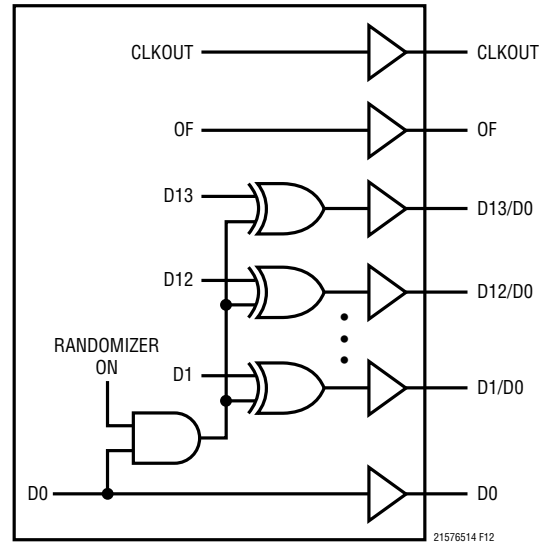


図12. デジタル出力ランダムマイザの等価機能

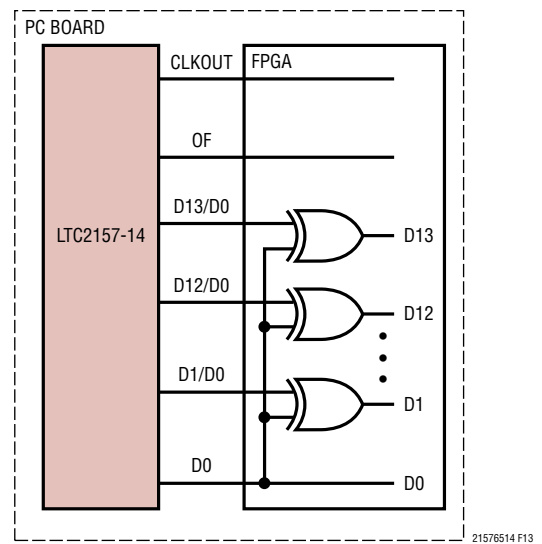


図13. ランダム化されたデジタル出力信号の復元

アプリケーション情報

交互ビット極性

回路基板のデジタル帰還を減らすもうひとつの機能は交互ビット極性モードです。このモードがイネーブルされると、全ての奇数ビット (D1、D3、D5、D7、D9、D11、D13) が出力バッファの前で反転します。偶数ビット (D0、D2、D4、D6、D8、D10、D12)、OF および CLKOUT は影響を受けません。これにより、回路基板のグラウンド・プレーンのデジタル電流を減らし、(特に非常に小さなアナログ入力信号の場合) デジタル・ノイズを減らすことができます。

デジタル出力は、奇数ビット (D1、D3、D5、D7、D9、D11、D13) を反転させることにより、レシーバでデコードされます。交互ビット極性モードはデジタル出力ランダムマイザからは独立しています。つまり、どちらかの機能だけをオンすることも、両方の機能を同時にオンすることも、両方の機能を同時にオフすることも可能です。モード制御レジスタ A4 をシリアル・モードでプログラムすることにより、交互ビット極性モードがイネーブルされます。

デジタル出力のテストパターン

A/D へのデジタル・インタフェースのインサーキット・テストを可能にするため、A/D のデータ出力 (OF、D13 ~ D0) を既知の値に強制するいくつかのテスト・モードがあります。

オール1: すべての出力が1

オール0: すべての出力が0

交互: サンプルの出力が交互にオール1からオール0に変化する。

チェッカーボード: サンプルの出力が交互に

1010101010101010 から 01010101010101010 に変化する。

モード制御レジスタ A4 をシリアル・モードでプログラムすることにより、デジタル出力テストパターンをイネーブルすることができます。テストパターンがイネーブルされると、他の全ての形式設定モード (2 の補数、ランダムマイザ、交互ビット極性) がオーバーライドされます。

出力のディスエーブル

モード制御レジスタ A3 をシリアル・モードでプログラムすることにより、デジタル出力をディスエーブルすることができます。OF および CLKOUT を含む全てのデジタル出力がディスエーブルされます。高インピーダンスのディスエーブルされた状態は長期間の休止状態のためのものです。これは、複数のコンバータの間でデータ・バスを多重化するように設計されてはいません。

スリープ・モード

節電のため、A/D をスリープ・モードにすることができます。スリープ・モードでは、A/D コンバータ全体がパワーダウンし、電力消費は 5mW 未満になります。エンコード入力信号がディスエーブルされていないと、電力消費が (250MSPS で最大 5mW まで) 増加します。スリープ・モードは、モード制御レジスタ A1 (シリアル・プログラミング・モード) または SCK (パラレル・プログラミング・モード) によってイネーブルされます。

シリアル・プログラミング・モードでは、チャンネル A を通常動作にしたまま、チャンネル B をディスエーブルすることもできます。

スリープ・モードから回復するのに要する時間は、 V_{REF} のバイパス・コンデンサの容量によって決まります。図 1 の推奨値の場合、A/D は $0.1ms + 2500 \cdot t_p$ の後に安定化します。ここで、 t_p はサンプリング・クロックの周期です。

ナップ・モード

ナップ・モードでは、A/D のコアはパワーダウンしますが、内部リファレンス回路はアクティブなままなので、より速くウェイクアップすることができます。ナップ・モードからの復帰には、最低でも 100 クロック・サイクルが必要です。ナップ・モードは、シリアル・プログラミング・モードでレジスタ A1 を設定することにより、イネーブルされます。

ナップ・モードからのウェイクアップ時間は、クロックが動作している場合だけ保証されます。そうでないと、スリープ・モードからのウェイクアップ条件が適用されます。

デバイスのプログラミング・モード

LTC215X-14 の動作モードはパラレル・インタフェースまたは簡単なシリアル・インタフェースのどちらでもプログラム可能です。シリアル・インタフェースは柔軟性が高く、選択可能なすべてのモードをプログラミングできます。パラレル・インタフェースには制限が多く、よく使用される一部のモードのみをプログラミングできます。

パラレル・プログラミング・モード

パラレル・プログラミング・モードを使用するには、 $\overline{PAR/SER}$ を V_{DD} に接続します。 \overline{CS} 、SCK、および SDI の各ピンはバイナリ・ロジック入力で、特定の動作モードを設定します。これらのピンは V_{DD} またはグラウンドに接続するか、あるいは 1.8V、2.5V、または 3.3V の CMOS ロジックでドライブすることができます。表 2 に、 \overline{CS} 、SCK、および SDI で設定されるモードを示します。

アプリケーション情報

表2. パラレル・プログラミング・モードの制御ビット (PAR/SER = V_{DD})

ピン	説明
CS	クロック・デューティサイクル・スタビライザ制御ビット 0 = クロック・デューティサイクル・スタビライザをオフ 1 = クロック・デューティサイクル・スタビライザをオン
SCK	パワーダウン制御ビット 0 = 通常動作 1 = スリープ・モード (ADC全体がパワーダウン)
SDI	LVDS電流の選択ビット 0 = 3.5mAのLVDS電流モード 1 = 1.75mAのLVDS電流モード

シリアル・プログラミング・モード

シリアル・プログラミング・モードを使うには、PAR/SERをグラウンドに接続します。CS、SCK、SDIおよびSDOの各ピンは、A/Dの制御レジスタをプログラムするシリアル・インタフェースになります。データは、16ビットのシリアル・ワードでレジスタに書き込まれます。レジスタの内容を検証するため、データをレジスタから読み出すこともできます。

シリアル・データ転送はCSが“L”になると開始されます。SDIピンのデータは、SCKの先頭から16番目までの立ち上がりエッジでラッチされます。先頭から16番目より後のSCKの立ち上がりエッジは無視されます。データ転送はCSが再度“H”になると終了します。

16ビットの入力ワードの最初のビットはR/Wビットです。次の7ビットはレジスタのアドレス(A6:A0)です。最後の8ビットはレジスタのデータ(D7:D0)です。

R/Wビットが“L”の場合、シリアル・データ(D7:D0)はアドレス・ビット(A6:A0)で指定されるレジスタに書き込まれます。R/Wビットが“H”の場合、アドレス・ビット(A6:A0)によって指定されるレジスタ内のデータがSDOピンで読み出されます(タイミング図を参照)。読み出しコマンドの実行中、レジスタは更新されず、SDIのデータは無視されます。

SDOピンはオープン・ドレイン出力で、200Ωのインピーダンスでグラウンドに引き下げられます。レジスタのデータをSDOを介して読み出す場合は、2kΩの外付けプルアップ抵抗が必要です。シリアル・データが書き込み専用で読み出しの必要がない場合には、SDOをフロートさせておくことができるので、プルアップ抵抗は必要ありません。モード制御レジスタのマップを表3に示します。

ソフトウェア・リセット

シリアル・プログラミングを使用する場合には、電源がオンして安定した後できるだけ早くモード制御レジスタをプログラムします。最初のシリアル・コマンドは、すべてのレジスタのデータ・ビットをロジック0にリセットするソフトウェア・リセットでなければなりません。ソフトウェア・リセットを行うには、レジスタA0(ビットD7)に1を書き込む必要があります。リセットが完了した後、ビットD7は自動的に再度ゼロに設定されます。このレジスタは書き込み専用です。

接地とバイパス

LTC215X-14は、ADCの下に第一層に切れ目のないクリーンなグラウンド・プレーンを備えたプリント回路基板を必要とします。内部グラウンド・プレーンを備えた多層基板を推奨します。プリント基板のレイアウトは、デジタル信号線とアナログ信号線をできるだけ離すようにしなければなりません。特に、デジタル・トラックをアナログ信号トラックと並べて配置したり、ADCの下に配置したりしないように注意してください。

V_{DD}、OV_{DD}、V_{CM}、V_{REF}の各ピンには、高品質のセラミック・バイパス・コンデンサを使用します。バイパス・コンデンサは、できるだけピンの近くに配置する必要があります。0402サイズのセラミック・コンデンサを推奨します。ピンとバイパス・コンデンサを接続するトレースは短くし、できるだけ幅を広くする必要があります。

アナログ入力、エンコード信号、およびデジタル出力は互いに隣接しないように配線します。これらの信号を互いに絶縁するためのバリアとして、グラウンド領域とグラウンド・ビアを使用します。

熱伝導

LTC215X-14が発生する熱の大部分はダイから底面の露出パッドとパッケージのピンを通してプリント回路基板に伝わります。優れた電気的性能と熱性能を得るには、露出パッドをPC基板の大きな接地されたパッドに半田付けする必要があります。このパッドは、多数のビアにより、内部のグラウンド・プレーンに接続します。

アプリケーション情報

表3. シリアル・プログラミング・モードのレジスタ・マップ (PAR/SER = GND)。Xは未使用のビットを示す

レジスタA0:リセット・レジスタ(アドレス00h)、書き込み専用

D7	D6	D5	D4	D3	D2	D1	D0
RESET	X	X	X	X	X	X	X

ビット7 **RESET** ソフトウェア・リセット・ビット
 0 = リセットをディスエーブル
 1 = ソフトウェア・リセット。全てのモード制御レジスタが00hにリセットされる。リセットが完了すると、このビットは自動的に0に戻る。
 ビット6~0 未使用のビット

レジスタA1:パワーダウン・レジスタ(アドレス01h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	SLEEP	NAP	PDB	0

ビット7~4 未使用、このビットは0として読み出される
 ビット3 **SLEEP**
 0 = 通常動作
 1 = ADC全体をパワーダウン
 ビット2 **NAP**
 0 = 通常モード
 1 = 両方のチャンネルがローパワー・モード
 ビット1 **PDB**
 0 = 通常動作
 1 = チャンネルBをパワーダウン。チャンネルAは通常動作。
 ビット0 0に設定する必要がある

レジスタA2: タイミング・レジスタ(アドレス02h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	CLKINV	CLKPHASE1	CLKPHASE0	DCS

ビット7~4 未使用、このビットは0として読み出される
 ビット3 **CLKINV** 出力クロック反転ビット
 0 = 通常のCLKOUTの極性(タイミング図に示されているとおり)
 1 = 反転したCLKOUT極性
 ビット2~1 **CLKPHASE1:CLKPHASE0** 出力クロックの位相遅延ビット
 00 = CLKOUTの遅延なし(タイミング図に示されているとおり)
 01 = CLKOUT+/CLKOUT- 45°の遅延(クロックの周期・1/8)
 10 = CLKOUT+/CLKOUT- 90°の遅延(クロックの周期・1/4)
 11 = CLKOUT+/CLKOUT- 135°の遅延(クロックの周期・3/8)
 Note:CLKOUT位相遅延機能を使う場合、クロック・デューティサイクル・スタビライザもオンする必要がある
 ビット0 **DCS** クロック・デューティサイクル・スタビライザ・ビット
 0 = クロック・デューティサイクル・スタビライザをオフ
 1 = クロック・デューティサイクル・スタビライザをオン

LTC2157-14/ LTC2156-14/LTC2155-14

アプリケーション情報

レジスタ A3: 出力モード・レジスタ (アドレス 03h)

D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	ILVDS2	ILVDS1	ILVDS0	TERMON	OUTOFF

ビット 7~5 未使用、このビットは 0 として読み出される

ビット 4~2 **ILVDS2:ILVDS0** LVDS 出力電流ビット

000 = 3.5mA LVDS 出力ドライバ電流

001 = 4.0mA LVDS 出力ドライバ電流

010 = 4.5mA LVDS 出力ドライバ電流

011 = 未使用

100 = 3.0mA LVDS 出力ドライバ電流

101 = 2.5mA LVDS 出力ドライバ電流

110 = 2.1mA LVDS 出力ドライバ電流

111 = 1.75mA LVDS 出力ドライバ電流

ビット 1 **TERMON** LVDS 内部終端ビット

0 = 内部終端をオフ

1 = 内部終端をオン。LVDS 出力ドライバ電流は ILVDS2:ILVDS0 によって設定される電流の 2 倍

ビット 0 **OUTOFF** デジタル出力モード制御ビット

0 = デジタル出力をイネーブル

1 = デジタル出力をディスエーブル (高インピーダンス)

レジスタ A4: データ・フォーマット・レジスタ (アドレス 04h)

D7	D6	D5	D4	D3	D2	D1	D0
OUTTEST2	OUTTEST1	OUTTEST0	ABP	0	DTESTON	RAND	TWOSCOMP

ビット 7~5 **OUTTEST2:OUTTEST0** デジタル出力のテストパターン・ビット

000 = 全デジタル出力 = 0

001 = 全デジタル出力 = 1

010 = 交互出力パターン。OF、D13~D0 は、000 0000 0000 0000 と 111 1111 1111 1111 を交互に出力

100 = チェッカーボード出力パターン。OF、D13~D0 は 101 0101 0101 0101 と 010 1010 1010 1010 を交互に出力

Note 1: 他のビットの組み合わせは使用されない

Note 2: チャンネル A からのパターンとチャンネル B からのパターンは同期していないことがある。

ビット 4 **ABP** 交互ビット極性モードの制御ビット

0 = 交互ビット極性モードをオフ

1 = 交互ビット極性モードをオン

ビット 3 0 に設定する必要がある

ビット 2 **DTESTON** デジタル出力テストパターンをイネーブル (ビット 7~5 によって設定)

0 = 通常モード

1 = デジタル出力テストパターンをイネーブル

ビット 1 **RAND** データ出力ランダムマイザ・モード制御ビット

0 = データ出力ランダムマイザ・モードをオフ

1 = データ出力ランダムマイザ・モードをオン

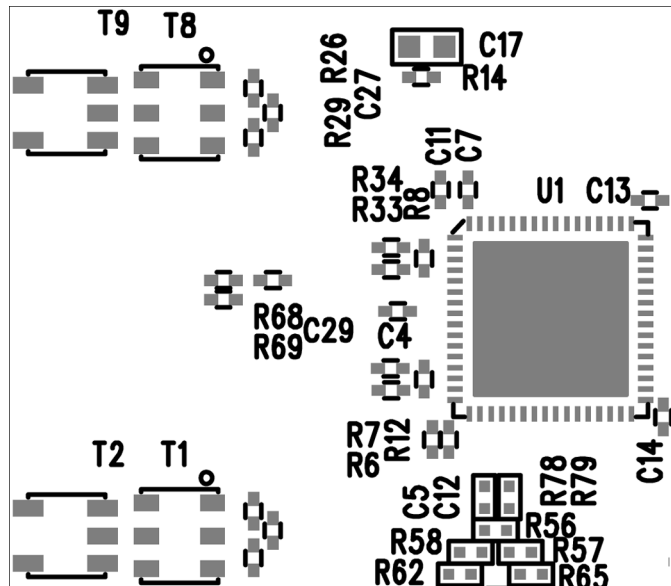
ビット 0 **TWOSCOMP** 2 の補数モード制御ビット

0 = オフセット・バイナリのデータ形式

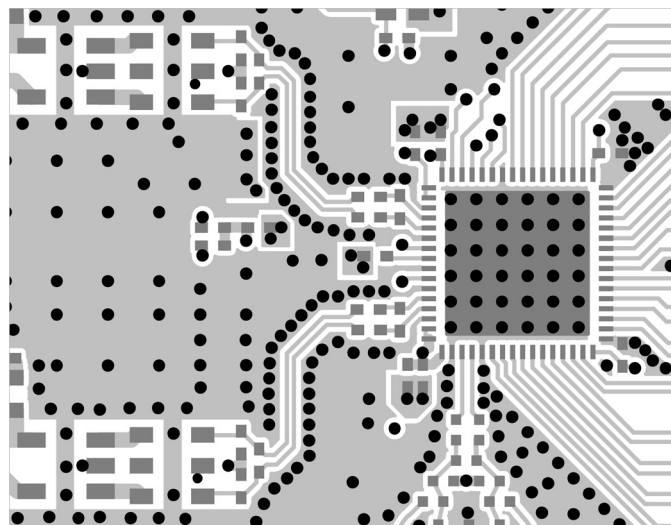
1 = 2 の補数のデータ形式

標準的応用例

シルクスクリーン上層

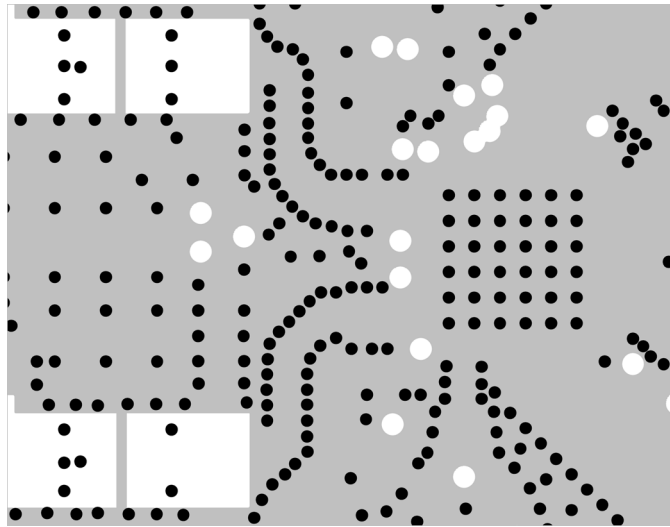


上面

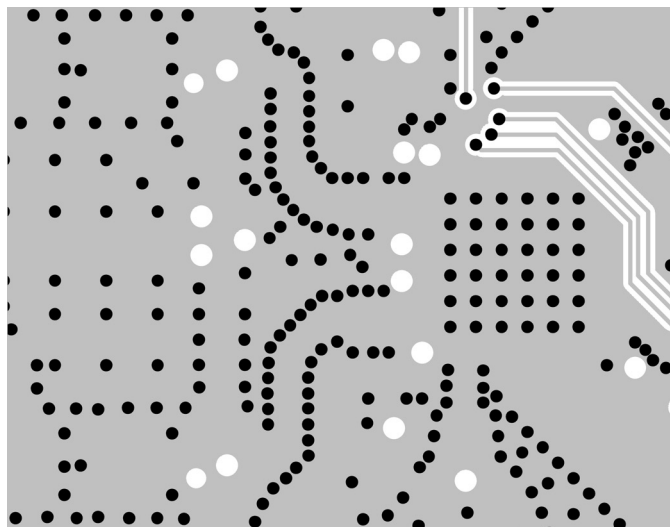


標準的応用例

中間層 2 GND

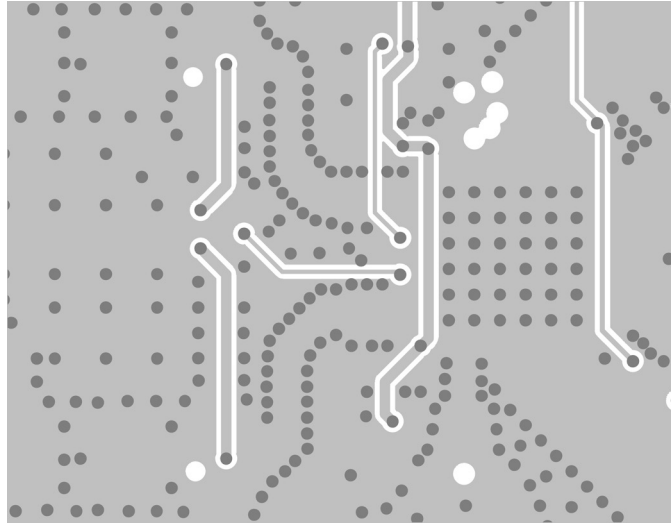


中間層 3

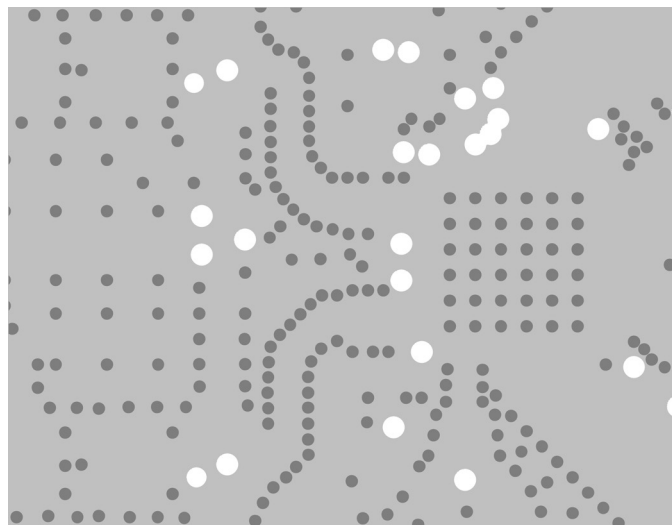


標準的応用例

中間層4

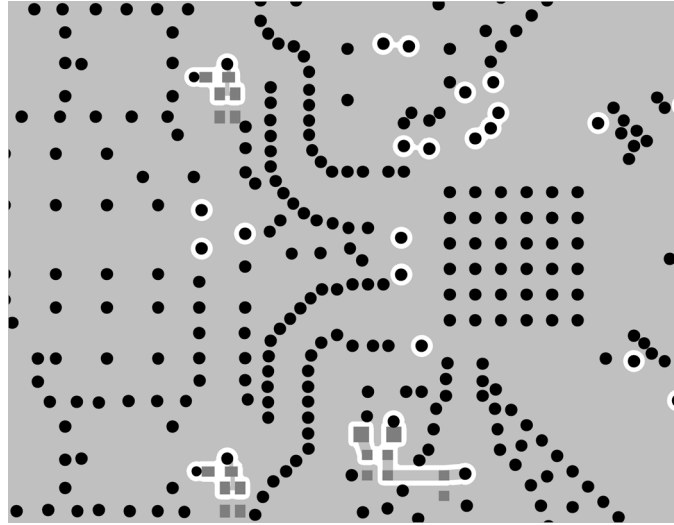


中間層5



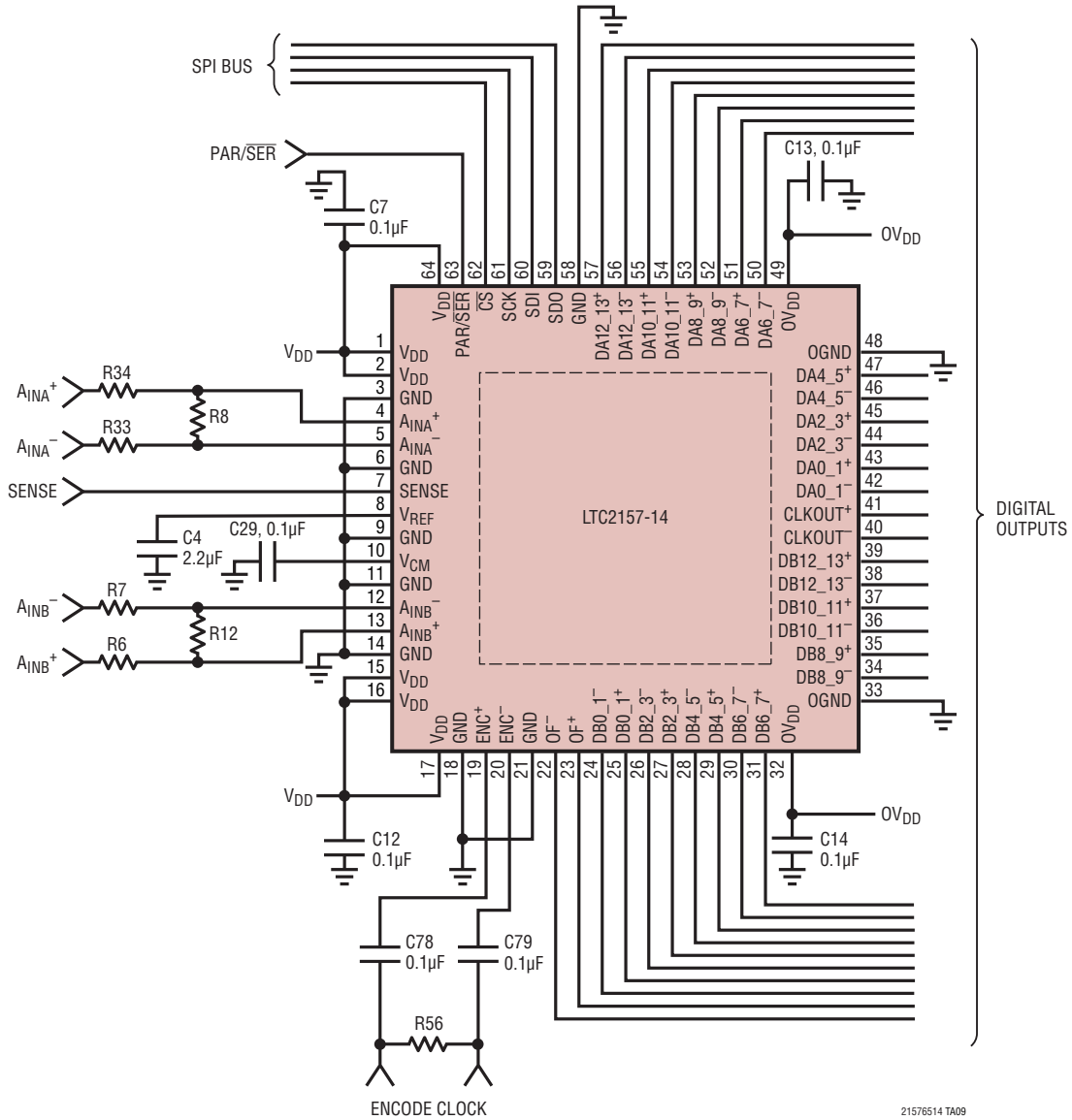
標準的応用例

下面



標準的応用例

LTC2157-14 回路図

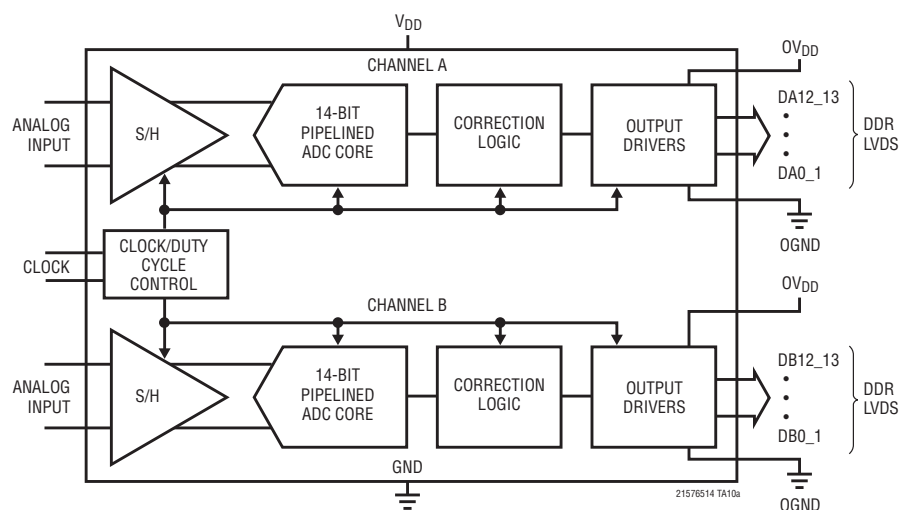


改訂履歴

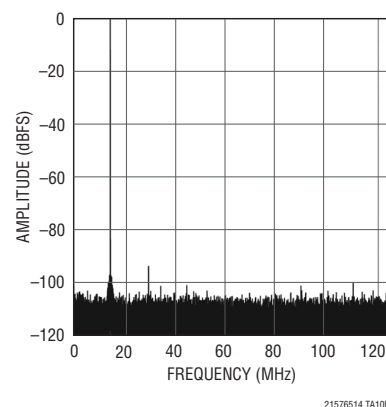
Rev	日付	概要	ページ番号
A	3/12	同相電圧範囲を $0.435 \cdot V_{DD}$ に変更	18
		図5に 4.7Ω 抵抗を挿入	19
		ナップ・モードの文章の記述を修正	23
		LTC2157の回路図のC8、C12をR8、R12に置き換え	31
B	12/14	pipeline latencyを6に変更。 グラフG12を更新。	5、16 7

LTC2157-14/ LTC2156-14/LTC2155-14

標準的応用例



LTC2157-14: 32KポイントのFFT、
 $f_{IN} = 15\text{MHz}$ 、 -1dBFS 、 250Mpsps



関連製品

製品番号	説明	注釈
ADC		
LTC2208	16ビット、130Mpsps、3.3V ADC、LVDS出力	1250mW、SNR:77.7dB、SFDR:100dB、48ピンQFN
LTC2157-12/LTC2156-12/ LTC2155-12	12ビット、250Mpsps/210Mpsps/170Mpsps、 1.8VデュアルADC、LVDSのDDR出力	588mW/543mW/495mW、SNR:68.5dB、SFDR:90dB
LTC2242-10/LTC2241-10/ LTC2240-10	10ビット、250Mpsps/210Mpsps/170Mpsps、 2.5V ADC、LVDS出力	740mW/585mW/445mW、SNR:60.6dB、SFDR:78dB、64ピンQFN
LTC2242-12/LTC2241-12/ LTC2240-12	12ビット、250Mpsps/210Mpsps/170Mpsps、 2.5V ADC、LVDS出力	740mW/585mW/445mW、SNR:65.5dB、SFDR:80dB、64ピンQFN
LTC2262-14	14ビット、150Mpsps 超低消費電力1.8V ADC	149mW、SNR:72.8dB、SFDR:88dB、DDR LVDS/DDR CMOS/ CMOS出力、6mm×6mm 36ピンQFN
RFミキサ/復調器		
LT5517	40MHz～900MHz 直接変換直交復調器	高いIIP3:800MHzで21dBm、LO直交ジェネレータ内蔵
LT5527	400MHz～3.7GHz 高直線性ダウンコンバー ティング・ミキサ	IIP3:900MHzで24.5dBm、3.5GHzで23.5dBm、NF = 12.5dB、 50ΩシングルエンドのRFポートとLOポート
LT5575	800MHz～2.7GHz 直接変換直交復調器	高いIIP3:900MHzで28dBm、LO直交ジェネレータ内蔵、 RFおよびLOトランス内蔵
アンプ/フィルタ		
LTC6409	GBWが10GHzの、1.1nV/√Hz 差動アンプ/ ADCドライバ	SFDR:88dB (100MHz)、グランドを含む入力範囲、 消費電流:52mA、3mm×2mm QFNパッケージ
LTC6412	800MHz、31dBレンジ、アナログ制御VGA	連続調整可能な利得制御、240MHzでのOIP3: 35dBm、 ノイズフィギュア: 10dB、4mm×4mm QFN-24
LTC6420-20	300MHzのIF周波数向け1.8GHz、低ノイズ、 低歪み、デュアル差動ADCドライバ	固定利得: 10V/V、総入力ノイズ: 1nV/√Hz、 アンプ当たりの消費電流:80mA、3mm×4mm QFN-20
レシーバ・サブシステム		
LTM@9002	14ビット・デュアル・チャネルIF/ベースバンド・ レシーバ・サブシステム	高速ADC、パッシブ・フィルタ、固定利得差動アンプを内蔵
LTM9003	12ビット・デジタル・プリディストーション・レ シーバ	12ビットADC、入力周波数範囲が0.4GHz～3.8GHzのダウンコンバー ティング・ミキサ

21576514fb