

デジチェーン・インターフェースを備えた 15セルのバッテリー・スタック・モニタ

特長

- 最大15個の直列バッテリー・セルを測定
- 最大全測定誤差: 2.2mV
- スタック可能なアーキテクチャで数百セルをサポート
- isoSPI™ インターフェース内蔵
 - 1Mbの絶縁型シリアル通信
 - 1本のツイスト・ペア・ケーブルを使用(最大100m)
 - 低いEMI感度およびEMI放射
 - 双方向により破損ワイヤを保護
- 245μsでシステム内の全てのセルを測定
- 電圧と電流の同期測定
- プログラム可能な3次ノイズ・フィルタを備えた16ビット・デルタシグマ(ΔΣ)型A/Dコンバータ(ADC)
- ISO 26262 準拠システム用に設計
- プログラム可能なパルス幅変調によるパッシブ・セル・バランス調整(最大200mA)
- 9個の汎用デジタルI/Oまたはアナログ入力
 - 温度やその他のセンサー入力
 - I²CまたはSPIマスタとして設定可能
- スリープ・モード時電源電流: 6μA
- 64ピンeLQFPパッケージ

アプリケーション

- 電気自動車およびハイブリッド電気自動車
- バックアップ・バッテリー・システム
- グリッド蓄電システム
- 高出力携帯機器

概要

LTC®6812-1は、最大15個の直列接続バッテリー・セルを2.2mV未満の全測定誤差で測定するマルチセル・バッテリー・スタック・モニタです。LTC6812-1のセル測定範囲は0V～5Vなので、ほとんどのバッテリーの組成に適しています。15個全てのセルを245μs以内に測定可能であり、低めのデータ・アキュイジション・レートを選択することにより、ノイズを大幅に低減できます。

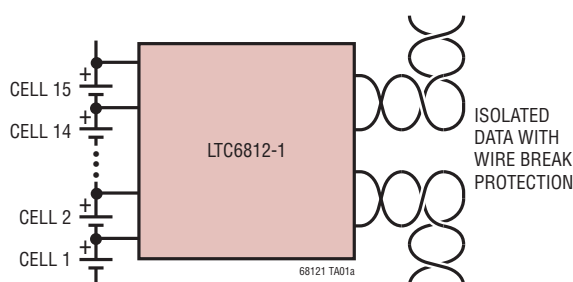
複数のLTC6812-1デバイスを直列接続できるので、長い高電圧バッテリー列のセルを同時に監視できます。各LTC6812-1は、RF耐性のある高速、長距離通信用のisoSPIインターフェースを備えています。複数のデバイスをデジチェーンで接続し、1つのホスト・プロセッサを全てのデバイスに接続します。このデジチェーンは双方向に動作するので、通信経路に障害が発生した場合でも、通信の完全性が確保されます。

LTC6812-1には、バッテリー・スタックまたは絶縁型電源から直接給電できます。LTC6812-1は、セルごとのパッシブ方式バランス調整機能を内蔵しており、PWMのデューティ・サイクルをセルごとに個別制御できます。その他の機能には、内蔵の5Vレギュレータ、9つの汎用I/Oライン、消費電流が6μAまで減少するスリープ・モードなどがあります。

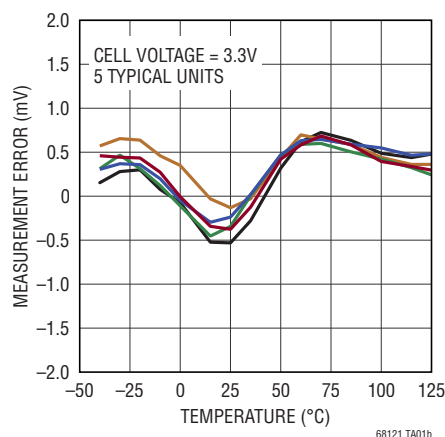
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。8908779、9182428、9270133を含む米国特許によって保護されています。

標準的応用例

15セルのモニタおよびバランス調整IC



セル15の測定誤差と温度



目次

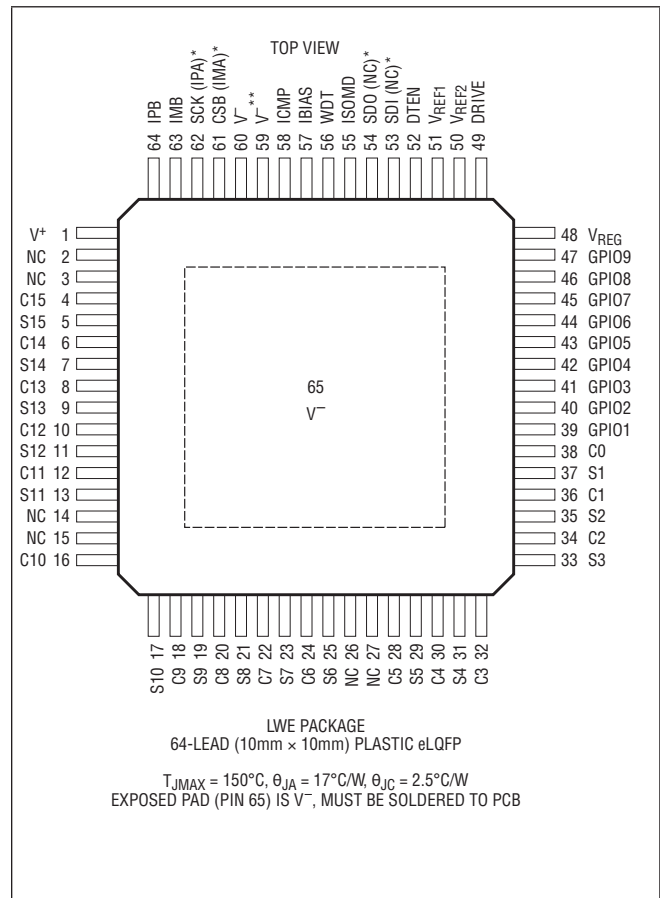
特長	1	GPIO を使用する LTC6812-1 の I ² C/SPI マスタ	34
アプリケーション	1	S ピンの制御設定を使用した S ピンのパルス生成	39
標準的応用例	1	S ピンのミュート	40
概要	1	シリアル・インターフェースの概要	40
絶対最大定格	3	4 線式シリアル・ペリフェラル・インターフェース (SPI) の物理層	40
発注情報	3	2 線絶縁型インターフェース (isoSPI) の物理層	40
ピン配置	3	データ・リンク層	51
電気的特性	4	ネットワーク層	51
代表的な性能特性	9	アプリケーション情報	67
ピン機能	15	DC 電力の供給	67
ブロック図	16	内部保護とフィルタリング	68
LTC6811-1 からの改善点	17	セルのバランス調整	71
動作	18	セル測定時の放電制御	72
状態図	18	デジタル通信	75
LTC6812-1 のコアの状態の説明	18	高度なアプリケーション	82
isoSPI 状態の説明	19	外部温度プローブの読取り	84
消費電力	19	パッケージ	85
ADC の動作	20	標準的応用例	86
データ・アキュイジション・システムの診断	25	関連製品	86
ウォッチドッグ・タイマーと放電タイマー	32		
セル・バランス調整に対応した S ピンのパルス幅変調	33		
放電タイマー・モニタ	34		

絶対最大定格

(Note 1)

全電源電圧	
$V^+ - V^-$ 間	93.75V
電源電圧 (C10 基準)	
$V^+ - C10$ 間	50V
入力電圧 (V^- 基準)	
C0	-0.3V ~ 6V
C15	-0.3V ~ ($V^+ + 5.5V$ と 93.75V の低い方)
C(n), S(n)	-0.3V ~ ($8 \cdot n$ と 93.75V の低い方)
IPA, IMA, IPB, IMB	-0.3V ~ $V_{REG} + 0.3V, \leq 6V$
DRIVE	-0.3V ~ 7V
その他全てのピン	-0.3V ~ 6V
入力間の電圧	
C(n)-C(n-1) 間、S(n)-C(n-1) 間	-0.3V ~ 8V
C13-C10 間	-0.3V ~ 21V
C8-C5 間	-0.3V ~ 21V
C3-C0 間	-0.3V ~ 21V
ピンへの流入電流 / ピンからの流出電流	
V_{REG} 、IPA、IMA、IPB、IMB、C(n)、S(n) 以外の 全てのピン	10mA
IPA、IMA、IPB、IMB	30mA
規定ジャンクション温度範囲	
LTC6812I-1	-40°C ~ 85°C
LTC6812H-1	-40°C ~ 125°C
ジャンクション温度	150°C
保存温度範囲	-65°C ~ 150°C
デバイスの HBM (人体モデル) ESD 分類レベル:	1C
デバイスの CDM (デバイス帯電モデル) ESD 分類レベル:	C5

ピン配置



*これらのピンの機能は、ISOMDの接続先により異なる。

ISOMDを V^- に接続した場合: CSB、SCK、SDI、SDOISOMDを V_{REG} に接続した場合: IPA、IMA、NC、NC**このピンは V^- に接続する必要がある。

発注情報

トレイ	製品マーキング*	パッケージ	MSL 定格	規定ジャンクション温度範囲
LTC6812LWE-1#3ZZPBF	LTC6812LWE-1	64-Lead Plastic eLQFP	3	-40°C to 85°C
LTC6812HLWE-1#3ZZPBF	LTC6812LWE-1	64-Lead Plastic eLQFP	3	-40°C to 125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

テープ&リールの仕様。一部のパッケージは、#TRMPBF接尾部の付いた指定の販売経路を通じて500個入りのリールで供給可能です。

LTC### モデルのバージョンは、車載アプリケーションの品質と信頼性の条件に対応するため、管理された製造工程により供給されます。これらのモデルは#WTRPBF、#WPBF、または#ZZPBF接尾部を付けて供給されており、アナログ・デバイセズのARPLに記載されています。

これらの車載モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの電気的特性のセクションを慎重にレビューしてください。車載アプリケーションには、上記の車載グレード製品のみを提供しています。特定製品の発注情報とこれらのモデルに特有の車載信頼性レポートについては、弊社または弊社代理店にお問い合わせください。

電気的特性

●は規定の全温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 49.5\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続する。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
ADC の DC仕様							
	Measurement Resolution				0.1		mV/Bit
	ADC Offset Voltage	(Note 2)			0.1		mV
	ADC Gain Error	(Note 2)			0.01		%
	Total Measurement Error (TME) in Normal Mode	C(n) to C(n−1), GPIO(n) to V [−] = 0			±0.2		mV
		C(n) to C(n−1) = 2.0			±1.6		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 2.0, LTC6812I	●		±1.8		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 2.0, LTC6812H	●		±2.0		mV
		C(n) to C(n−1) = 3.3			±2.2		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 3.3, LTC6812I	●		±3.0		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 3.3, LTC6812H	●		±3.3		mV
		C(n) to C(n−1) = 4.2			±2.8		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 4.2, LTC6812I	●		±3.8		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 4.2, LTC6812H	●		±4.2		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 5.0			±1		mV
		Sum of Cells	●	±0.05	±0.35		%
		Internal Temperature, T = Maximum Specified Temperature		±5			°C
		V _{REG} Pin	●	−1	−0.15	0	%
		V _{REF2} Pin	●	−0.05	0.05	0.20	%
		Digital Supply Voltage, V _{REGD}	●	−0.5	0.5	1.5	%
	Total Measurement Error (TME) in Filtered Mode	C(n) to C(n−1), GPIO(n) to V [−] = 0			±0.1		mV
		C(n) to C(n−1) = 2.0			±1.6		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 2.0, LTC6812I	●		±1.8		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 2.0, LTC6812H	●		±2.0		mV
		C(n) to C(n−1) = 3.3			±2.2		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 3.3, LTC6812I	●		±3.0		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 3.3, LTC6812H	●		±3.3		mV
		C(n) to C(n−1) = 4.2			±2.8		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 4.2, LTC6812I	●		±3.8		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 4.2, LTC6812H	●		±4.2		mV
		C(n) to C(n−1), GPIO(n) to V [−] = 5.0			±1		mV
		Sum of Cells	●	±0.05	±0.35		%
		Internal Temperature, T = Maximum Specified Temperature		±5			°C
		V _{REG} Pin	●	−1	−0.15	0	%
		V _{REF2} Pin	●	−0.05	0.05	0.20	%
		Digital Supply Voltage, V _{REGD}	●	−0.5	0.8	1.5	%

電氣的特性

●は規定の全温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 49.5\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続する。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Total Measurement Error (TME) in Fast Mode	C(n) to C(n-1), GPIO(n) to V ⁻ = 0		±2			mV
		C(n) to C(n-1), GPIO(n) to V ⁻ = 2.0	●	±4			mV
		C(n) to C(n-1), GPIO(n) to V ⁻ = 3.3	●	±6			mV
		C(n) to C(n-1), GPIO(n) to V ⁻ = 4.2	●	±8.3			mV
		C(n) to C(n-1), GPIO(n) to V ⁻ = 5.0		±10			mV
		Sum of Cells	●	±0.15	±0.5	%	
		Internal Temperature, T = Maximum Specified Temperature		±5			°C
		V _{REG} Pin	●	-1.5	-0.15	1	%
		V _{REF2} Pin	●	-0.18	0.05	0.32	%
		Digital Supply Voltage, V _{REGD}	●	-2.5	-0.4	2	%
	Input Range	C(n) n = 1 to 15	●	C(n-1)	C(n-1) + 5		V
		C0	●	0	1		V
		GPIO(n) n = 1 to 9	●	0	5		V
I _L	Input Leakage Current When Inputs Are Not Being Measured	C(n) n = 0 to 15	●	10	±250		nA
		GPIO(n) n = 1 to 9	●	10	±250		nA
	Input Current When Inputs Are Being Measured (State: Core = MEASURE)	C(n) n = 0 to 15		±1			μA
		GPIO(n) n = 1 to 9		±1			μA
	Input Current During Open Wire Detection		●	70	100	130	μA

電圧リファレンスの仕様

V _{REF1}	1st Reference Voltage	V _{REF1} Pin, No Load	●	3.0	3.15	3.3	V
	1st Reference Voltage TC	V _{REF1} Pin, No Load			3		ppm/ $^\circ\text{C}$
	1st Reference Voltage Thermal Hysteresis	V _{REF1} Pin, No Load			20		ppm
	1st Reference Voltage Long Term Drift	V _{REF1} Pin, No Load			20		ppm/ $\sqrt{\text{kHz}}$
V _{REF2}	2nd Reference Voltage	V _{REF2} Pin, No Load	●	2.993	3	3.007	V
		V _{REF2} Pin, 5k Load to V^-	●	2.992	3	3.008	V
	2nd Reference Voltage TC	V _{REF2} Pin, No Load			10		ppm/ $^\circ\text{C}$
	2nd Reference Voltage Thermal Hysteresis	V _{REF2} Pin, No Load			100		ppm
	2nd Reference Voltage Long Term Drift	V _{REF2} Pin, No Load			60		ppm/ $\sqrt{\text{kHz}}$

全般的な DC 仕様

I _{VP}	V ⁺ Supply Current (See Figure 1: LTC6812-1 Operation State Diagram)	State: Core = SLEEP, isoSPI = IDLE	V _{REG} = 0V		6.1	11	μA
			V _{REG} = 0V	●	6.1	18	μA
			V _{REG} = 5V		3	5	μA
			V _{REG} = 5V	●	3	9	μA
		State: Core = STANDBY	●	9 6	14 14	22 28	μA μA
			●	0.4 0.375	0.55 0.55	0.8 0.825	mA mA
		State: Core = REFUP	●	0.65 0.6	0.95 0.95	1.35 1.4	mA mA
			●				

電氣的特性

●は規定の全温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 49.5\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続する。

SYMBOL	PARAMETER	CONDITIONS			MIN	TYP	MAX	UNITS	
I _{REG(CORE)}	V _{REG} Supply Current (See Figure 1: LTC6812-1 Operation State Diagram)	State: Core = SLEEP, isoSPI = IDLE	V _{REG} = 5V		3.1	6	μA		
			V _{REG} = 5V	●	3.1	9	μA		
		State: Core = STANDBY			●	10 6	35 35	60 65	μA μA
		State: Core = REFUP			●	0.4 0.3	0.9 0.9	1.4 1.5	mA mA
		State: Core = MEASURE			●	14 13.5	15 15	16 16.5	mA mA
		I _{REG(isoSPI)}	Additional V _{REG} Supply Current if isoSPI in READY/ACTIVE States	ISOMD = 0, R _{B1} + R _{B2} = 2k	READY	●	3.6	4.5	5.2
ACTIVE	●				5.6	6.8	8.1	mA	
Note: ACTIVE State Current Assumes t _{CLK} = 1μs, (Note 3)	ISOMD = 1, R _{B1} + R _{B2} = 2k		READY	●	4.0	5.2	6.5	mA	
			ACTIVE	●	7.0	8.5	10.5	mA	
ISOMD = 0, R _{B1} + R _{B2} = 20k	READY		●	1.0	1.8	2.4	mA		
	ACTIVE		●	1.3	2.3	3.3	mA		
ISOMD = 1, R _{B1} + R _{B2} = 20k	READY		●	1.6	2.5	3.5	mA		
	ACTIVE		●	1.8	3.1	4.8	mA		
	V ⁺ Supply Voltage	TME Specifications Met			●	16	50	75	V
	V ⁺ to C15 Voltage	TME Specifications Met			●	−0.3		V	
	V ⁺ to C10 Voltage	TME Specifications Met			●	40		V	
	C11 Voltage	TME Specifications Met			●	2.5		V	
	C6 Voltage	TME Specifications Met			●	1		V	
V _{REG}	V _{REG} Supply Voltage	TME Supply Rejection < 1mV/V			●	4.5	5	5.5	V
	DRIVE Output Voltage	Sourcing 1μA			●	5.4 5.2	5.7 5.7	5.9 6.1	V V
		Sourcing 500μA			●	5.2	5.7	6.1	V
					●	5.2	5.7	6.1	V
V _{REGD}	Digital Supply Voltage				●	2.7	3	3.6	V
	Discharge Switch ON Resistance	V _{CELL} = 3.6V			●	4		10	Ω
	Thermal Shutdown Temperature					150			°C
V _{OL(WDT)}	Watch Dog Timer Pin Low	WDT Pin Sinking 4mA			●	0.4			V
V _{OL(GPIO)}	General Purpose I/O Pin Low	GPIO Pin Sinking 4mA (Used as Digital Output)			●	0.4			V

ADCのタイミング仕様

t_{CYCLE} (Figure 3, Figure 4, Figure 6)	Measurement + Calibration Cycle Time When Starting from the REFUP State in Normal Mode	Measure 15 Cells	●	1692	1956	2077	μs
		Measure 3 Cells	●	352	407	432	μs
		Measure 15 Cells and 2 GPIO Inputs	●	2382	2753	2924	μs
	Measurement + Calibration Cycle Time When Starting from the REFUP State in Filtered Mode	Measure 15 Cells	●	145.2	167.8	178.2	ms
		Measure 3 Cells	●	29.1	33.6	35.7	ms
		Measure 15 Cells and 2 GPIO Inputs	●	203.2	234.9	249.5	ms
	Measurement + Calibration Cycle Time When Starting from the REFUP State in Fast Mode	Measure 15 Cells	●	811	937	996	μs
		Measure 3 Cells	●	176	203	215	μs
		Measure 15 Cells and 2 GPIO Inputs	●	1149	1328	1410	μs

電气的特性

●は規定の全温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 49.5\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。
注記がない限り、ISOMD ピンは V^- ピンに接続する。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
t_{SKEW1} (Figure 6)	Skew Time. The Time Difference Between GPIO2 and Cell 1 Measurements, Command = ADCVAX	Fast Mode	●	168	194	206	μs
		Normal Mode	●	470	543	577	μs
t_{SKEW2} (Figure 3)	Skew Time. The Time Difference Between Cell 15 and Cell 1 Measurements, Command = ADCV	Fast Mode	●	162	187	198	μs
		Normal Mode	●	464	536	569	μs
t_{SKEW3} (Figure 6)	Skew Time. The Time Difference Between Cell 15 and GPIO1 Measurements, Command = ADCVAX	Fast Mode	●	127	147	156	μs
		Normal Mode	●	354	409	434	μs
t_{WAKE}	Regulator Start-Up Time	V_{REG} Generated from DRIVE Pin (Figure 32)	●		200	400	μs
t_{SLEEP} (Figure 26)	Watchdog or Discharge Timer	DTEN Pin = 0 or DCTO[3:0] = 0000	●	1.8	2	2.2	sec
		DTEN Pin = 1 and DCTO[3:0] $\neq$ 0000		0.5		120	min
t_{REFUP} (Figure 3 for example)	Reference Wake-Up Time. Added to t_{CYCLE} Time When Starting from the STANDBY State. $t_{\text{REFUP}} = 0$ When Starting from Other States.	t_{REFUP} is Independent of the Number of Channels Measured and the ADC Mode	●	2.7	3.5	4.4	ms
f_{S}	ADC Clock Frequency				3.3		MHz

SPI インターフェースの DC 仕様

$V_{\text{IH}}(\text{SPI})$	SPI Pin Digital Input Voltage High	Pins CSB, SCK, SDI	●	2.3			V
$V_{\text{IL}}(\text{SPI})$	SPI Pin Digital Input Voltage Low	Pins CSB, SCK, SDI	●			0.8	V
$V_{\text{IH}}(\text{CFG})$	Configuration Pin Digital Input Voltage High	Pins ISOMD, DTEN, GPIO1 to GPIO9, A0 to A3	●	2.7			V
$V_{\text{IL}}(\text{CFG})$	Configuration Pin Digital Input Voltage Low	Pins ISOMD, DTEN, GPIO1 to GPIO9, A0 to A3	●			1.2	V
$I_{\text{LEAK}}(\text{DIG})$	Digital Input Current	Pins CSB, SCK, SDI, ISOMD, DTEN, A0 to A3	●			± 1	μA
$V_{\text{OL}}(\text{SDO})$	Digital Output Low	Pin SDO Sinking 1mA	●			0.3	V

isoSPI の DC 仕様 (図 17 を参照)

V_{BIAS}	Voltage on IBIAS Pin	READY/ACTIVE State IDLE State	●	1.9	2.0 0	2.1	V V
I_{B}	Isolated Interface Bias Current	$R_{\text{BIAS}} = 2\text{k to } 20\text{k}$	●	0.1		1.0	mA
A_{IB}	Isolated Interface Current Gain	$V_{\text{A}} = \leq 1.6\text{V}$ $I_{\text{B}} = 1\text{mA}$	●	18	20	22	mA/mA
		$I_{\text{B}} = 0.1\text{mA}$	●	18	20	24.5	mA/mA
V_{A}	Transmitter Pulse Amplitude	$V_{\text{A}} = V_{\text{IP}} - V_{\text{IM}} $	●			1.6	V
V_{ICMP}	Threshold-Setting Voltage on ICMP Pin	$V_{\text{TCMP}} = A_{\text{TCMP}} \cdot V_{\text{ICMP}}$	●	0.2		1.5	V
$I_{\text{LEAK}}(\text{ICMP})$	Input Leakage Current on ICMP Pin	$V_{\text{ICMP}} = 0\text{V to } V_{\text{REG}}$	●			± 1	μA
$I_{\text{LEAK}}(\text{IP/IM})$	Leakage Current on IP and IM Pins	IDLE State, V_{IP} or V_{IM} , 0V to V_{REG}	●			± 1	μA
A_{TCMP}	Receiver Comparator Threshold Voltage Gain	$V_{\text{CM}} = V_{\text{REG}}/2$ to $V_{\text{REG}} - 0.2\text{V}$, $V_{\text{ICMP}} = 0.2\text{V to } 1.5\text{V}$	●	0.4	0.5	0.6	V/V
V_{CM}	Receiver Common Mode Bias	IP/IM Not Driving			$(V_{\text{REG}} - V_{\text{ICMP}}/3 - 167\text{mV})$		V
R_{IN}	Receiver Input Resistance	Single-Ended to IPA, IMA, IPB, IMB	●	26	35	45	k Ω

isoSPI のアイドル/ウェイクアップ仕様 (図 26 を参照)

V_{WAKE}	Differential Wake-Up Voltage	$t_{\text{DWELL}} = 240\text{ns}$	●	200			mV
t_{DWELL}	Dwell Time at V_{WAKE} Before Wake Detection	$V_{\text{WAKE}} = 200\text{mV}$	●	240			ns
t_{READY}	Start-Up Time After Wake Detection		●			10	μs
t_{IDLE}	Idle Timeout Duration		●	4.3	5.5	6.7	ms

電気的特性

●は規定の全温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 49.5\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。注記がない限り、ISOMD ピンは V^- ピンに接続する。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
isoSPI のパルス・タイミング仕様 (図 22 を参照)							
$t_{1/2PW}(\text{CS})$	Chip-Select Half-Pulse Width	Transmitter	●	120	150	180	ns
$t_{\text{FILT}}(\text{CS})$	Chip-Select Signal Filter	Receiver	●	70	90	110	ns
$t_{\text{INV}}(\text{CS})$	Chip-Select Pulse Inversion Delay	Transmitter	●	120	155	190	ns
$t_{\text{WNDW}}(\text{CS})$	Chip-Select Valid Pulse Window	Receiver	●	220	270	330	ns
$t_{1/2PW}(\text{D})$	Data Half-Pulse Width	Transmitter	●	40	50	60	ns
$t_{\text{FILT}}(\text{D})$	Data Signal Filter	Receiver	●	10	25	35	ns
$t_{\text{INV}}(\text{D})$	Data Pulse Inversion Delay	Transmitter	●	40	55	65	ns
$t_{\text{WNDW}}(\text{D})$	Data Valid Pulse Window	Receiver	●	70	90	110	ns

SPI のタイミング条件 (図 16 および 図 25 を参照)

t_{CLK}	SCK Period	(Note 4)	●	1			μs
t_1	SDI Setup Time before SCK Rising Edge		●	25			ns
t_2	SDI Hold Time after SCK Rising Edge		●	25			ns
t_3	SCK Low	$t_{\text{CLK}} = t_3 + t_4 \geq 1\mu\text{s}$	●	200			ns
t_4	SCK High	$t_{\text{CLK}} = t_3 + t_4 \geq 1\mu\text{s}$	●	200			ns
t_5	CSB Rising Edge to CSB Falling Edge		●	0.65			μs
t_6	SCK Rising Edge to CSB Rising Edge	(Note 4)	●	0.8			μs
t_7	CSB Falling Edge to SCK Rising Edge	(Note 4)	●	1			μs

isoSPI のタイミング仕様 (図 25 を参照)

t_8	SCK Falling Edge to SDO Valid	(Note 5)	●			60	ns
t_9	SCK Rising Edge to Short ± 1 Transmit		●			50	ns
t_{10}	CSB Transition to Long ± 1 Transmit		●			60	ns
t_{11}	CSB Rising Edge to SDO Rising	(Note 5)	●			200	ns
t_{RTN}	Data Return Delay		●	325	375	425	ns
$t_{\text{DSY}}(\text{CS})$	Chip-Select Daisy-Chain Delay		●		120	180	ns
$t_{\text{DSY}}(\text{D})$	Data Daisy-Chain Delay		●	200	250	300	ns
t_{LAG}	Data Daisy-Chain Lag (vs Chip-Select)	$= [t_{\text{DSY}}(\text{D}) + t_{1/2PW}(\text{D})] - [t_{\text{DSY}}(\text{CS}) + t_{1/2PW}(\text{CS})]$	●	0	35	70	ns
$t_5(\text{GOV})$	Chip-Select High-to-Low Pulse Governor		●	0.6		0.82	μs
$t_6(\text{GOV})$	Data to Chip-Select Pulse Governor		●	0.8		1.05	μs
t_{BLOCK}	isoSPI Port Reversal Blocking Window		●	2		10	μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: ADC の仕様は、全測定誤差の仕様によって確認されている。

Note 3: ACTIVE ステートの電流は DC の測定値から計算される。データ 1 が 50%、データ 0 が 50% の連続した 1MHz の通信が isoSPI ポートに存在する場合、ACTIVE ステートの電流は、 V_{REG} に流れ込む平均電源電流の増加分になる。クロック・レートが遅くなるほど、電源電流は減少する。詳細については、アプリケーション情報のセクションを参照。

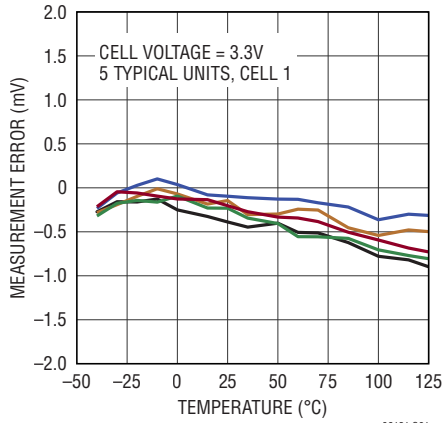
Note 4: これらのタイミング仕様はケーブルの遅延によって異なり、各方向に 50ns の遅延を許容する。50ns は 10m の CAT5 ケーブル (伝播速度が光速の 66%) に対応する。これより長いケーブルを使用する場合は、遅延が大きくなる分、仕様を低減する必要がある。

Note 5: これらの仕様には、SDO の立上がり時間と立下がり時間は含まれない。立下がり時間 (内部プルダウン・トランジスタのため標準で 5ns) は問題ではないが、立上がりエッジの遷移時間 t_{RISE} は SDO ピンでのプルアップ抵抗と負荷容量によって異なる。SDO が MCU のセットアップ時間要件を満たすように、時定数を選択する必要がある。

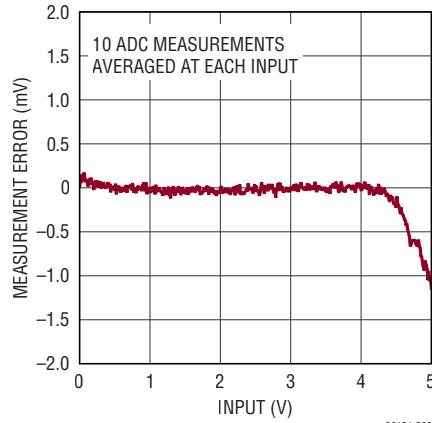
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 。

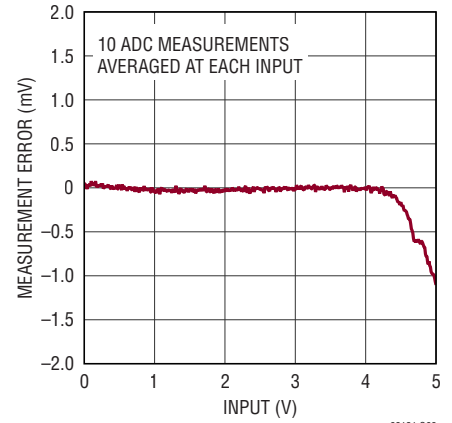
測定誤差と温度



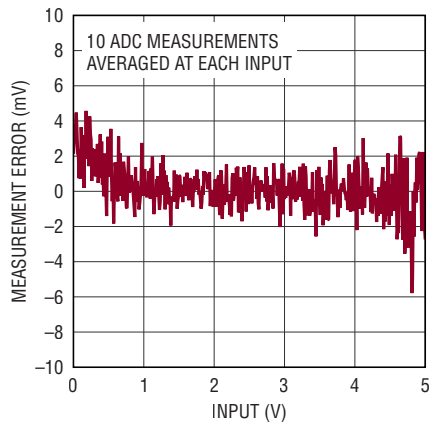
68121 G01

測定誤差と入力電圧
(通常動作モード)

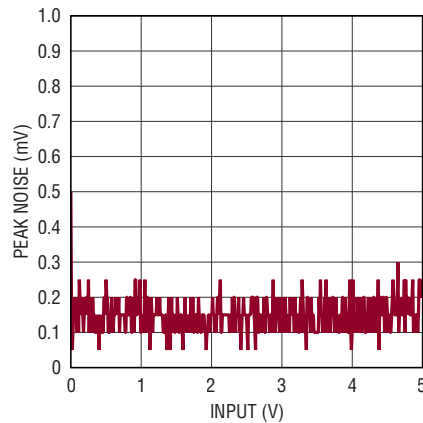
68121 G02

測定誤差と入力電圧
(フィルタ・モード)

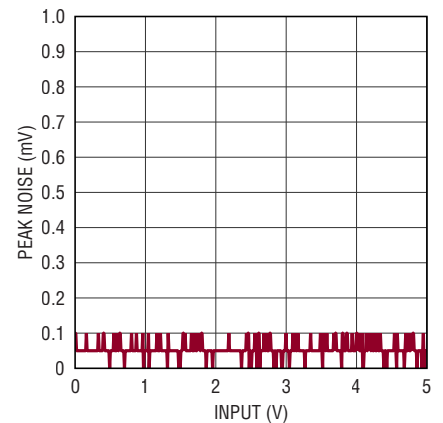
68121 G03

測定誤差と入力電圧
(高速モード)

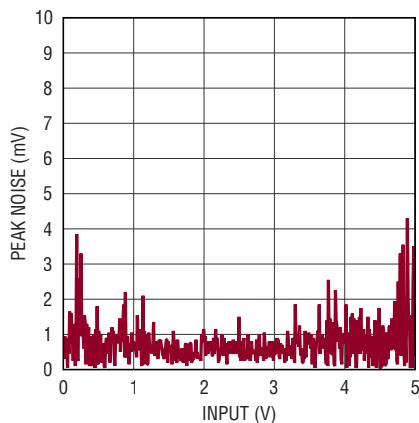
68121 G04

測定ノイズと入力電圧
(通常動作モード)

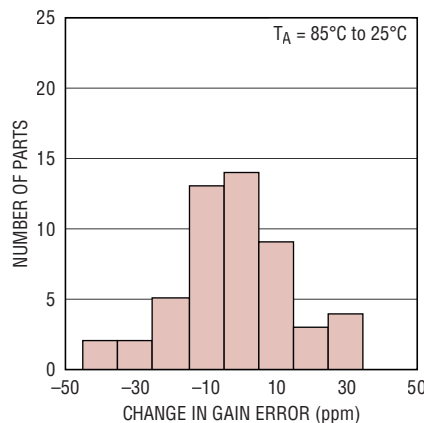
68121 G05

測定ノイズと入力電圧
(フィルタ・モード)

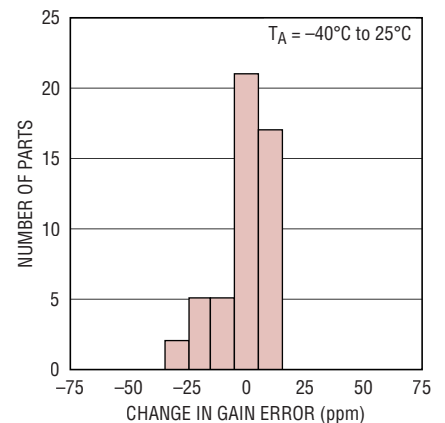
68121 G06

測定ノイズと入力電圧
(高速モード)

68121 G07

測定ゲイン誤差の
温度ヒステリシス(高温時)

68121 G8

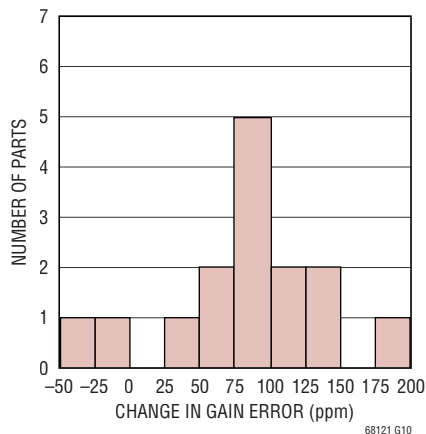
測定ゲイン誤差のヒステリシス
(低温時)

68121 G9

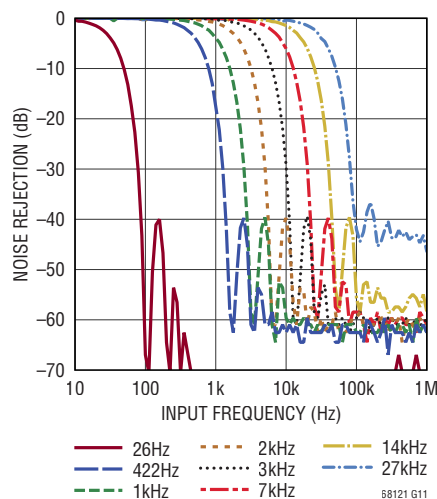
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 。

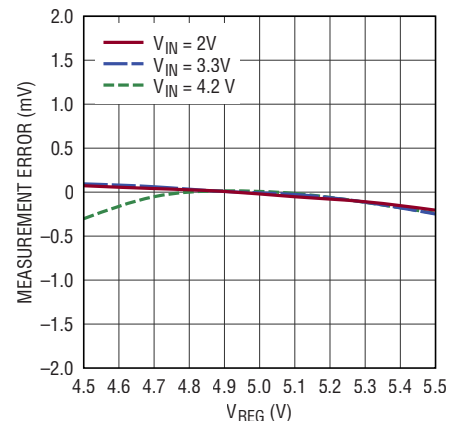
IR リフローによる測定誤差



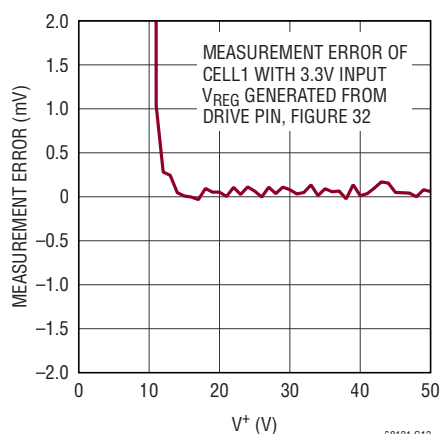
ノイズ・フィルタの応答



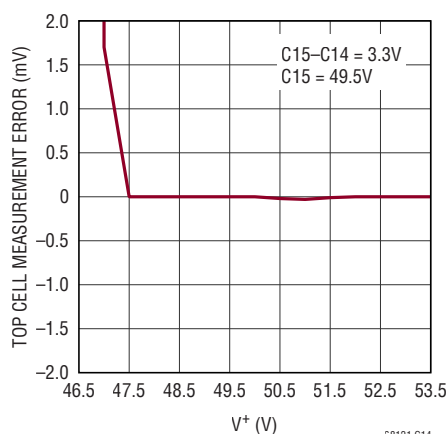
測定誤差と V_{REG}



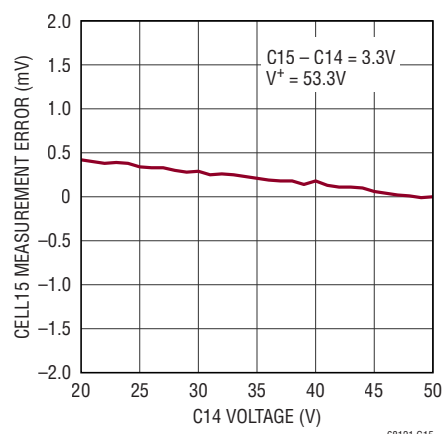
測定誤差と V^+



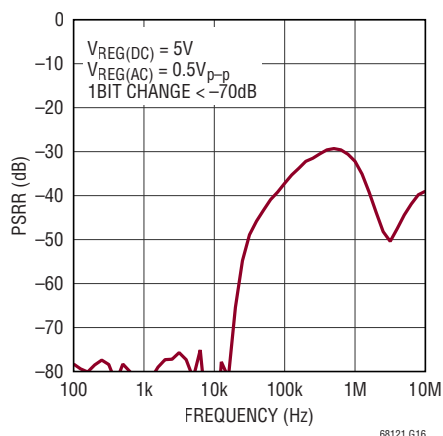
先頭セルの測定誤差と V^+



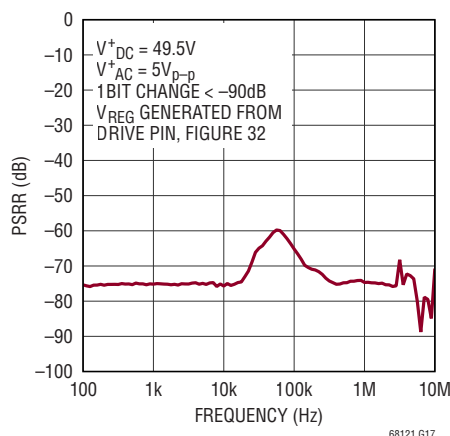
測定誤差とコモンモード電圧



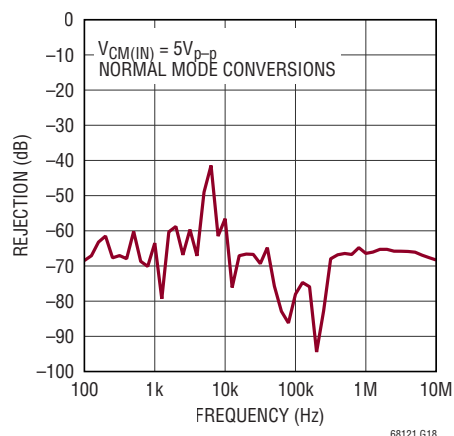
V_{REG} の AC 外乱による測定誤差



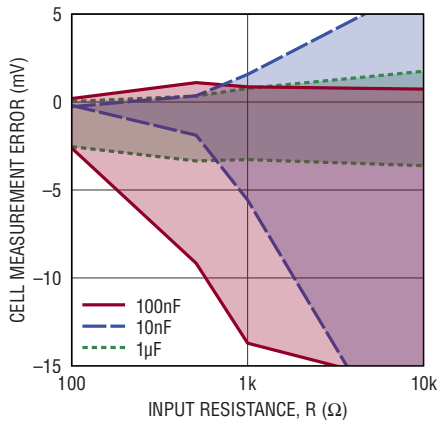
V^+ の AC 外乱による測定誤差



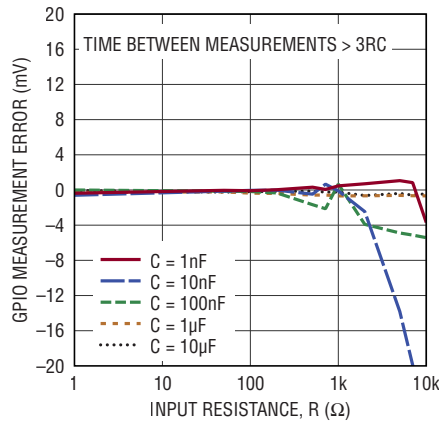
測定誤差の CMRR と周波数



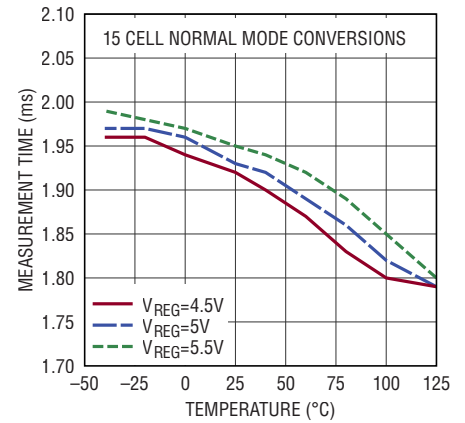
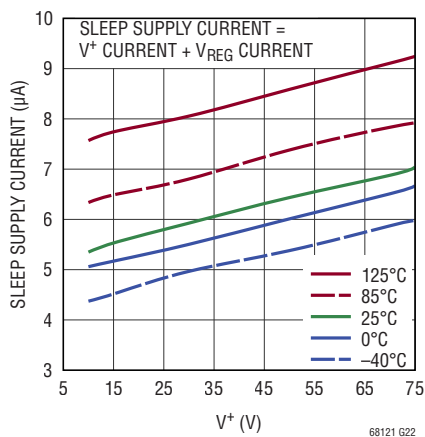
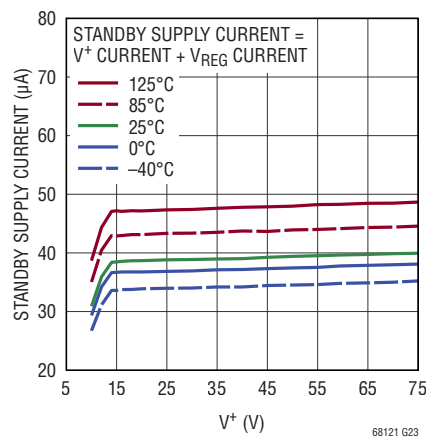
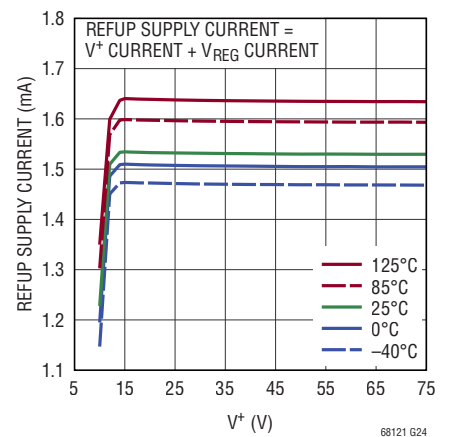
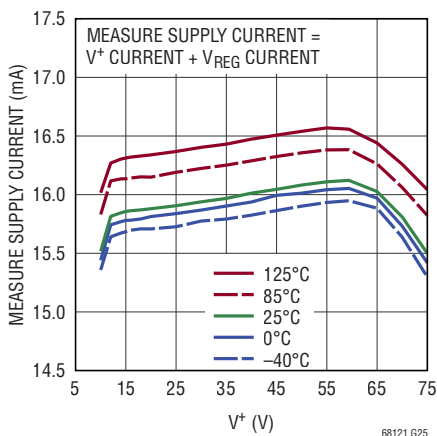
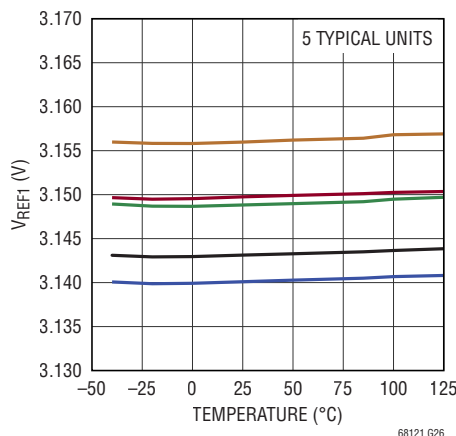
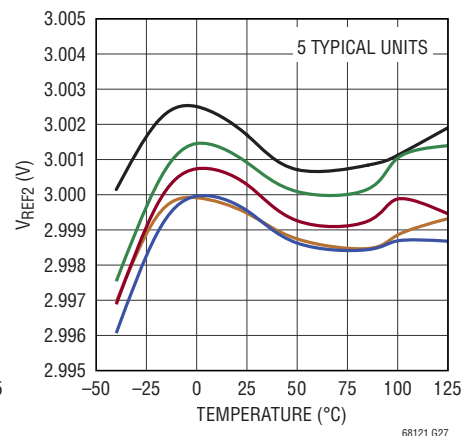
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 。セルの測定誤差範囲と
入力RCの値

GPIOの測定誤差と入力RCの値

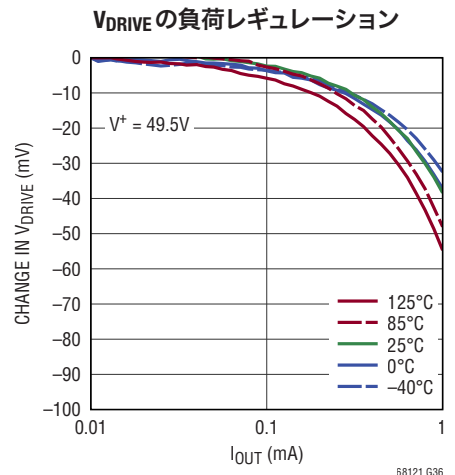
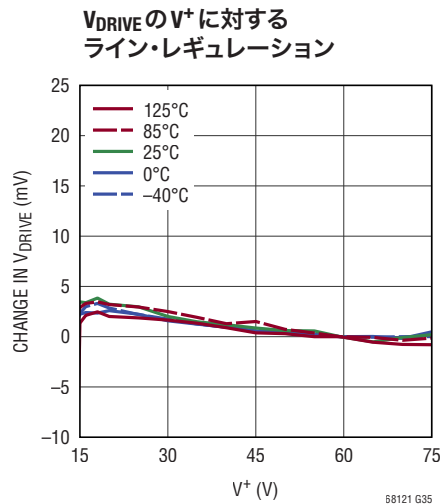
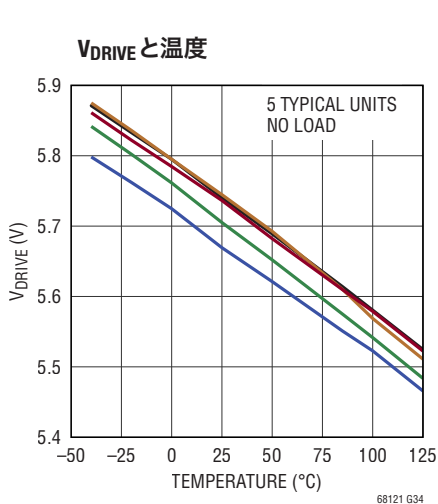
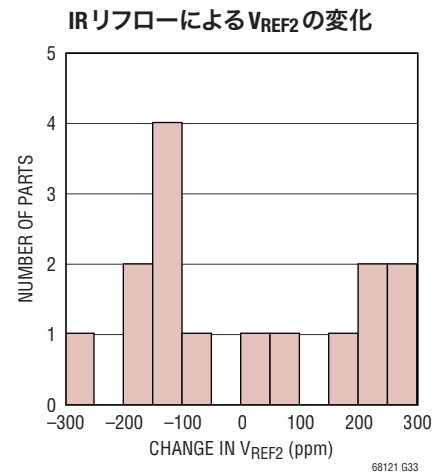
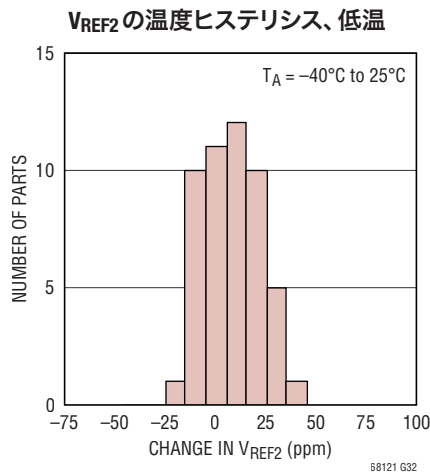
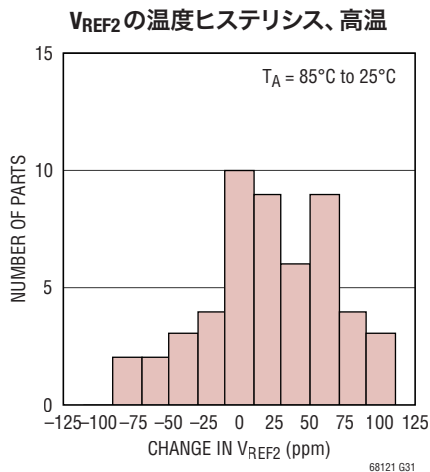
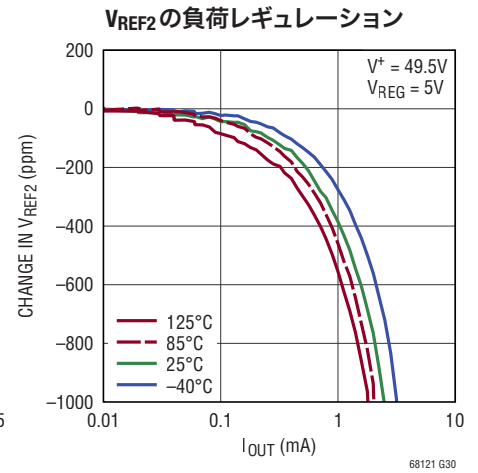
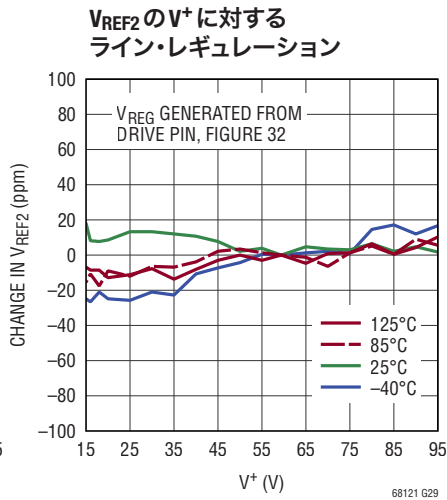
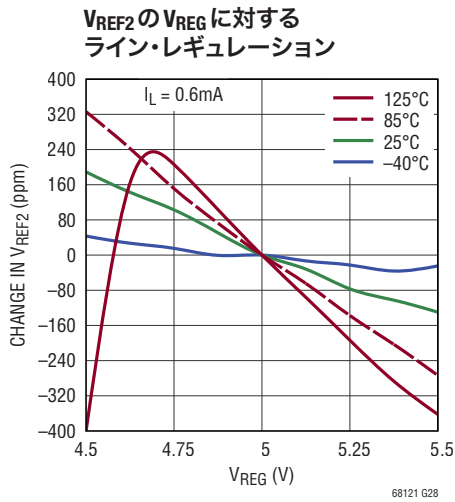


測定時間と温度

スリープ時の電源電流と V^+ スタンバイ時の電源電流と V^+ REFUP電源電流と V^+ 電源電流測定値と V^+  V_{REF1} と温度 V_{REF2} と温度

代表的な性能特性

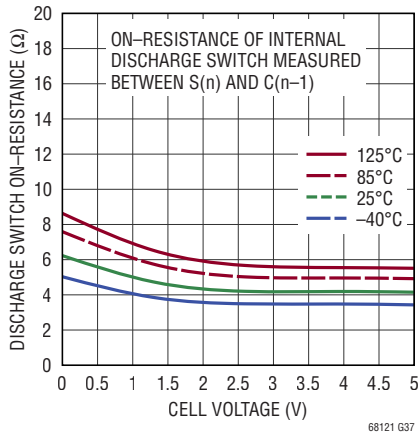
注記がない限り、 $T_A = 25^\circ\text{C}$ 。



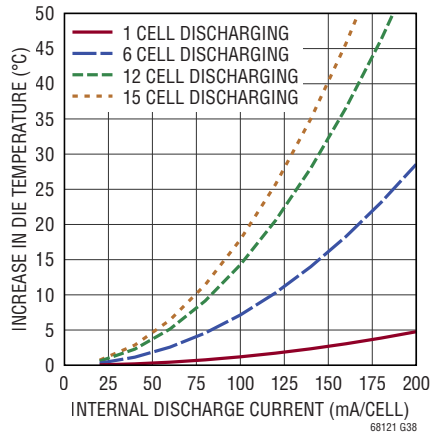
代表的な性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 。

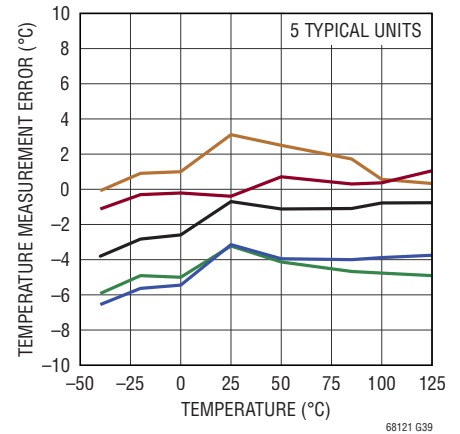
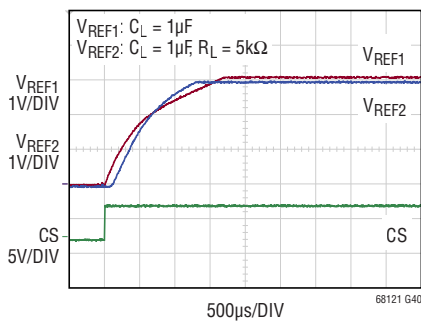
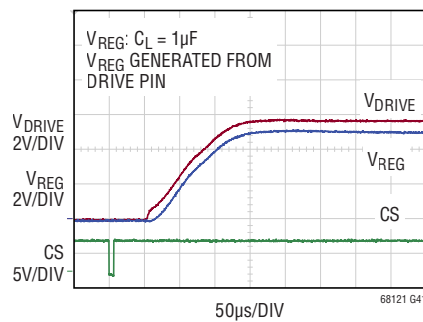
放電スイッチのオン抵抗とセル電圧



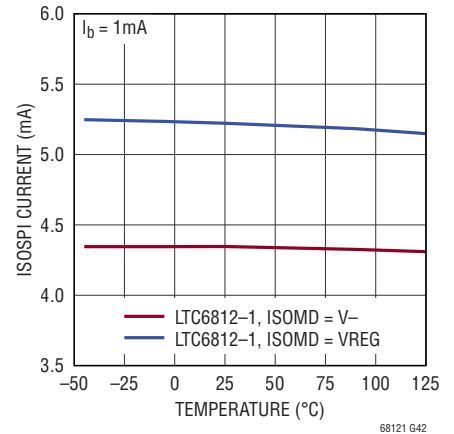
内部ダイ温度の上昇と放電電流



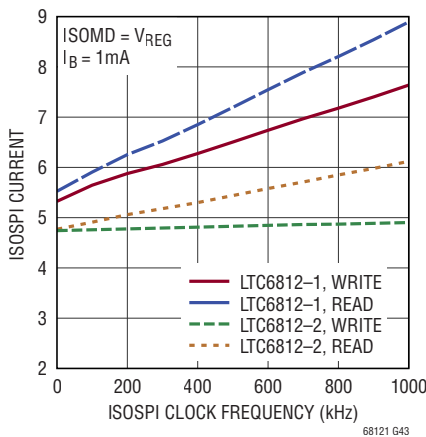
内部ダイの温度測定誤差と温度

 V_{REF1} および V_{REF2} の起動 V_{REG} および V_{DRIVE} の起動

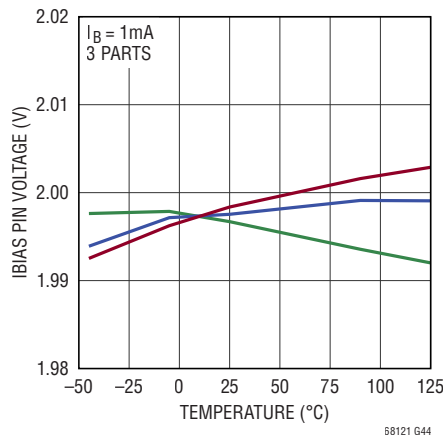
isoSPIの電流 (READY時) と温度



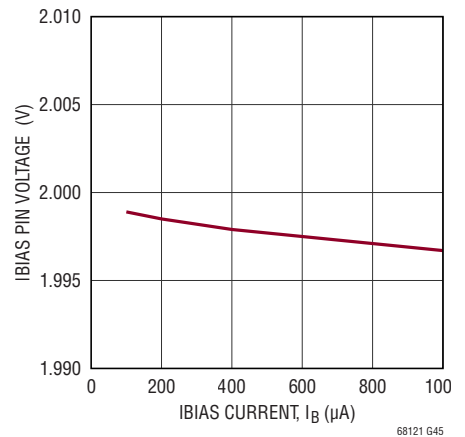
isoSPIの電流 (ACTIVE時) と isoSPIのクロック周波数



IBIASの電圧と温度



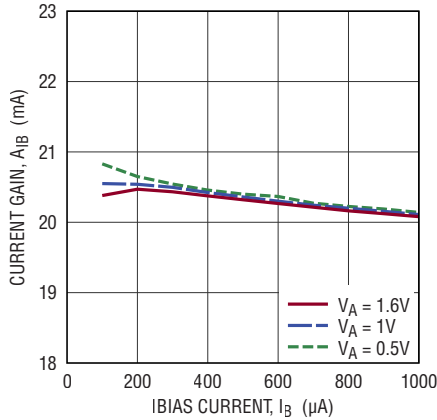
IBIAS 電圧の負荷レギュレーション



代表的な性能特性

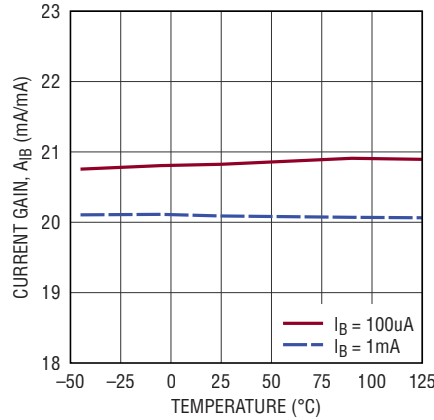
注記がない限り、 $T_A = 25^\circ\text{C}$ 。

isoSPIドライバの電流利得
(ポートA／ポートB)と
IBIASの電流



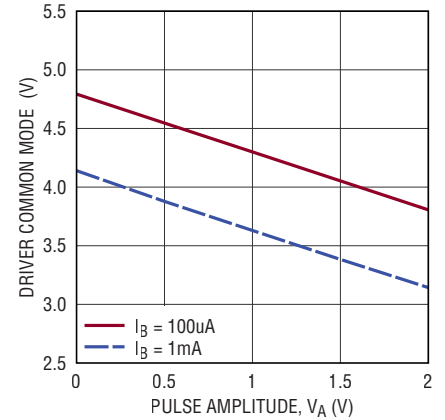
68121 G46

isoSPIドライバの電流利得
(ポートA／ポートB)と温度



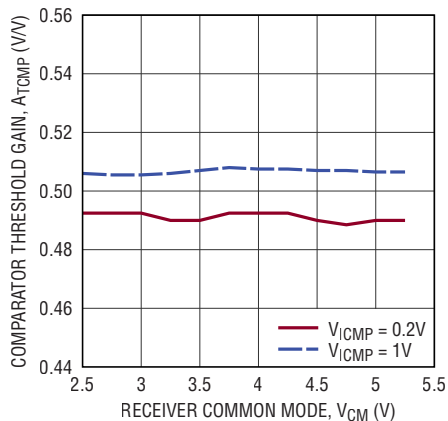
68121 G47

isoSPIドライバのコモンモード電圧
(ポートA／ポートB)と
パルス振幅



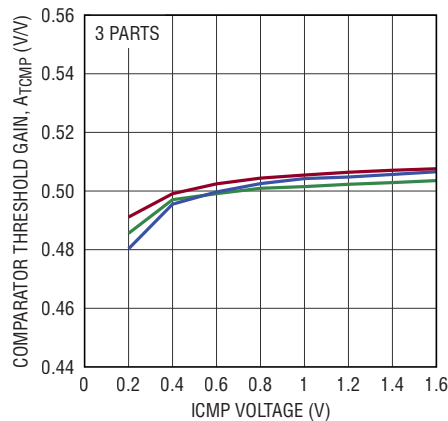
68121 G48

isoSPIコンパレータの閾値の
利得(ポートA／ポートB)と
レシーバのコモンモード電圧



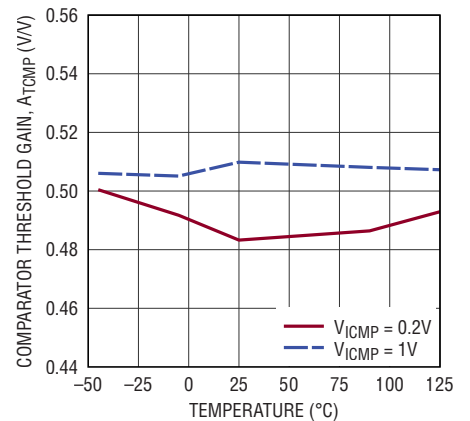
68121 G49

isoSPIコンパレータの閾値の
利得(ポートA／ポートB)と
ICMPの電圧



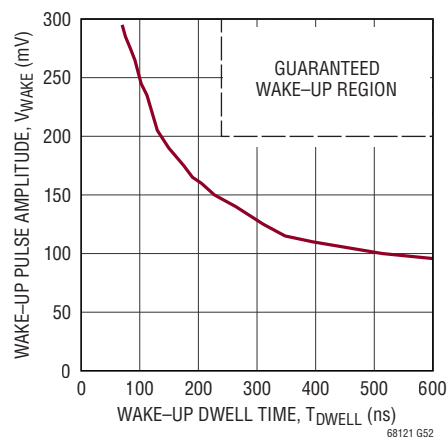
68121 G50

isoSPIコンパレータの閾値の
利得(ポートA／ポートB)と温度



68121 G51

標準的なウェイクアップ・パルスの
振幅(ポートA／ポートB)と
滞留時間



68121 G52

ピン機能

C0～C15:セルの入力。

S1～S15: バランス入力／バランス出力。セルを放電するため、15個の内部NチャンネルMOSFETがS(n)とC(n-1)の間に接続されています。

V⁺: 正電源ピン。

V⁻: 負電源ピン。デバイスの外部で、各V⁻ピンを互いに短絡させる必要があります。

V_{REF2}: 複数の10kサーミスタを駆動するための2番目のバッファ付きリファレンス電圧。外付けの1μFコンデンサを使用してバイパスします。

V_{REF1}: ADCのリファレンス電圧。外付けの1μFコンデンサを使用してバイパスします。DC負荷を接続することはできません。

GPIO[1:9]: 汎用I/O。デジタル入力またはデジタル出力として使用するか、V⁻～5Vの測定範囲でアナログ入力として使用できます。GPIO[3:5]はI²CポートまたはSPIポートとして使用できます。

DTEN: 放電タイマーのイネーブル・ピン。放電タイマーをイネーブルするには、このピンをV_{REG}に接続します。

DRIVE: NPNのベースをこのピンに接続します。コレクタはV⁺に接続し、エミッタはV_{REG}に接続します。

V_{REG}: 5Vレギュレータ入力。外付けの1μFコンデンサを使用してバイパスします。

ISOMD: シリアル・インターフェース・モード。ISOMDをV_{REG}に接続すると、LTC6812-1のピン53、54、61、および62は絶縁型の2線式インターフェース(isoSPI)モードに合わせて構成されます。ISOMDをV⁻に接続すると、LTC6812-1は4線SPIモードに合わせて構成されます。

WDT: ウォッチドッグ・タイマーの出力ピン。これはオープン・ドレインNMOSのデジタル出力です。このピンは未接続のままにするか、1Mの抵抗を介してV_{REG}に接続することができます。LTC6812-1が2秒以内に有効なコマンドを受信しない場合は、ウォッチドッグ・タイマー回路がLTC6812-1をリセットし、WDTピンが高インピーダンスになります。

シリアル・ポート・ピン

	ISOMD = V _{REG}	ISOMD = V ⁻
ポートB (ピン57、58、63、64)	IPB	IPB
	IMB	IMB
	ICMP	ICMP
	IBIAS	IBIAS
ポートA (ピン53、54、61、62)	(NC)	SDO
	(NC)	SDI
	IPA	SCK
	IMA	CSB

CSB、SCK、SDI、SDO: 4線式シリアル・ペリフェラル・インターフェース(SPI)。アクティブ・ローのチップ選択(CSB)、シリアル・クロック(SCK)、およびシリアル・データ入力(SDI)はデジタル入力です。シリアル・データ出力(SDO)はオープン・ドレインNMOS出力ピンです。SDOには5kのプルアップ抵抗が必要です。

IPA、IMA: 絶縁型の2線式シリアル・インターフェース・ポートA。IPA(プラス)とIMA(マイナス)は、差動入力／出力対です。

IPB、IMB: 絶縁型の2線式シリアル・インターフェース・ポートB。IPB(プラス)とIMB(マイナス)は、差動入力／出力対です。

IBIAS: 絶縁型インターフェースの電流バイアス。IBIASをV⁻に抵抗分圧器を介して接続し、インターフェースの出力電流レベルを設定します。isoSPIインターフェースがイネーブルされている場合、IBIASピンの電圧は2Vです。IPA/IMAまたはIPB/IMBの出力駆動電流は、IBIASピンから流れ出る電流(I_B)の20倍に設定されます。

ICMP: 絶縁型インターフェースのコンパレータ電圧閾値設定。このピンをIBIASとV⁻の間の抵抗分圧器に接続し、isoSPIレシーバーのコンパレータの電圧閾値を設定します。コンパレータの閾値はICMPピンの電圧の半分に設定されます。

露出パッド: V⁻。露出パッドはPCBにハンダ付けする必要があります。



LTC6811-1 からの改善点

LTC6812-1 は、LTC6811-1 のデザインを発展させたものです。LTC6812-1 での機能の変更点と追加点を次の表にまとめています。

LTC6812-1 の追加機能	利点	関連のデータシート・セクション
LTC6812-1 は同時に動作する ADC を 3 つ内蔵しているのに対して、LTC6811-1 では 2 つ	各変換サイクル時に 3 つのセルを測定できる	ADC の動作
3 つの ADC デジタル・フィルタの他に第 4 のフィルタがあり、冗長性を確保するために使用される	全てのデジタル・フィルタで障害が発生しないことを確認する	表 10 の説明と PS[1:0] ビットについては、デジタル冗長化機能を使用した A/D 変換
ADOL コマンドを使用して、ADC1 と ADC2 によりセル 6 を同時に測定し、ADC2 と ADC3 によりセル 11 を同時に測定する	ADC2 と ADC1 の精度が同程度であることを確認し、また ADC3 と ADC2 の精度が同程度であることを確認する	セル電圧測定の重複 (ADOL コマンド)
放電タイマーの動作中にモニタ機能を有効化できるセルの電圧がプログラム可能な低電圧閾値に達すると、セル・バランス調整機能を自動的に終了できる	セル・バランス調整機能の向上	放電タイマー・モニタ
内部の放電 MOSFET は 200mA のバランス調整電流を供給できる (ダイ温度が 95°C を超えた場合は 80mA)。バランス調整電流はセルの電圧とは無関係	セル・バランス調整の高速化、特にセルの電圧が低い場合	内部 MOSFET によるセル・バランス調整
C0 ピンの電圧範囲を 0V~1V にすることが可能で、全測定誤差 (TME) にも影響しない	C0 を V _I に直接接続する必要がない	電気的特性での入力範囲
MUTE コマンドと UNMUTE コマンドにより、ホストがレジスタの値を上書きせずに放電ピン (S ピン) をオン/オフすることが可能	S ピンをオフしてからセルの測定までのタイミングの制御範囲が拡大	S ピンのミュート
補助測定に断線診断機能を組み込む	障害検出能力の向上	補助断線チェック (AXOW コマンド)
GPIO ピンを 4 つ追加して合計 9 ピンとなる	測定可能な温度センサーまたはその他のセンサーの数が増加	補助 (GPIO) 測定 (ADAX コマンド) および補助断線チェック (AXOW コマンド)
LTC6812-1 のデジタイゼーションは双方向で動作できる (両方のポートがマスタにもスレーブにもなる)	冗長な通信経路	可逆的な isoSPI

動作

状態図

LTC6812-1の動作は、コア回路とisoSPI回路の2つのセクションに分かれています。両方のセクションは、独立した一連の動作ステートと、タイムアウトによるシャットダウンを備えています。

LTC6812-1のコアのステートの説明

SLEEP ステート

リファレンスとADCの電力が遮断されます。ウォッチドッグ・タイマー（ウォッチドッグ・タイマーと放電タイマーを参照）はタイムアウトしています。また、放電タイマーも無効化されているかタイムアウトしています。電源電流は最小レベルまで減少します。isoSPIポートは、IDLEステートになります。DRIVEピンは0Vです。

WAKEUP信号を受信すると（シリアル・インターフェースのウェイクアップを参照）、LTC6812-1はSTANDBYステートに入ります。

STANDBY ステート

リファレンスとADCはオフになります。ウォッチドッグ・タイマーまたは放電タイマー（あるいはその両方）は動作中です。DRIVEピンは外付けトランジスタを介してV_{REG}ピンに5Vの電源を供給します（あるいは、V_{REG}ピンには外部電源から電力を供給してもかまいません）。

有効なADCコマンドを受け取るか、構成レジスタ・グループAのREFONビットが1に設定されると、デバイスはリファレンスを起動できる状態になるまで t_{REFUP} の間停止し、その

後REFUPステートまたはMEASUREステートに移行します。それ以外で、 t_{SLEEP} の間（ウォッチドッグ・タイマーと放電タイマーの両方が期限切れになるまで）有効なコマンドを受け取らなかった場合、LTC6812-1はSLEEPステートに戻ります。放電タイマーが無効化されている場合は、ウォッチドッグ・タイマーのみが関係します。

REFUP ステート

このステートに達するには、構成レジスタ・グループAのREFONビットを1に設定する必要があります（WRCFGAコマンドを使用。表36を参照）。ADCはオフになります。LTC6812-1がSTANDBYステートから開始するよりも早くAD変換を開始できるようにするために、リファレンスが起動します。

有効なADCコマンドを受け取るとデバイスはMEASUREステートになり、変換を開始します。それ以外の場合、手動で（WRCFGAコマンドを使用）もしくは（ウォッチドッグ・タイマーが期限切れになったときに）自動的にREFONビットに0が設定されると、LTC6812-1はSTANDBYステートに戻ります（その後、ウォッチドッグ・タイマーと放電タイマーの両方が期限切れになると、LTC6812-1は直接SLEEPステートに移行します）。

MEASURE ステート

このステートでは、LTC6812-1はA/D変換を実行します。リファレンスとADCの電源が投入されます。

LTC6812-1は、A/D変換が完了すると、REFONビットに応じてREFUPステートまたはSTANDBYステートのいずれかに

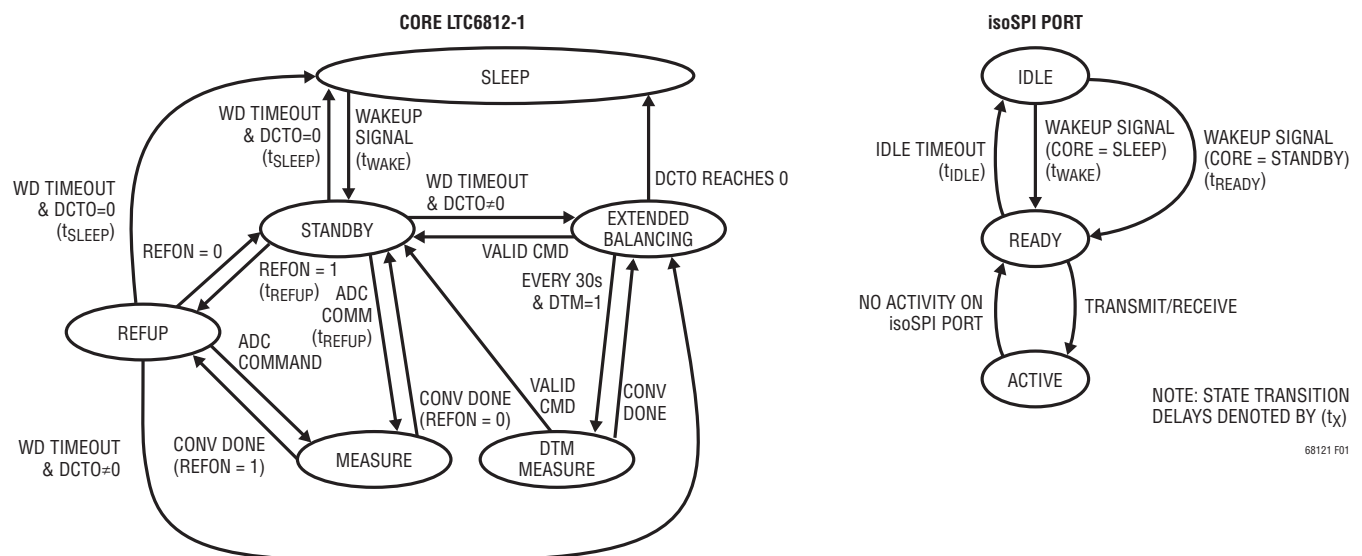


図1. LTC6812-1の動作ステート図

動作

移行します。REFONを1に設定してREFUPステートを活用することによって、追加のA/D変換をより迅速に開始できます。

注記: ADC コマンド以外のコマンドでは、コアのステートが移行しません。A/D変換または診断コマンドのみが、コアをMEASUREステートに移行します。

isoSPI ステートの説明

注記: LTC6812-1 は、デジタイゼーション通信に2つ isoSPI ポート (A および B) を備えています。

IDLE ステート

isoSPI ポートの電力が遮断されます。

isoSPI のポート A またはポート B が WAKEUP 信号を受信すると (シリアル・インターフェースのウェイクアップを参照)、isoSPI は READY ステートに移行します。コアが STANDBY ステートにある場合、この移行は素早く (t_{READY} 以下) で行われます。コアが SLEEP ステートにある場合、isoSPI は、WAKEUP 信号を受信してから、 t_{WAKE} 以内に READY ステートに移行します。

READY ステート

isoSPI ポートは通信可能な状態にあります。このステートでのシリアル・インターフェース電流は、ISOMD ピンの状態と $R_{\text{BIAS}} = R_{\text{B1}} + R_{\text{B2}}$ (I_{BIAS} ピンに接続された外付け抵抗) によって決まります。

ポート A またはポート B で動作がない (つまり、WAKEUP 信号がない) 時間が t_{IDLE} より長くなると、LTC6812-1 は IDLE ステートに移行します。シリアル・インターフェースがデータを送信または受信すると、LTC6812-1 は ACTIVE ステートに移行します。

ACTIVE ステート

LTC6812-1 は、一方または両方の isoSPI ポートを使用してデータの送受信を行います。シリアル・インターフェースは、この状態で最も多くの電力を消費します。isoSPI パルスの密度が高くなるので、電源電流はクロック周波数の増加に伴って増加します。

消費電力

LTC6812-1 の電力は、次の2つのピン (V^+ および V_{REG}) から供給されます。 V^+ 入力、先頭セルの電圧より 0.3V 低い電圧以上の電圧を必要とし、コア回路の高電圧素子に電力を供給します。 V_{REG} 入力、5V を必要とし、残りのコア回路と isoSPI 回路に電力を供給します。 V_{REG} 入力には、安定化された DRIVE 出力ピンによって駆動される外付けトランジスタを介して電力を供給できます。あるいは、 V_{REG} ピンには外部電源から電力を供給してもかまいません。

消費電力は動作ステートによって異なります。各ステートでの電源ピンの電流を概算する式を表1および表2に示します。 V^+ ピンの電流は、コアのステートにのみ依存します。ただし、 V_{REG} ピンの電流は、コアのステートと isoSPI のステートの両方に依存するため、2つの成分に分けることができます。isoSPI インターフェースに流れる電流は、 V_{REG} ピンからの電流だけです。

$$I_{\text{REG}} = I_{\text{REG(CORE)}} + I_{\text{REG(isoSPI)}}$$

SLEEP ステートでは、外部電源から電力を供給した場合、 V_{REG} ピンが約 3.1 μA を吸い込みます。そうでない場合は、 V^+ ピンが必要な電流を供給します。

表1. コアの電源電流

ステート		I_{VP}	$I_{\text{REG(CORE)}}$
SLEEP	$V_{\text{REG}} = 0\text{V}$	6.1 μA	0 μA
	$V_{\text{REG}} = 5\text{V}$	3 μA	3.1 μA
STANDBY		14 μA	35 μA
REFUP		550 μA	900 μA
MEASURE		950 μA	15mA

表2. isoSPI の電源電流の式

isoSPI ステート	ISOMD の接続	$I_{\text{REG(isoSPI)}}$
IDLE	N/A	0mA
READY	V_{REG}	$2.2\text{mA} + 3 \cdot I_{\text{B}}$
	V^-	$1.5\text{mA} + 3 \cdot I_{\text{B}}$
ACTIVE	V_{REG}	Write: $2.5\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns}}{t_{\text{CLK}}}\right) \cdot I_{\text{B}}$ Read: $2.5\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns} \cdot 1.5}{t_{\text{CLK}}}\right) \cdot I_{\text{B}}$
	V^-	$1.8\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns}}{t_{\text{CLK}}}\right) \cdot I_{\text{B}}$

動作

ADCの動作

LTC6812-1の内部には3つのADCがあります。これら3つのADCは、15セルを測定するときに同時に動作します。汎用入力（V_{IN}）の測定に使用されるADCは1つだけです。以下の説明では、実行される動作に応じて、ADCという用語を使用して1つまたは全部のADCを表わします。以下の説明では、例えばタイミング図で3つの回路を区別する必要があるときは、ADC1、ADC2、およびADC3と表記します。

ADCモード

構成レジスタ・グループAのADCOPTビット（CFGAR0[0]）と変換コマンドのモード選択ビットMD[1:0]を組み合わせると、ADCの8つの動作モードが得られます。これらのモードは、異なるオーバーサンプリング率（OSR）に対応しています。これらのモードの精度とタイミングを表3にまとめています。それぞれのモードにおいて、ADCは最初に入力を測定し、次に各チャンネルのキャリブレーションを行います。モードの名前は、ADC測定の-3dB帯域幅に基づいています。

7kHzモード（通常動作モード）: このモードでは、ADCの分解能が高く、TME（全測定誤差）が低く抑えられています。これは、速度と精度のバランスが最適になるように組み合わされていることから、通常動作モードと見なされます。

27kHzモード（高速モード）: このモードでは、ADCのスループットが最大になりますが、TME（全測定誤差）はある程度増加します。そのためこのモードは、高速モードとも呼ばれます。速度の向上は、オーバーサンプリング率を小さくすることによって実現されます。その結果、ノイズと平均測定誤差が増加します。

26Hzモード（フィルタ・モード）: このモードでは、OSRを増やすことによって、ADCのデジタル・フィルタの-3dB周波数が26Hzに減少します。このモードは、-3dB周波数が低いいため、フィルタ・モードとも呼ばれます。精度は7kHzモード（通常動作モード）と同様ですが、ノイズが少なくなります。

14kHz、3kHz、2kHz、1kHz、および422Hzモード: 14kHz、3kHz、2kHz、1kHz、および422Hzモードは、ADCデジタル・フィルタの-3dB周波数をそれぞれ13.5kHz、3.4kHz、1.7kHz、845Hz、および422Hzに設定する追加オプションを提供します。14kHzモードの精度は、27kHzモード（高速モード）と同様です。3kHz、2kHz、1kHz、および422Hzモードの精度は、7kHzモード（通常動作モード）と同様です。

これらのモードにおけるフィルタの帯域幅と変換時間を表3および表5に示します。コアがSTANDBY状態にある場合、A/D変換を開始する前にリファレンスを起動するために、t_{REFUP}の追加時間が必要です。構成レジスタ・グループAのREFONビットを1に設定した場合、A/D変換とA/D変換の間にリファレンスを起動したままにすることができます。したがって、遅延t_{REFUP}の後、コアはREFUP状態になっています。その後のADCコマンドでは、A/D変換を開始する前にt_{REFUP}の遅延は発生しません。

表3. ADCフィルタの帯域幅と精度

モード	-3dB フィルタの 帯域幅	-40dB フィルタの 帯域幅	3.3V、 25°Cでの TME仕様	3.3V、-40°C、 125°Cでの TME仕様
27kHz (Fast Mode)	27kHz	84kHz	±6mV	±6mV
14kHz	13.5kHz	42kHz	±6mV	±6mV
7kHz (Normal Mode)	6.8kHz	21kHz	±2.2mV	±3.3mV
3kHz	3.4kHz	10.5kHz	±2.2mV	±3.3mV
2kHz	1.7kHz	5.3kHz	±2.2mV	±3.3mV
1kHz	845Hz	2.6kHz	±2.2mV	±3.3mV
422Hz	422Hz	1.3kHz	±2.2mV	±3.3mV
26Hz (Filtered Mode)	26Hz	82Hz	±2.2mV	±3.3mV

注記: TMEは全測定誤差。

ADCの範囲と分解能

C入力とGPIO入力の範囲および分解能は同じです。LTC6812-1内部のADCの範囲は、およそ-0.82V～+5.73Vです。負の読出し値は0Vに丸められます。データのフォーマットは16ビットの符号なし整数で、LSBは100μVです。したがって、0x80E8（10進数で33,000）は3.3Vの測定値を示します。

デルタシグマ型ADCでは、特に高速モードなどでオーバーサンプリング率（OSR）が低い場合に、入力電圧に応じて量子化ノイズが発生します。ADCモードの一部では、入力電圧がADC範囲の上限と下限に近づくにつれて量子化ノイズが増加します。例として、通常動作モードとフィルタ・モードでの全測定ノイズと入力電圧を図2に示します。

動作

ADCの規定範囲は0V～5Vです。表4では、ADCの精度範囲は、0.5V～4.5Vの間で任意に定義されます。これは、低OSRモードでも量子化ノイズが比較的一定になる範囲です(図2を参照)。ADCの8つの動作モード全てについて、この範囲内の全ノイズを表4にまとめます。ノイズのない分解能も示されています。例えば、通常動作モードでのノイズのない14ビットの分解能とは、DC入力では上位14ビットにはノイズがないが、15番目と16番目の最下位ビット(LSB)にはフリッカ・ノイズがあることを意味しています。

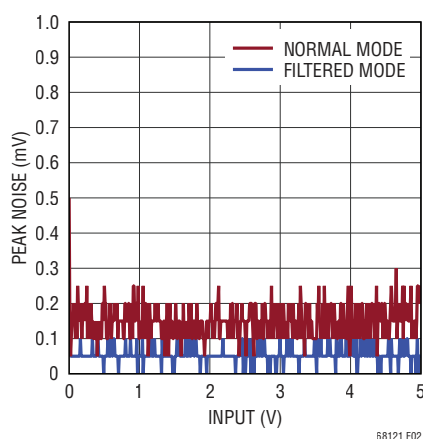


図2. 測定ノイズと入力電圧

ADCの範囲と電圧リファレンスの値

標準的なADCの範囲は、電圧リファレンスを正確に2倍した値であり、ADCの測定誤差は電圧リファレンスの誤差に正比例します。LTC6812-1のADCは、標準的なものではありません。

りません。 V_{REF1} の絶対値は、ADCのゲイン誤差を補正するために増加または減少の調整が行われます。したがって、ADCの全測定誤差(TME)の規格値は、 V_{REF1} の規格値よりも優れています。例えば、7kHzモード(通常動作モード)で3.300Vを測定する場合、全測定誤差の25°Cでの規格値は $\pm 2.2\text{mV}$ ですが、 V_{REF1} の25°Cでの規格値は $3.150\text{V} \pm 150\text{mV}$ です。

セル電圧の測定(ADCVコマンド)

ADCVコマンドは、ピンC0からC15までのバッテリー・セル入力の測定を開始します。このコマンドには、測定対象のチャンネル数とADCモードを選択するためのオプションが複数あります。ADCVコマンドのフォーマットについては、コマンドのセクションを参照してください。

全15セルを測定するADCVコマンドのタイミングを図3に示します。全15セルを測定するADCVコマンドを受け取ると、ADC1は下部の5セルを順次測定します。ADC2は中間の5セルを測定し、ADC3は上部の5セルを測定します。セル測定が完了すると、各チャンネルは補正され、オフセット誤差が除去されます。

全15セルを測定するADCVコマンドの変換時間を表5に示します。合計変換時間は、キャリブレーション・ステップの終了を示す t_{SC} により与えられます。

3セルだけを測定するADCVコマンドのタイミングを図4に示します。

表4. ADCの範囲と分解能

モード	全範囲 ¹	規定範囲	精度範囲 ²	LSB	フォーマット	最大ノイズ	ノイズのない分解能 ³
27kHz (Fast)	-0.8192V to 5.7344V	0V to 5V	0.5V to 4.5V	100 μV	Unsigned 16 Bits	$\pm 4\text{mV}_{p-p}$	10 Bits
14kHz						$\pm 1\text{mV}_{p-p}$	12 Bits
7kHz (Normal)						$\pm 250\text{ }\mu\text{V}_{p-p}$	14 Bits
3kHz						$\pm 150\text{ }\mu\text{V}_{p-p}$	14 Bits
2kHz						$\pm 100\text{ }\mu\text{V}_{p-p}$	15 Bits
1kHz						$\pm 100\text{ }\mu\text{V}_{p-p}$	15 Bits
422Hz						$\pm 100\text{ }\mu\text{V}_{p-p}$	15 Bits
26Hz (Filtered)						$\pm 50\text{ }\mu\text{V}_{p-p}$	16 Bits

1. 負の読出し値は0Vに丸められます。

2. 精度範囲は、ノイズが最大ノイズより小さくなる範囲です。

3. ノイズのない分解能は、精度範囲内のノイズ・レベルの測定値です。

動作

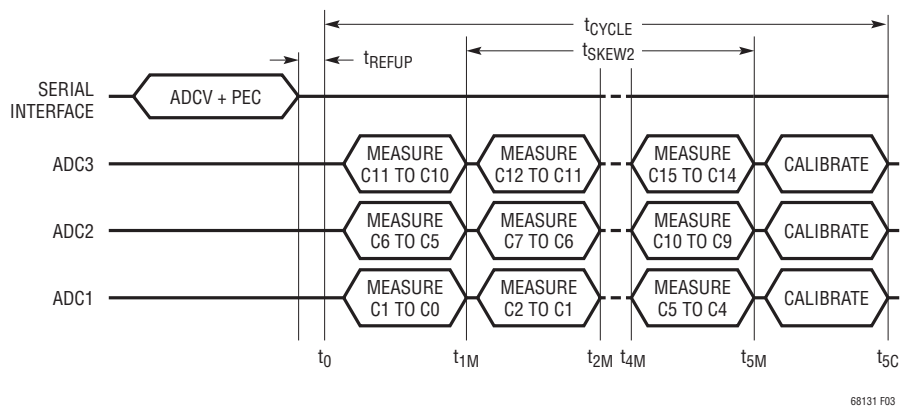


図3. 全15セルを測定するADCVコマンドのタイミング

表5. 全15セルを様々なモードで測定するADCVコマンドの変換時間と同期時間

モード	変換時間 (μs)						同期時間 (μs)
	t ₀	t _{1M}	t _{2M}	t _{4M}	t _{5M}	t _{5C}	t _{SKEW2}
27kHz	0	58	104	198	244	937	187
14kHz	0	87	163	314	390	1,083	303
7kHz	0	145	279	547	681	1,956	536
3kHz	0	261	512	1,012	1,263	2,537	1,001
2kHz	0	494	977	1,943	2,426	3,701	1,932
1kHz	0	960	1,908	3,805	4,753	6,028	3,794
422Hz	0	1,890	3,770	7,529	9,408	10,683	7,518
26Hz	0	29,818	59,624	119,238	149,044	167,774	119,227

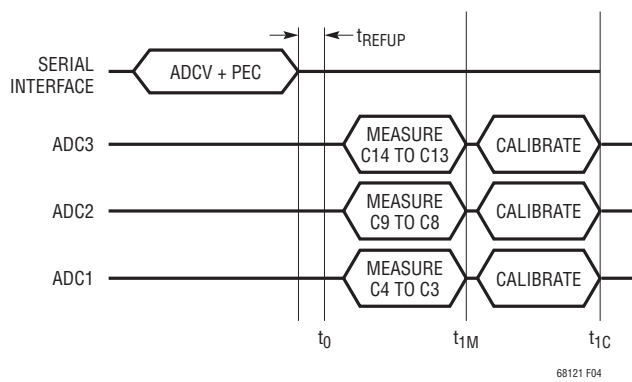


図4. 3セルを測定するADCVコマンドのタイミング

動作

3セルだけを測定するADCVコマンドの変換時間を表6に示します。 t_{1C} は、このコマンドの合計変換時間を表します。

表6. 3つのセルを様々なモードで測定するADCVコマンドの変換時間

モード	変換時間 (μs)		
	t_0	t_{1M}	t_{1C}
27kHz	0	58	203
14kHz	0	87	232
7kHz	0	145	407
3kHz	0	261	523
2kHz	0	494	756
1kHz	0	960	1,221
422Hz	0	1,890	2,152
26Hz	0	29,818	33,570

低電圧／過電圧モニタ

C入力が測定されるたびに、結果は、メモリに格納されている低電圧閾値および過電圧閾値と比較されます。セルの測定値が過電圧制限値を超えている場合は、メモリ内のビットがフラグとしてセットされます。同様に、測定結果が低電圧制限値より低い場合にもフラグがセットされます。過電圧閾値と低電圧閾値は構成レジスタ・グループAに格納されます。フラグはステータス・レジスタ・グループBと補助レジスタ・グループDに格納されます。

補助(GPIO)測定(ADAXコマンド)

ADAXコマンドによってGPIO入力の測定が開始されます。このコマンドには、測定するGPIO入力(GPIO1~9)と使用するADCモードを選択するためのオプションがあります。また、ADAXコマンドは、2番目のリファレンスも測定します。ADAXコマンドには、GPIOのサブセットと2番目のリファレンスを個別に測定するためのオプションと、9つのGPIO全てと2番目のリファレンスを1つのコマンドで測定するためのオプションがあります。ADAXコマンドのフォーマットについては、コマンドのセクションを参照してください。全ての補助測定はV_{ピン}の電圧を基準にしています。GPIOに温度センサーを接続すれば、このコマンドを使用して外部温度を読み出すことができます。これらのセンサーの電源は2番目のリファレンスから取ることができ、このリファレンスもADAXコマンドによって測定されるので、正確なレシオメトリック測定を行うことができます。

全てのGPIOと2番目のリファレンスを測定するADAXコマンドのタイミングを図5に示します。全部で10回の測定がADC1単独で実行されます。2番目のリファレンスは、GPIO5の測定後からGPIO6の測定前の間に測定されます。

全てのGPIOと2番目のリファレンスを測定するADAXコマンドの変換時間を表7に示します。 t_{10C} は合計変換時間を表します。

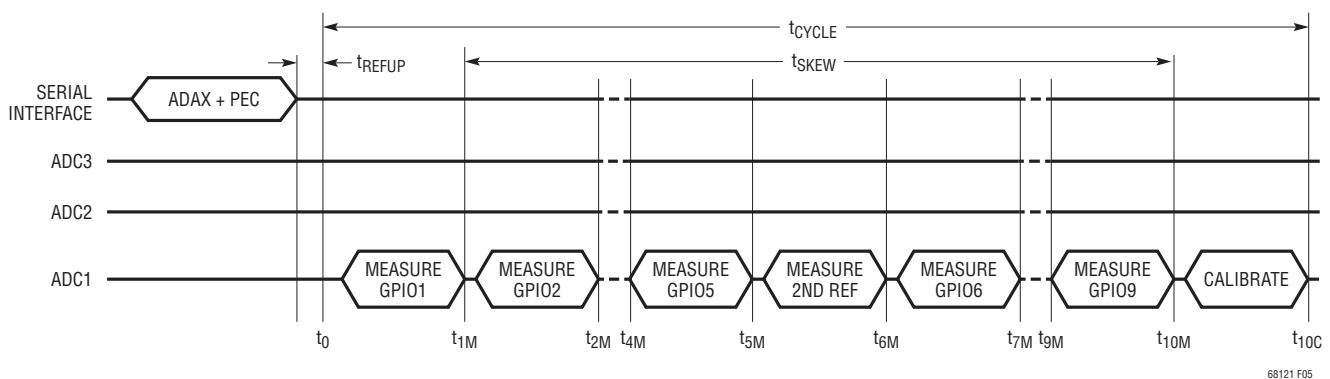


図5. 全てのGPIOと2番目のリファレンスを測定するADAXコマンドのタイミング

68121 F05

動作

表 7. 全ての GPIO と 2 番目のリファレンスを様々なモードで測定する ADAX コマンドの変換時間と同期時間

モード	変換時間 (μs)						同期時間 (μs)
	t ₀	t _{1M}	t _{2M}	t _{3M}	t _{4M}	t _{5M}	t _{SKW}
27kHz	0	58	104	431	478	1,825	420
14kHz	0	87	163	693	769	2,116	682
7kHz	0	145	279	1,217	1,350	3,862	1,205
3kHz	0	261	512	2,264	2,514	5,025	2,253
2kHz	0	494	977	4,358	4,841	7,353	4,347
1kHz	0	960	1,908	8,547	9,496	12,007	8,536
422Hz	0	1,890	3,770	16,926	18,805	21,316	16,915
26Hz	0	29,818	59,624	268,271	298,078	335,498	268,260

デジタル冗長化機能を備えた補助 (GPIO) 測定 (ADAXD コマンド)

ADAXD コマンドは ADAX コマンドと同様に動作しますが、デジタル冗長化機能を使用して追加の診断を実行することだけが異なります。冗長化を有効にするには、ADAXD の実行時に構成レジスタ・グループ B の PS[1:0] を 0 または 1 に設定する必要があります。デジタル冗長化機能を使用した A/D 変換のセクションを参照してください。

ADAX と ADAXD の実行時間は同じです。

セル電圧と GPIO の測定 (ADCVAX コマンド)

ADCVAX コマンドは、15 個のセルの測定値を 2 つの GPIO 測定値 (GPIO1 および GPIO2) と組み合わせます。このコマンドを使用すると、電流センサーを GPIO1 入力または GPIO2 入力に接続した場合に、バッテリー・セルの電圧測定値と電流測定値の同期が容易になります。ADCVAX コマンドのタイミングを図 6 に示します。ADCVAX コマンドのフォーマットについては、コマンドのセクションを参照してください。高速モードでの電流測定値と電圧測定値の同期時間 (t_{SKW1} および t_{SKW3}) は、それぞれ 194 μs および 147 μs 以内です。

様々なモードでの ADCVAX コマンドの変換時間と同期時間を表 8 に示します。このコマンドの合計変換時間は t_{7C} により与えられます。

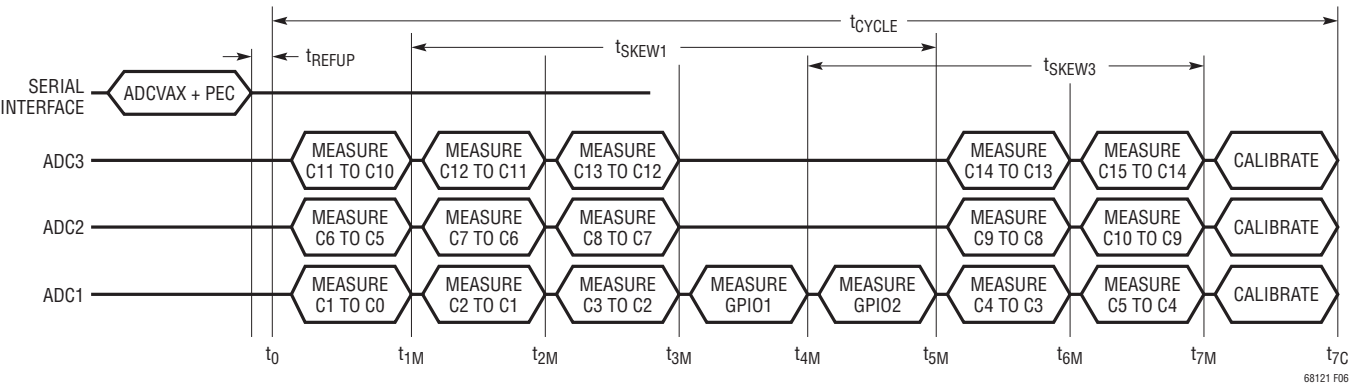


図 6. ADCVAX コマンドのタイミング

動作

表 8. 様々なモードでの ADCVAX コマンドの変換時間と同期時間

モード	変換時間 (μs)									同期時間 (μs)	
	t_0	t_{1M}	t_{2M}	t_{3M}	t_{4M}	t_{5M}	t_{6M}	t_{7M}	t_{7C}	t_{SKEW1}	t_{SKEW3}
27kHz	0	58	104	151	205	252	306	352	1,328	194	147
14kHz	0	87	163	238	321	397	480	556	1,531	310	235
7kHz	0	145	279	413	554	688	829	963	2,753	543	409
3kHz	0	261	512	762	1,020	1,270	1,527	1,778	3,568	1,008	758
2kHz	0	494	977	1,460	1,950	2,433	2,924	3,407	5,197	1,939	1,456
1kHz	0	960	1,908	2,857	3,812	4,761	5,717	6,665	8,455	3,801	2,853
422Hz	0	1,890	3,770	5,649	7,536	9,415	11,302	13,181	14,971	7,525	5,645
26Hz	0	29,818	59,624	89,431	119,245	149,052	178,866	208,672	234,899	119,234	89,427

データ・アキュイジション・システムの診断

バッテリー・モニタリング・データ・アキュイジション・システムは、マルチプレクサ、ADC、1番目のリファレンス、デジタル・フィルタ、およびメモリで構成されます。信頼性の高い性能を長期間確保するために、診断コマンドがいくつかあります。これらのコマンドを使用して、各回路が正常に動作していることを確認できます。

内部デバイス・パラメータの測定 (ADSTAT コマンド)

ADSTAT コマンドは、以下に示す内部デバイス・パラメータを測定する診断コマンドです。対象となるパラメータは、セ

ル合計測定値 (SC)、内部ダイ温度 (ITMP)、アナログ電源電圧 (VA)、およびデジタル電源電圧 (VD) です。これらのパラメータについて、以降のセクションで説明します。前述した8つの ADC モードは、全てこれらの変換で使用できます。ADSTAT コマンドのフォーマットについては、コマンドのセクションを参照してください。4つの内部デバイス・パラメータ全てを測定する ADSTAT コマンドのタイミングを図7に示します。

4つの内部パラメータ全てを測定する ADSTAT コマンドの変換時間を表9に示します。 t_{4C} は、ADSTAT コマンドの合計変換時間を表します。

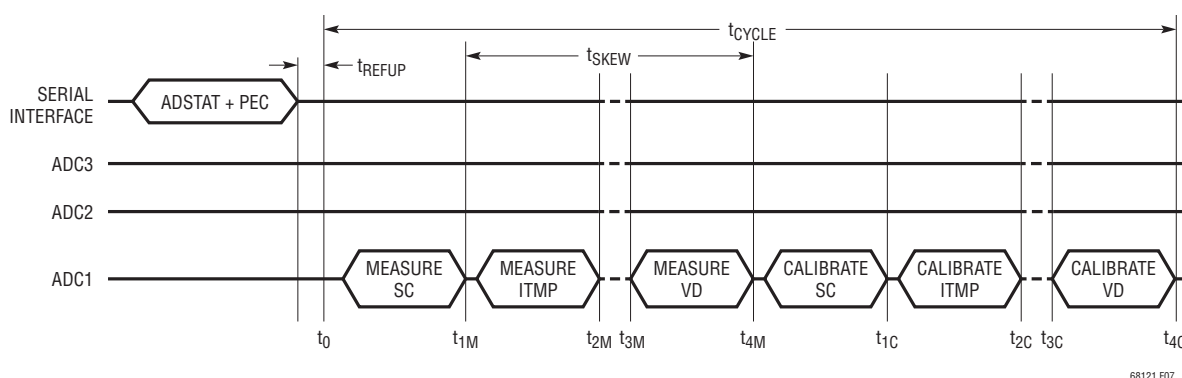


図 7. SC、ITMP、VA、VD を測定する ADSTAT コマンドのタイミング

68121 F07

動作

表 9. SC、ITMP、VA、VD を様々なモードで測定する ADSTAT コマンドの変換時間と同期時間

モード	変換時間 (μs)						同期時間 (μs)
	t ₀	t _{1M}	t _{2M}	t _{3M}	t _{4M}	t _{4C}	t _{SKEW}
27kHz	0	58	104	151	198	742	140
14kHz	0	87	163	238	314	858	227
7kHz	0	145	279	413	547	1,556	402
3kHz	0	261	512	762	1,012	2,022	751
2kHz	0	494	977	1,460	1,943	2,953	1,449
1kHz	0	960	1,908	2,857	3,805	4,814	2,845
422Hz	0	1,890	3,770	5,649	7,529	8,538	5,638
26Hz	0	29,818	59,624	89,431	119,238	134,211	89,420

セル合計測定値:セル合計測定値は、C15とC0の間の電圧を30:1に減衰させた値です。セル合計測定値(SC)の16ビットADCの値は、ステータス・レジスタ・グループAに格納されます。C0ピンとV-ピンの間に電位差があると、この差と等しい誤差がSCの値に生じます。SCの値から、全セルの電圧測定値の合計は次式により与えられます。

$$\text{Sum of All Cells} = \text{SC} \cdot 30 \cdot 100 \mu\text{V}$$

内部ダイ温度:ADSTAT コマンドは、内部ダイ温度の測定にも使用できます。ダイ温度測定値(ITMP)の16ビットADCの値は、ステータス・レジスタ・グループAに格納されます。ITMPから、実際のダイ温度は次式を使用して計算されます。

$$\text{Internal Die Temperature (}^{\circ}\text{C)} = \text{ITMP} \cdot \left(\frac{100 \mu\text{V}}{7.6\text{mV}} \right)^{\circ}\text{C} - 276^{\circ}\text{C}$$

電源測定値:ADSTAT コマンドは、アナログ電源(V_{REG})とデジタル電源(V_{REGD})の測定にも使用されます。アナログ電源電圧測定値(VA)の16ビットADCの値は、ステータス・レジスタ・グループAに格納されます。デジタル電源電圧測定値(VD)の16ビットADCの値は、ステータス・レジスタ・グループBに格納されます。VAとVDから、各電源の測定値は次の式によって得られます。

$$\text{Analog Power Supply Measurement (V}_{\text{REG}}) = \text{V}_A \cdot 100 \mu\text{V}$$
$$\text{Digital Power Supply Measurement (V}_{\text{REGD}}) = \text{V}_D \cdot 100 \mu\text{V}$$

V_{REG}の値は外付け部品によって決まります。精度を維持するため、V_{REG}は4.5V～5.5Vの範囲内にします。V_{REGD}の値は内部部品によって決まります。V_{REGD}の通常の範囲は2.7V～3.6Vです。

デジタル冗長化機能を使用した内部デバイス・パラメータの測定 (ADSTATD コマンド)

ADSTATD コマンドはADSTAT コマンドと同様に動作しますが、デジタル冗長化機能を使用して追加の診断を実行することだけが異なります。冗長化を有効にするには、ADSTATDの実行時に構成レジスタ・グループBのPS[1:0]を0または1に設定する必要があります。デジタル冗長化機能を使用したA/D変換のセクションを参照してください。

ADSTATとADSTATDの実行時間は同じです。

デジタル冗長化機能を使用したA/D変換

3つの内部ADCは、独自のデジタル積分マシンおよびデジタル微分マシンをそれぞれ搭載しています。また、LTC6812-1は、冗長化と誤り検査に使用される第4のデジタル積分マシンおよびデジタル微分マシンも搭載しています。

全てのADCコマンドおよびセルフ・テスト・コマンド(ADAXおよびADSTATを除く)は、デジタル冗長化と並行して実行できます。これに該当するのは、ADCV、ADOW、CVST、ADOL、ADAXD、AXOW、AXST、ADSTATD、STATST、ADCVAX、ADCVSCです。A/D変換を冗長化と同時に実行する場合、アナログ変調器はそのビット・ストリームを主要デジタル・マシンと冗長デジタル・マシンの両方に送信します。

動作

変換が終了すると、2つのマシンからの結果が比較されます。一致しなかった場合は、0xFF0X ($\geq 6.528\text{V}$) という値が結果レジスタに書き込まれます。この値はADCのクランプ範囲外であり、ホストはこれを障害の兆候として識別します。最後の4ビットは、結果値のどのニブルが一致しなかったを示すために使用されます。

結果	意味
0b1111_1111_0000_0XXX	ビット15～12には障害が検出されなかった
0b1111_1111_0000_1XXX	ビット15～12に障害が検出された
0b1111_1111_0000_X0XX	ビット11～8には障害が検出されなかった
0b1111_1111_0000_X1XX	ビット11～8に障害が検出された
0b1111_1111_0000_XX0X	ビット7～4には障害が検出されなかった
0b1111_1111_0000_XX1X	ビット7～4に障害が検出された
0b1111_1111_0000_XXX0	ビット3～0には障害が検出されなかった
0b1111_1111_0000_XXX1	ビット3～0に障害が検出された

存在する冗長デジタル・マシンは1つなので、冗長化を一度に適用できるADCは1つだけです。デフォルトでは、LTC6812-1はADC経路の冗長化を自動的に選択します。ただし、構成レジスタ・グループBのPS[1:0]ビットに書き込むことにより、ADCの冗長化経路を選択できます。

ADC経路の冗長化について可能性のある全ての選択肢を表10に示します。

構成レジスタ・グループBのFDRFビットに1を書き込むと、その後のA/D変換の間はデジタル冗長化の比較が機能しなくなります。

セル電圧とセル電圧合計の測定 (ADCVSC コマンド)

ADCVSC コマンドは、15個のセルの測定値をセル電圧合計の測定値と組み合わせます。このコマンドにより、個々のバッテリー・セル電圧測定値とセル電圧合計測定値の同期が簡単になります。ADCVSC コマンドのタイミングを図8に示します。ADCVSC コマンドのフォーマットについては、コマンドのセクションを参照してください。高速モードでのセル電圧測定値とセル電圧合計測定値の同期時間 (t_{SKEW4} および t_{SKEW5}) は、それぞれ $147\mu\text{s}$ および $101\mu\text{s}$ 以内です。

様々なモードでのADCVSCコマンドの変換時間と同期時間を表11に示します。このコマンドの合計変換時間は t_{6C} により与えられます。

表 10. ADC 経路の冗長化の選択

MEASURE	PS[1:0] = 00		PS[1:0] = 01		PS[1:0] = 10		PS[1:0] = 11	
	PATH SELECT	REDUNDANT MEASURE	PATH SELECT	REDUNDANT MEASURE	PATH SELECT	REDUNDANT MEASURE	PATH SELECT	REDUNDANT MEASURE
Cells 1, 6, 11	ADC1	Cell 1	ADC1	Cell 1	ADC2	Cell 6	ADC3	Cell 11
Cells 2, 7, 12	ADC2	Cell 7	ADC1	Cell 2	ADC2	Cell 7	ADC3	Cell 12
Cells 3, 8, 13	ADC3	Cell 13	ADC1	Cell 3	ADC2	Cell 8	ADC3	Cell 13
Cells 4, 9, 14	ADC1	Cell 4	ADC1	Cell 4	ADC2	Cell 9	ADC3	Cell 14
Cells 5, 10, 15	ADC2	Cell 10	ADC1	Cell 5	ADC2	Cell 10	ADC3	Cell 15
Cell 6 (ADOL)	ADC2	Cell 6	ADC1	Cell 6	ADC2	Cell 6	ADC3	N/A
Cell 11 (ADOL)	ADC2	Cell 11	ADC1	N/A	ADC2	Cell 11	ADC3	Cell 11
GPIO[n]*	ADC1	GPIO[n]	ADC1	GPIO[n]	ADC2	N/A	ADC3	N/A
2nd Reference*	ADC1	2nd Ref	ADC1	2nd Ref	ADC2	N/A	ADC3	N/A
SC*	ADC1	SC	ADC1	SC	ADC2	N/A	ADC3	N/A
ITMP*	ADC1	ITMP	ADC1	ITMP	ADC2	N/A	ADC3	N/A
VA*	ADC1	VA	ADC1	VA	ADC2	N/A	ADC3	N/A
VD*	ADC1	VD	ADC1	VD	ADC2	N/A	ADC3	N/A

*ADAX コマンドおよび ADSTAT コマンドは ADAXD コマンドおよび ADSTATD コマンドと同一ですが、ADAX と ADSTAT はデジタル冗長化機能を適用しません。

動作

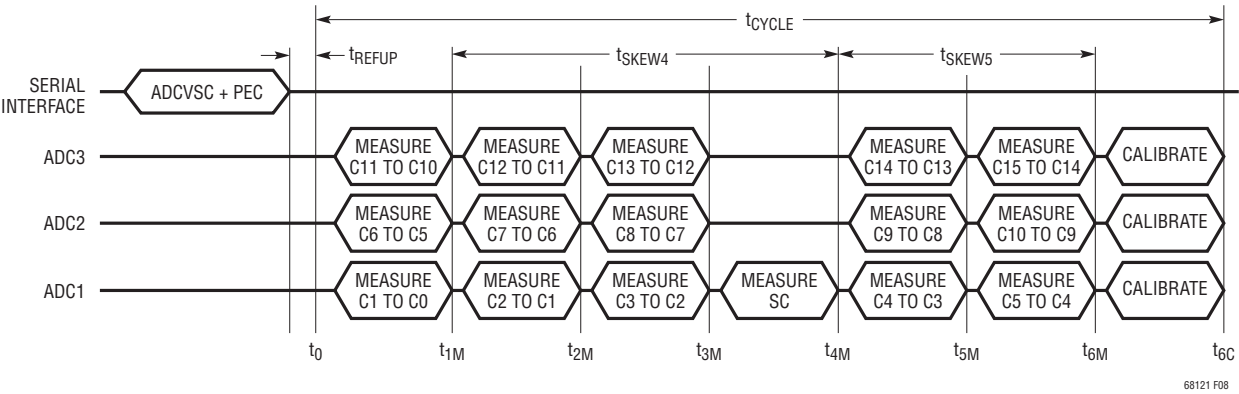


図8. 全15セル、SCを測定するADCVSCコマンドのタイミング

表11. 様々なモードでのADCVSCコマンドの変換時間と同期時間

モード	変換時間 (μs)								同期時間 (μs)	
	t ₀	t _{1M}	t _{2M}	t _{3M}	t _{4M}	t _{5M}	t _{6M}	t _{6C}	t _{SKWEW4}	t _{SKWEW5}
27kHz	0	58	104	151	205	259	306	1,147	147	101
14kHz	0	87	163	238	321	404	480	1,322	235	159
7kHz	0	145	279	413	554	695	829	2,369	409	275
3kHz	0	261	512	762	1,020	1,277	1,527	3,067	758	508
2kHz	0	494	977	1,460	1,950	2,441	2,924	4,463	1,456	973
1kHz	0	960	1,908	2,857	3,812	4,768	5,717	7,256	2,853	1,904
422Hz	0	1,890	3,770	5,649	7,536	9,423	11,302	12,842	5,645	3,766
26Hz	0	29,818	59,624	89,431	119,245	149,059	178,866	201,351	89,427	59,621

動作

セル電圧測定の重複 (ADOL コマンド)

ADOL コマンドは、まず ADC1 と ADC2 によってセル 6 を同時に測定します。次に、ADC2 と ADC3 によってセル 11 を同時に測定します。ホストは結果を互いに比較して、障害を示す可能性がある不整合を検出できます。ADC2 によるセル 6 の測定結果は、通常はセル 7 の結果が入っているセル電圧レジスタ・グループ C に置かれます。ADC1 による測定結果は、通常はセル 8 の結果が入っているセル電圧レジスタ・グループ C に置かれます。ADC3 によるセル 11 の測定結果は、通常はセル 13 の結果が入っているセル電圧レジスタ・グループ E に置かれます。ADC2 による測定結果は、通常はセル 14 の結果が入っているセル電圧レジスタ・グループ E に置かれます。ADOL コマンドのタイミングを図 9 に示します。ADOL コマンドのフォーマットについては、コマンドのセクションを参照してください。

ADOL コマンドの変換時間を表 12 に示します。 t_{2C} は、このコマンドの合計変換時間を表します。

精度チェック

データ・アキュイジション・システムの精度を確認する最良の方法は、独立した電圧リファレンスを測定することです。LTC6812-1 には、このために 2 番目のリファレンスが内蔵されています。ADAX コマンドは、この 2 番目のリファレンスの測定を開始します。測定結果は補助レジスタ・グループ B に置かれます。この結果の範囲は、ADC1 の測定精度と 2 番目のリファレンスの精度によって決まり、温度ヒステリシスと長時間ドリフトが含まれます。読出し値が 2.990V ~ 3.014V (LTC6812I では 2.992V ~ 3.012V) の範囲を外れる場合は、システムが規定の許容誤差から外れていることを示しています。ADC2 は、ADOL コマンドを使用して ADC1 と比較することによって検証します。ADC3 は、ADOL コマンドを使用して ADC2 と比較することによって検証します。

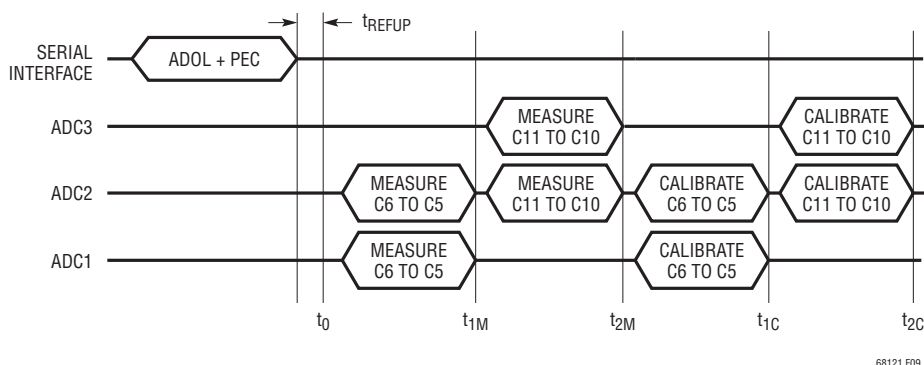


図 9. ADOL コマンドのタイミング

表 12. ADOL コマンドの変換時間

モード	変換時間 (μs)			
	t_0	t_{1M}	t_{2M}	t_{2C}
27kHz	0	58	106	384
14kHz	0	87	164	442
7kHz	0	146	281	791
3kHz	0	262	513	1,024
2kHz	0	495	979	1,490
1kHz	0	960	1,910	2,420
422Hz	0	1,891	3,772	4,282
26Hz	0	29,818	59,626	67,119

動作

MUXデコーダ・チェック

診断コマンドDIAGNによって、各マルチプレクサ・チャンネルが正しく動作していることを確認できます。このコマンドは全てのチャンネルを巡回検査して、チャンネル・デコーダが不合格になると、ステータス・レジスタ・グループBのMUXFAILビットを1に設定します。チャンネル・デコーダがテストに合格した場合、MUXFAILビットは0に設定されます。MUXFAILは、電源投入時(POR)またはCLRSTATコマンドの実行後にも1に設定されます。

コアがREFUPステートにある場合、DIAGNコマンドの実行には約400μsかかります。コアがSTANDBYステートにある場合、DIAGNコマンドの実行には約4.5msかかります。ポーリング方法のセクションに記載されたポーリング方法を使用して、DIAGNコマンドの完了を確認できます。

デジタル・フィルタ・チェック

デルタシグマ型ADCは、1ビット・パルス密度変調器とその後段に接続されたデジタル・フィルタで構成されています。アナログ入力電圧が高くなると、パルス密度変調ビット・スト

リームにおける1の比率(%)が大きくなります。デジタル・フィルタは、この高周波の1ビット・ストリームを1つの16ビット・ワードに変換します。デルタシグマ型ADCが、よくオーバーサンプリング・コンバータと呼ばれるのはこのためです。

デジタル・フィルタとメモリの動作は、セルフ・テスト・コマンドによって確認できます。セルフ・テスト中のADCの動作を図10に示します。1ビット・パルス密度変調器の出力は、1ビット・テスト信号に置き換えられます。このテスト信号はデジタル・フィルタを通過して16ビット値に変換されます。1ビットのテスト信号には、変調器からの通常の1ビット信号と同じデジタル変換が行われるので、セルフ・テスト・コマンドによる変換時間は通常のA/D変換コマンドによる変換時間とまったく同じです。16ビットADCの値は、対応する通常のA/D変換コマンドと同じレジスタ・グループに保存されます。テスト信号は、1と0が交互に現れるパターンをレジスタ内に置くように設計されています。セルフ・テスト・コマンドの一覧を表13に示します。デジタル・フィルタとメモリが正しく機能している場合は、表13に示す値がレジスタに格納されます。詳細については、コマンドのセクションを参照してください。

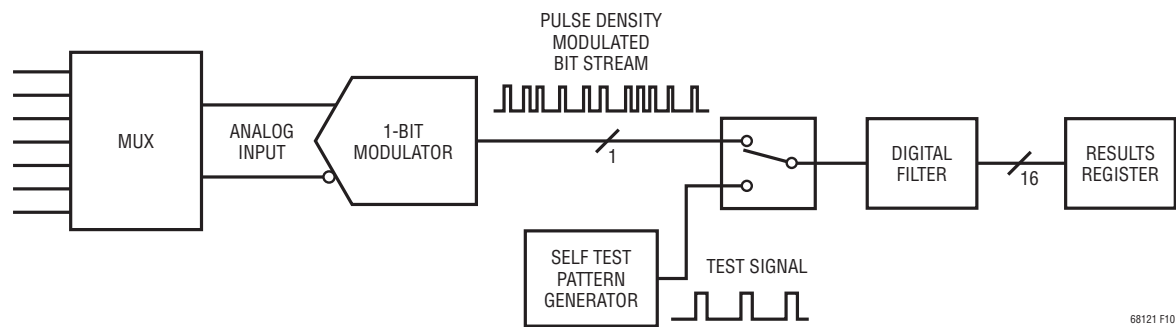


図10. LTC6812-1のADCセルフ・テストの動作

表13. セルフ・テスト・コマンドのまとめ

コマンド	セルフ・テストのオプション	各ADCモードでの出力パターン			結果レジスタ・グループ
		27kHz	14kHz	7kHz, 3kHz, 2kHz, 1kHz, 422Hz, 26Hz	
CVST	ST[1:0] = 01	0x9565	0x9553	0x9555	C1V to C15V (CVA, CVB, CVC, CVD, CVE)
	ST[1:0] = 10	0x6A9A	0x6AAC	0x6AAA	
AXST	ST[1:0] = 01	0x9565	0x9553	0x9555	G1V to G9V, REF (AUXA, AUXB, AUXC, AUXD)
	ST[1:0] = 10	0x6A9A	0x6AAC	0x6AAA	
STATST	ST[1:0] = 01	0x9565	0x9553	0x9555	SC, ITMP, VA, VD (STATA, STATB)
	ST[1:0] = 10	0x6A9A	0x6AAC	0x6AAA	

動作

ADC クリア・コマンド

LTC6812-1には、3つのADCクリア・コマンドCLRCELL、CLRAUX、およびCLRSTATがあります。これらのコマンドは、全てのA/D変換結果を保存しているレジスタをクリアします。

CLRCELLコマンドは、セル電圧レジスタ・グループA、B、C、D、Eをクリアします。これらのレジスタ内の全てのバイトは、CLRCELLコマンドによって0xFFに設定されます。

CLRAUXコマンドは、補助レジスタ・グループA、B、C、およびDをクリアします。これらのレジスタ内の全てのバイトは、グループDの最後の4つのレジスタを除き、CLRAUXコマンドによって0xFFに設定されます。

CLRSTATコマンドは、ステータス・レジスタ・グループBのREVビットとRSVDビットを除き、ステータス・レジスタ・グループAおよびBをクリアします。REVを読み出すと、デバイスのリビジョン・コードが返されます。RSVDビットは、常に0を読み出します。ステータス・レジスタ・グループBと補助レジスタ・グループDのOVフラグ、UVフラグ、MUXFAILビット、およびTHSDビットは、CLRSTATコマンドによって全て1に設定されます。RDSTATBコマンドの実行後、THSDビットは0に設定されます。SC、ITMP、VA、およびVDを格納するレジスタは、CLRSTATコマンドによって全て0xFFに設定されます。

断線チェック(ADOWコマンド)

ADOWコマンドは、LTC6812-1のADCと外部セルとの間に断線がないかを確認するために使用されます。このコマンドはADCVコマンドとまったく同様にCピン入力のA/D変換を行います。2つのCピンを測定するときに2つの内部電流源が2つのCピンにシンク電流またはソース電流を供給する点が異なります。ADOWコマンドのプルアップ(PUP)ビットにより、電流源が供給する100μAがシンク電流かソース電流かが決まります。

以下の簡単なアルゴリズムを使用して、19のCピンのいずれかに断線があるかどうかを確認できます。

1. PUP = 1を設定した15セルのコマンドADOWを少なくとも2回実行する。最後にセル1~15の電圧を1回読み出し、その結果をアレイCELL_{PU}(n)に保存する。
2. PUP = 0を設定した15セルのコマンドADOWを少なくとも2回実行する。最後にセル1~15の電圧を1回読み出し、その結果をアレイCELL_{PD}(n)に保存する。
3. セル2~15に対して上のステップで行ったプルアップ測定とプルダウン測定の差を取る。

$$CELL_{\Delta}(n) = CELL_{PU}(n) - CELL_{PD}(n)$$

4. 1から14までの全てのnの値に対して、次のように判定する。
 $CELL_{\Delta}(n+1) < -400mV$ の場合、C(n)が断線している。
 $CELL_{PU}(1) = 0.0000$ の場合、C(0)が断線している。
 $CELL_{PD}(15) = 0.0000$ の場合、C(15)が断線している。

上記のアルゴリズムは、断線箇所のLTC6812-1側に10nF程度の容量を残し、通常動作モードの変換を使用して断線を検出します。ただし、断線状態のCピンの外部容量がこれより大きい場合は、このアルゴリズムで断線状態を検出できるだけの十分な差を作り出す時間を100μA電流源に与えるために、ステップ1と2で実行する断線変換の時間を長くする必要があります。これを実現するには、ステップ1と2でADOWコマンドを3回以上実行するか、通常動作モード変換ではなくフィルタ・モード変換を使用します。必要な変換回数は、表14を使用して決定してください。

表 14

Cピンの 外部容量	ステップ1と2で必要なADOWコマンドの実行回数	
	通常動作モード	フィルタ・モード
≤10nF	2	2
100nF	10	2
1μF	100	2
C	1 + ROUNDUP (C/10nF)	2

補助断線チェック(AXOWコマンド)

AXOWコマンドは、LTC6812-1のGPIOピンと外部回路との間に断線がないかを確認するために使用されます。このコマンドはADAXコマンドとまったく同様にGPIOピン入力のA/D変換を行います。各GPIOピンを測定するときに内部電流源が各GPIOピンにシンク電流またはソース電流を供給する点が異なります。AXOWコマンドのプルアップ(PUP)ビットにより、電流源が供給する100μAがシンク電流かソース電流かが決まります。

サーマル・シャットダウン

LTC6812-1を過熱から保護するために、デバイスにはサーマル・シャットダウン回路が組み込まれています。ダイで検出された温度が約150°Cを超えると、サーマル・シャットダウン回路が作動して、構成レジスタ・グループと(PWM/Sコントロール・レジスタ・グループBのSコントロール・ビットを含む)Sコントロール・レジスタ・グループをデフォルト状態にリセットします。これによって、全ての放電スイッチがオフになります。サーマル・シャットダウンが発生すると、ステータス・レジスタ・グループBのTHSDビットがハイになります。また、CLRSTATコマンドが診断の目的でTHSDビットをハイに設定することもできます。このビットは、ステータス・レジスタ・グループBに対する読出し動作(RDSTATBコマンド)が実行されるとクリアされます。CLRSTATコマンドは、診断の目的

動作

でTHSDビットをハイに設定しますが、構成レジスタ・グループはリセットしません。

リビジョン・コード

ステータス・レジスタ・グループBには4ビットのリビジョン・コード(REV)が格納されています。ソフトウェアでデバイスのリビジョンを確認する必要がある場合、詳細に関しては弊社までお問い合わせください。それ以外の場合、コードは無視してかまいません。ただし、データ読出し時にパケット・エラー・コード(PEC)を計算するときは、いかなる場合でも全ビットの値を使う必要があります。

ウォッチドッグ・タイマーと放電タイマー

2秒以上有効なコマンドが確認されないと、ウォッチドッグ・タイマーが期限切れになります。これにより、いかなる場合でも、構成レジスタ・バイトCFGAR0~3と、構成レジスタ・グループBのGPIOビットがリセットされます。CFGAR4、CFGAR5、(PWM/Sコントロール・レジスタ・グループBのSコントロール・ビットを含む)Sコントロール・レジスタ・グループ

プ、および構成レジスタ・グループBの残りは、放電タイマーが無効になると、ウォッチドッグ・タイマーによってリセットされます。ウォッチドッグ時間が経過すると、WDTピンは外部プルアップによってハイになります。ウォッチドッグ・タイマーは常にイネーブル状態であり、一致コマンドPECが設定された有効なコマンドが実行されると、その都度リセットされます。

放電スイッチをオンのままにする時間をプログラマブルにするため、放電タイマーが使用されます。放電タイマーを使用している場合は、ウォッチドッグ・タイマーが作動しても放電スイッチはオフになりません。

放電タイマーをイネーブルするには、DTENピンをV_{REG}に接続します(図11)。この構成では、放電スイッチをオンのままにする時間を事前にプログラムできますが、その時間は、構成レジスタ・グループAに書き込まれたDCTOの値によって決まります。様々な時間の設定値と対応するDCTOの値を表15に示します。また、ウォッチドッグ・タイマー・イベントまたは放電タイマー・イベントが発生した後の構成レジスタ・グループの状態をまとめたものを表16に示します。

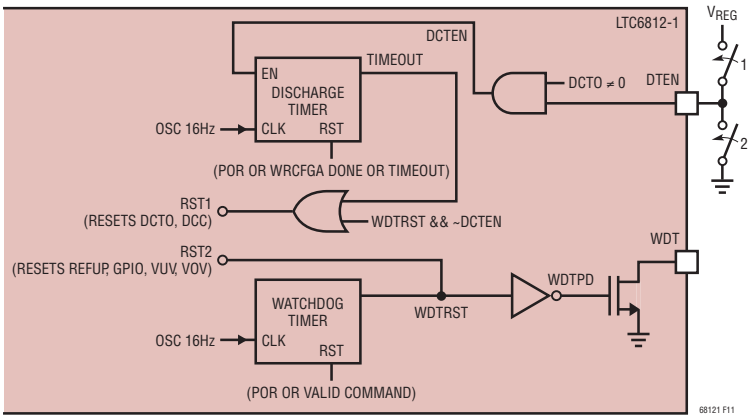


図 11. ウォッチドッグ・タイマーと放電タイマー

表 15. DCTO の設定

DCTO	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
時間(分)	Disabled	0.5	1	2	3	4	5	10	15	20	30	40	60	75	90	120

表 16

	ウォッチドッグ・タイマー	放電タイマー
DTEN = 0, DCTO = XXXX	Resets CFGAR0-5, CFGBR0-1 and SCTRL When It Fires	Disabled
DTEN = 1, DCTO = 0000	Resets CFGAR0-5, CFGBR0-1 and SCTRL When It Fires	Disabled
DTEN = 1, DCTO != 0000	Resets CFGAR0-3 and GPIO Bits in CFGBR0 When It Fires	Resets CFGAR4-5, SCTRL and Remainder of CFGBR0-1 When It Fires

動作

放電タイマーの状態を調べるには、RDCFGA コマンドを使用して、構成レジスタ・グループ A を読み出します。表 17 に示すように、DCTO の値は放電タイマーの期限が切れるまでの残り時間を示します。

表 17.

DCTO (読出し値)	残りの放電時間 (分)
0	Disabled (or) Timer Has Timed Out
1	$0 < \text{Timer} \leq 0.5$
2	$0.5 < \text{Timer} \leq 1$
3	$1 < \text{Timer} \leq 2$
4	$2 < \text{Timer} \leq 3$
5	$3 < \text{Timer} \leq 4$
6	$4 < \text{Timer} \leq 5$
7	$5 < \text{Timer} \leq 10$
8	$10 < \text{Timer} \leq 15$
9	$15 < \text{Timer} \leq 20$
A	$20 < \text{Timer} \leq 30$
B	$30 < \text{Timer} \leq 40$
C	$40 < \text{Timer} \leq 60$
D	$60 < \text{Timer} \leq 75$
E	$75 < \text{Timer} \leq 90$
F	$90 < \text{Timer} \leq 120$

ウォッチドッグ・タイマーとは異なり、放電タイマーは、有効なコマンドがあってもリセットされません。放電タイマーをリセットできるのは、有効な WRCFG A (構成レジスタ・グループ A の書込み) コマンドの後だけです。コマンドによっては、その途中で放電タイマーの期限が切れる可能性があります。

WRCFG A コマンドの途中で放電タイマーが作動すると、構成レジスタ・グループと (PWM/S コントロール・レジスタ・グループ B の S コントロール・ビットを含む) S コントロール・レジスタ・グループは、表 16 に従ってリセットします。ただし、有効な WRCFG A コマンドの終了時には、新しいデータが構成レジスタ・グループ A にコピーされます。放電タイマーが作動しても、新しい構成データが失われることはありません。

RDCFGA コマンドまたは RDCFG B コマンドの途中で放電タイマーが作動すると、構成レジスタ・グループは、表 16 に従ってリセットします。この結果、CFGAR4、CFGAR5、CFGBR0、CFGBR1 の各バイトからの読出しデータが壊れる可能性があります。RDSCTRL コマンドまたは RDPSB コマンドの途中で放電タイマーが作動すると、(PWM/S コントロール・レジスタ・グループ B の S コントロール・ビットを含む) S コントロール・レジスタ・グループは、表 16 に従ってリセットします。この結果、読出しデータが壊れる可能性があります。

セル・バランス調整に対応した S ピンのパルス幅変調

セルの放電を更に制御するため、ホストは S ピンを構成して、パルス幅変調を使用して動作できます。ウォッチドッグ・タイマーの期限が切れないうちは、構成レジスタ・グループの DCC ビットが S ピンを直接制御します。ウォッチドッグ・タイマーの期限が切れると、PWM 動作が始まり、選択された放電時間の残りまで続くか、ウェイクアップ・イベントが発生する (更にウォッチドッグ・タイマーがリセットされる) まで続きます。PWM 動作時は、DCC ビットを 1 に設定して、PWM 機能を動作させる必要があります。

いったん PWM 動作が始まると、表 18 に示すように、PWM レジスタでの構成によって S ピンの一部または全部が周期的にデアサートされ、目的のデューティ・サイクルを実現できます。各 PWM 信号は 30 秒周期で動作します。各サイクルでは、デューティ・サイクルを 0% から 100% まで $1/15 = 6.67\%$ (2 秒) 刻みでプログラムできます。

S ピンの各 PWM 信号を異なる間隔でシーケンス制御して、2 つのピンがオンまたはオフに同時に切り替わらないようにします。チャンネル間のスイッチング間隔は 62.5ms なので、15 ピン全部を切り替えるには、0.9375 秒 ($15 \cdot 62.5\text{ms}$) が必要です。

(PWM レジスタ・グループおよび PWM/S コントロール・レジスタ・グループ B にある) PWM 制御設定のデフォルト値は、全て 1 です。スリープ・モードに入ると、PWM 制御設定はデフォルト値に初期化されます。

動作

表 18. S ピンのパルス幅変調設定

DCCビット (構成レジスタ・グループ)	PWMCの設定	オン時間(秒)	オフ時間(秒)	デューティ・サイクル(%)
0	4'bXXXX	0	Continuously Off	0
1	4'b1111	Continuously On	0	100.0
1	4'b1110	28	2	93.3
1	4'b1101	26	4	86.7
1	4'b1100	24	6	80.0
1	4'b1011	22	8	73.3
1	4'b1010	20	10	66.7
1	4'b1001	18	12	60.0
1	4'b1000	16	14	53.3
1	4'b0111	14	16	46.7
1	4'b0110	12	18	40.0
1	4'b0101	10	20	33.3
1	4'b0100	8	22	26.7
1	4'b0011	6	24	20.0
1	4'b0010	4	26	13.3
1	4'b0001	2	28	6.7
1	4'b0000	0	Continuously Off	0

放電タイマー・モニタ

LTC6812-1は、放電タイマーが作動している間、セル電圧を周期的にモニタする機能を備えています。この機能を有効にするには、ホストが構成レジスタ・グループ B のDTMENビットに1を書き込む必要があります。

放電タイマー・モニタが有効になっていて、ウォッチドッグ・タイマーの期限が切れている場合、LTC6812-1は全てのセル電圧の変換を7kHz(通常動作)モードで30秒ごとに実行します。過電圧と低電圧の比較が実行され、セル電圧が閾値を超えるとフラグが設定されます。低電圧セルがある場合は、構成レジスタ・グループ A または構成レジスタ・グループ B の関連DCCビットを放電タイマー・モニタが自動的にクリアするので、セルはそれ以上放電されません。また、DCCビットをクリアすると、PWMの放電もデイスエーブルされます。この機能により、ホストは目的の放電レベルまでの低電圧閾値を書き込み、放電タイマー・モニタを使用して、全てのセルまたは選択したセルをそのレベルまで(一定の放電またはPWM放電により)放電できます。

放電タイマーのモニタ中は、セル電圧の測定時にデジタル冗長検査が実行されます。デジタル冗長性障害が発生すると、全てのDCCビットはクリアされます。

GPIOを使用するLTC6812-1のI²C/SPIマスタ

LTC6812-1のI/OポートGPIO3、GPIO4、GPIO5を、I²Cマスタ・ポートまたはSPIマスタ・ポートとして使用し、I²CスレーブまたはSPIスレーブと通信できます。I²Cマスタの場合は、GPIO4とGPIO5が、それぞれI²CインターフェースのSDAポートとSCLポートを形成します。SPIマスタの場合は、GPIO3、GPIO4、およびGPIO5が、それぞれSPIインターフェースのCSBMポート、SDIOMポート、およびSCKMポートになります。LTC6812-1のSPIマスタは、SPIモード3(CHPA = 1、CPOL = 1)をサポートします。

GPIOはオープンドレイン出力なので、I²CマスタまたはSPIマスタとして動作するには、これらのポートに外部プルアップが必要です。また、構成レジスタ・グループのGPIOビットに1を書き込んで、これらのポートがデバイスによって内部でローに引き下げられないようにすることも重要です。

動作

COMMレジスタ

LTC6812-1は、表19に示すように、6バイトのCOMMレジスタを備えています。このレジスタは、スレーブとのI²C通信またはSPI通信に必要な、全てのデータと制御ビットを格納します。COMMレジスタには、スレーブ・デバイスとの間で送受信される3バイトのデータDn[7:0]が格納されます。ICOMn[3:0]は、各データ・バイトを送受信する前の制御動作を指定します。FCOMn[3:0]は、各データ・バイトを送受信した後の制御動作を指定します。

COMMレジスタのICOMn[3]ビットを1に設定すると、デバイスはSPIマスタになります。また、このビットを0に設定すると、デバイスはI²Cマスタになります。

ICOMn[3:0]とFCOMn[3:0]に対して有効な書込みコードと、デバイスをI²Cマスタとして使用した場合のそれらの動作を表20に示します。

ICOMn[3:0]とFCOMn[3:0]に対して有効な書込みコードと、デバイスをSPIマスタとして使用した場合のそれらの動作を表21に示します。

ICOMn[3:0]とFCOMn[3:0]に対して有効なのは、表20および表21に示したコードのみであることに注意してください。表20および表21に記載されていない他のコードをICOMn[3:0]とFCOMn[3:0]に書き込むと、I²CポートまたはSPIポートで予期しない動作が発生する可能性があります。

表19. COMMレジスタのメモリ・マップ

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	D0[7]	D0[6]	D0[5]	D0[4]
COMM1	RD/WR	D0[3]	D0[2]	D0[1]	D0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	D1[7]	D1[6]	D1[5]	D1[4]
COMM3	RD/WR	D1[3]	D1[2]	D1[1]	D1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	D2[7]	D2[6]	D2[5]	D2[4]
COMM5	RD/WR	D2[3]	D2[2]	D2[1]	D2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]

表20. I²CマスタのICOMn[3:0]とFCOMn[3:0]の書込みコード

制御ビット	コード	動作	説明
ICOMn[3:0]	0110	START	I ² CポートでSTART信号を生成し、その後データを送信する
	0001	STOP	I ² CポートでSTOP信号を生成する
	0000	BLANK	すぐにI ² Cポートからのデータ送信に進む
	0111	No Transmit	SDAとSCLを解放し、残りのデータは無視する
FCOMn[3:0]	0000	Master ACK	マスタは9クロック・サイクル目にACK信号を生成する
	1000	Master NACK	マスタは9クロック・サイクル目にNACK信号を生成する
	1001	Master NACK + STOP	マスタはNACK信号を生成し、その後STOP信号を生成する

表21. SPIマスタのICOMn[3:0]とFCOMn[3:0]の書込みコード

制御ビット	コード	動作	説明
ICOMn[3:0]	1000	CSBM Low	SPIポート (GPIO3) でCSBMのロー信号を生成する
	1010	CSBM Falling Edge	CSBM (GPIO3) をハイにした後、ローにする
	1001	CSBM High	SPIポート (GPIO3) でCSBMのハイ信号を生成する
	1111	No Transmit	SPIポートを解放し、残りのデータは無視する
FCOMn[3:0]	X000	CSBM Low	バイト送信の終了時までCSBMをローに保持する
	1001	CSBM High	バイト送信の終了時にCSBMをハイにする

動作

COMM コマンド

次の3つのコマンドは、スレーブ・デバイスとのI²C通信またはSPI通信を遂行するのに役立ちます。3つのコマンドは、WRCOMM、STCOMM、およびRDCOMMです。

WRCOMM コマンド: このコマンドは、COMMレジスタへのデータ書込みに使用されます。このコマンドは、6バイトのデータをCOMMレジスタに書き込みます。データの最後にはPECを書き込む必要があります。PECが一致しない場合は、CSBがハイになった時点でCOMMレジスタ内の全てのデータがクリアされて1になります。書込みコマンド・フォーマットの詳細については、バス・プロトコルのセクションを参照してください。

STCOMM コマンド: このコマンドは、GPIOポート上のI²C/SPI通信を初期化します。COMMレジスタには、スレーブへ送信する3バイトのデータが格納されます。このコマンドの実行時には、COMMレジスタに格納されているデータ・バイトがスレーブのI²CデバイスまたはSPIデバイスに送信され、I²CデバイスまたはSPIデバイスから受信したデータがCOMMレジスタに格納されます。このコマンドは、I²C通信の場合、GPIO4 (SDA)とGPIO5 (SCL)を使用し、SPI通信の場合、GPIO3 (CSBM)、GPIO4 (SDIOM)、およびGPIO5 (SCKM)を使用します。

STCOMMコマンドの後には、CSBがローに保たれる間、1バイトのデータをスレーブ・デバイスへ送るごとに24個のクロック・サイクルが続きます。例えば、3バイトのデータをスレーブへ送信するには、STCOMMコマンドとそのPECを送信し、その後72個のクロック・サイクルが続きます。STCOMMコマンドの72個のクロック・サイクルの最後で、CSBをハイに引き上げます。

I²C通信またはSPI通信の間、スレーブ・デバイスから受信したデータはCOMMレジスタ内で更新されます。

RDCOMM コマンド: スレーブ・デバイスから受信したデータは、RDCOMMコマンドを使用してCOMMレジスタから読み出すことができます。このコマンドは、6バイトのデータとその後のPECを読み出します。読出しコマンド・フォーマットの詳細については、バス・プロトコルのセクションを参照してください。

デバイスをI²Cマスタとして使用した場合のICOMn[3:0]とFCOMn[3:0]に対する読出しコードを、表22に示します。Dn[7:0]には、I²Cスレーブが送信したデータ・バイトが格納されています。

表22. I²CマスタのICOMn[3:0]とFCOMn[3:0]の読出しコード

制御ビット	コード	説明
ICOMn[3:0]	0110	マスタはSTART信号を生成
	0001	マスタはSTOP信号を生成
	0000	BLANK、バイト間ではSDAをローに維持
	0111	BLANK、バイト間ではSDAをハイに維持
FCOMn[3:0]	0000	マスタはACK信号を生成
	0111	スレーブはACK信号を生成
	1111	スレーブはNACK信号を生成
	0001	スレーブはACK信号を生成、マスタはSTOP信号を生成
	1001	スレーブはNACK信号を生成、マスタはSTOP信号を生成

SPIマスタの場合、ICOMn[3:0]とFCOMn[3:0]の読出しコードは、それぞれ常に0111と1111です。Dn[7:0]には、SPIスレーブが送信したデータ・バイトが格納されています。

図12は、GPIOを使用した、I²CマスタまたはSPIマスタとしてのLTC6812-1の動作を示しています。

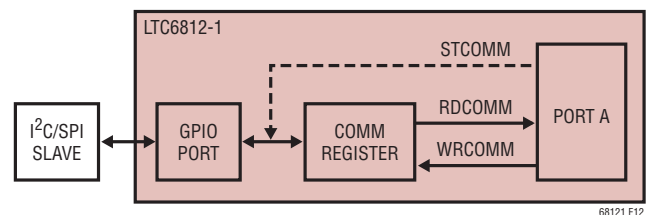


図12. GPIOを使用するLTC6812-1のI²C/SPIマスタ

これらのコマンドを使用すれば、3バイトずつに分けて任意の数のバイトをスレーブへ送信することができます。GPIOポートが、異なるSTCOMMコマンド間でリセットされることはありません。ただし、コマンド間の待機時間が2秒よりも長い場合は、ウォッチドッグ・タイマーがタイムアウトし、ポートをデフォルト値にリセットします。

I²Cマスタを使用して複数バイトのデータを送信する場合、START信号が必要なのは、データ・ストリーム全体の先頭だけです。また、STOP信号が必要なのもデータ・ストリームの最後だけです。全ての中間データ・グループでは、データ・バイトの前にBLANKコードを使用することができ、必要に応じてデータ・バイトの後にACK/NACK信号を使用することができます。SDAとSCLが、異なるSTCOMMコマンド間でリセットされることはありません。

動作

SPI マスタを使用して複数バイトのデータを送信する場合、1 番目のデータ・バイトの先頭で CSBM のロー信号を送信します。FCOMn[3:0] で適切なコードを使用して、中間データ・グループに対して、CSBM をローに保つかハイに引き上げることができます。データの最終バイトの最後で、CSBM のハイ信号を送信します。CSBM、SDIOM、および SCKM が、異なる STCOMM コマンド間でリセットされることはありません。

図 13 は、様々なケースの I²C マスタについて、STCOMM コマンドの後の 24 個のクロック・サイクルを示しています。ICOMn[3:0] が STOP 状態を規定している場合は、STOP 信号の送信後に SDA ラインと SCL ラインがハイに維持され、

ワードの残りのデータが全て無視されます。ICOMn[3:0] が NO TRANSMIT の場合は、SDA ラインと SCL ラインの両方が解放されて、ワードの残りのデータが無視されます。これは、スタック内の特定デバイスがスレーブと通信する必要のない場合に使用されます。

図 14 は、SPI マスタについて、STCOMM コマンドの後の 24 個のクロック・サイクルを示しています。I²C マスタと同様に、ICOMn[3:0] が CSBM HIGH または NO TRANSMIT 状態を指定した場合、SPI マスタの CSBM、SCKM、および SDIOM の各ラインが解放され、ワードの残りのデータが無視されます。

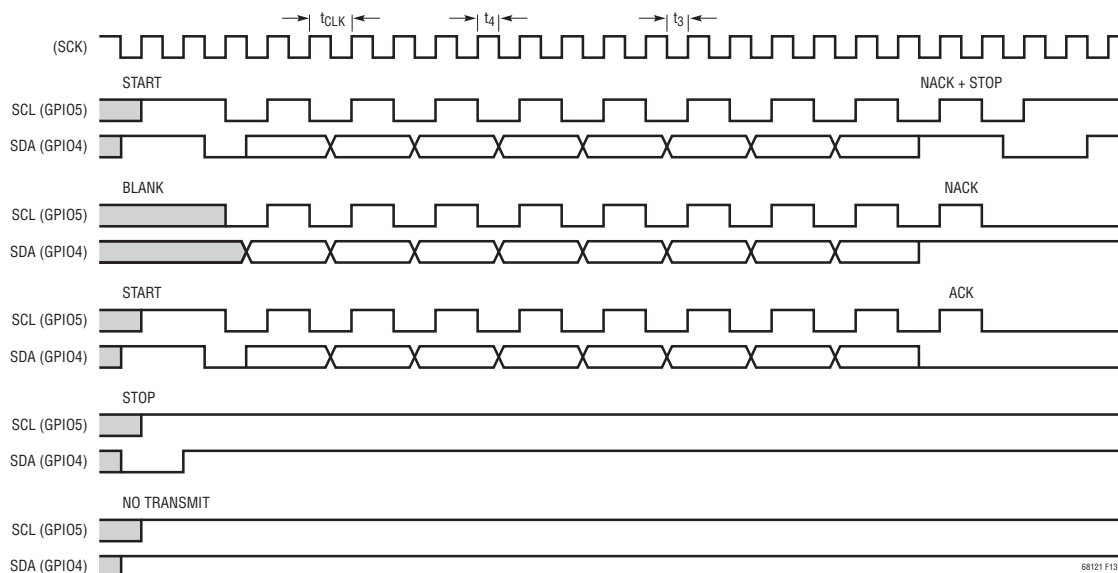


図 13. I²C マスタの STCOMM のタイミング図

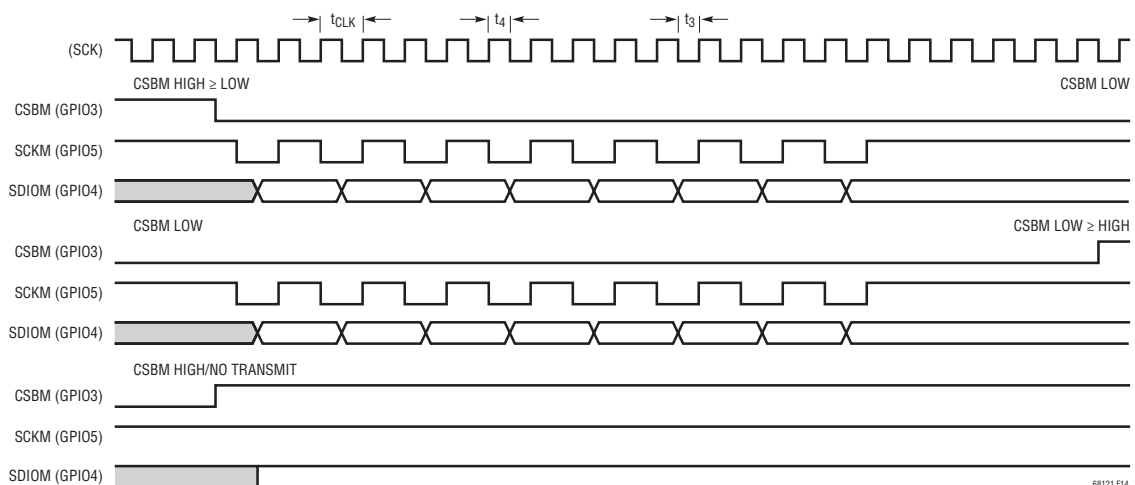


図 14. SPI マスタの STCOMM のタイミング図

動作

I²C マスタと SPI マスタのタイミング仕様

LTC6812-1 の I²C マスタまたは SPI マスタのタイミングは、LTC6812-1 のプライマリ SPI インターフェースでの通信のタイ

ミングによって制御されます。プライマリ SPI クロックに対する I²C マスタのタイミング関係を、表 23 に示します。SPI マスタのタイミング仕様を表 24 に示します。

表 23. I²C マスタのタイミング

I ² C マスタのパラメータ	プライマリ SPI インターフェースとの タイミング関係	t _{CLK} = 1 μs でのタイミング仕様
SCL Clock Frequency	1/(2 • t _{CLK})	Max 500kHz
t _{HD;STA}	t ₃	Min 200ns
t _{LOW}	t _{CLK}	Min 1 μs
t _{HIGH}	t _{CLK}	Min 1 μs
t _{SU;STA}	t _{CLK} + t ₄ *	Min 1.03 μs
t _{HD;DAT}	t ₄ *	Min 30ns
t _{SU;DAT}	t ₃	Min 200ns
t _{SU;STO}	t _{CLK} + t ₄ *	Min 1.03 μs
t _{BUF}	3 • t _{CLK}	Min 3 μs

* 注記 : isoSPI を使用する場合、t₄ は内部で生成され、最小値の 30ns になる。また、t₃ = t_{CLK} - t₄ である。SPI を使用する場合、t₃ と t₄ は、SCK 入力のパワーアップ時間とハイ時間であり、それぞれ既定最小値の 200ns になる。

表 24. SPI マスタのタイミング

SPI マスタのパラメータ	プライマリ SPI インターフェースとの タイミング関係	t _{CLK} = 1 μs でのタイミング仕様
SDIOM Valid to SCKM Rising Setup	t ₃	Min 200ns
SDIO Valid from SCKM Rising Hold	t _{CLK} + t ₄ *	Min 1.03 μs
SCKM Low	t _{CLK}	Min 1 μs
SCKM High	t _{CLK}	Min 1 μs
SCKM Period (SCKM_Low + SCKM_High)	2 • t _{CLK}	Min 2 μs
CSBM Pulse Width	3 • t _{CLK}	Min 3 μs
SCKM Rising to CSBM Rising	5 • t _{CLK} + t ₄ *	Min 5.03 μs
CSBM Falling to SCKM Falling	t ₃	Min 200ns
CSBM Falling to SCKM Rising	t _{CLK} + t ₃	Min 1.2 μs
SCKM Falling to SDIOM Valid	Master Requires < t _{CLK}	

* 注記 : isoSPI を使用する場合、t₄ は内部で生成され、最小値の 30ns になる。また、t₃ = t_{CLK} - t₄ である。SPI を使用する場合、t₃ と t₄ は、SCK 入力のパワーアップ時間とハイ時間であり、それぞれ既定最小値の 200ns になる。

動作

Sピンの制御設定を使用したSピンのパルス生成

LTC6812-1のSピンは、簡単なシリアル・インターフェースとして使用できます。これが特に役立つのは、アナログ・デバイスズのLT8584を制御するときです。このデバイスは、大型バッテリー・スタックのバランスを能動的に制御する目的で設計された、モノリシックのフライバックDC/DCコンバータです。LT8584には、シリアル・インターフェースを介して制御されるいくつかの動作モードがあります。LTC6812-1は、各Sピンの一連のパルスを送信することによってLT8584と通信して、LT8584の特定のモードを選択できます。(Sコントロール・レジスタ・グループおよびPWM/Sコントロール・レジスタ・グループBにある)Sピンの制御設定を使用して、15のSピンのそれぞれの動作を指定します。ここで、各ニブルは、Sピンをハイに駆動するか、ローに駆動するか、またはパルス数が1〜7のパルス・シーケンスを送信するかを指定します。LT8584に送信できるSピンの可能な動作を表25に示します。

Sピンのパルスが発生するパルス・レートは、6.44kHz (155 μ s 周期)です。パルス幅は77.6 μ s になります。Sピンのパルス生成が始まるのは、最後のコマンドのPECクロックの後に、STSCCTRL コマンドが送信されたときです。ただし、コマンドのPECが一致することが前提です。ホストは、パルス生成の

状態をポーリングするために、SCKにクロックを入力し続けることがあります。このポーリングはADCのポーリング機能と同様に機能します。データ出力は、Sピンのパルス・シーケンスが完了するまでロジック・ローのままです。

Sピンのパルス生成が進行している間、新たなSTSCCTRL、WRSCCTRL、またはWRPSB コマンドは無視されます。PLADC コマンドを使用すると、Sピンのパルス生成がいつ完了したかを調べることができます。

WRSCCTRL (またはWRPSB) コマンドとコマンドのPECを正常に受信したが、データのPECが一致しない場合、Sピンの制御設定はクリアされます。

構成レジスタ・グループAまたは構成レジスタ・グループBのDCCビットがアサートされると、LTC6812-1は、Sピンの制御設定に関係なく、選択されたSピンをローに駆動します。Sピンの制御設定を使用する場合、ホストはDCCビットを0に設定したままにする必要があります。

CLRSCTRL コマンドを使用してSピンの制御設定を全て0に迅速にリセットし、パルス生成マシンによってSピンの制御を解除できます。このコマンドは、オートモーティブ・アプリケーションで診断制御ループの時間を短縮するのに役立ちます。

表 25. Sピンのパルス生成動作

ニブルの値	Sピンの動作
0000	
0001	
0010	
0011	
0100	
0101	
0110	
0111	
1XXX	

動作

Sピンのミュート

SピンはMUTEコマンドを送信すればディスエーブルが可能であり、UNMUTEコマンドを送信すれば再イネーブルが可能です。MUTEコマンドとUNMUTEコマンドは後に続くデータが不要なので、多数のLTC6812-1デバイスを介して迅速に伝搬できます。これにより、ホストはレジスタの内容を乱すことなく、放電の無効化と再有効化を迅速に(<100 μ s)実行できます。このことは、例えばセル測定を実行する前に一定のセトリング時間を確保するのに便利です。ミュート・ステータスは、構成レジスタ・グループBの読出し専用MUTEビットで報告されます。

シリアル・インターフェースの概要

LTC6812-1には2種類のシリアル・ポートがあります。それは標準的な4線式シリアル・ペリフェラル・インターフェース(SPI)と2線絶縁型インターフェース(isoSPI)です。ピン53、54、61、62が2線シリアル・ポートと4線シリアル・ポートのどちらになるかは、ISOMDピンの状態によって決まります。

LTC6812-1はデジチェーン構成で使用されます。2番目のisoSPIインターフェースは、ピン57、58、63、および64を使用します。

4線式シリアル・ペリフェラル・インターフェース(SPI)の物理層

外部接続

ISOMDをV⁻に接続すると、シリアル・ポートAは4線式SPIとして設定されます。SDOピンはオープン・ドレイン出力で、プルアップ抵抗を介して適切な電源電圧に接続する必要があります(図15)。

タイミング

4線シリアル・ポートは、CPHA = 1およびCPOL = 1を使うSPIシステムで動作するように構成されています。したがってSDIのデータは、SCK立上がりエッジの間、安定している必要があります。このタイミングを図16に示します。最大データ・レートは1Mbpsですが、デバイスは規定の最大データ・レートでの動作を確保するために、量産時には1Mbpsより高いデータ・レートでテストされます。

2線絶縁型インターフェース(isoSPI)の物理層

2線インターフェースは、シンプルなツイスト・ペア・ケーブルを使用してLTC6812-1を相互接続します。このインターフェースは、配線が高いRF電界にさらされた場合でも、パケット・エラー率が低くなるように設計されています。絶縁は外付けのトランスを通じて実現されます。

標準SPI信号は差動パルスにエンコードされます。送信パルスの強度とレシーバーの閾値レベルは、2個の外付け抵抗によって設定されます。これらの抵抗の値を調整することによって、消費電力とノイズ耐性を天秤に掛けることができます。

図17は、isoSPI回路の動作を示しています。IBIASピンは2Vリファレンスによって駆動します。外付け抵抗R_{B1}およびR_{B2}によって、リファレンス電流I_Bが流れます。この電流は、トランスミッタのドライブ強度を設定します。また、R_{B1}とR_{B2}は分圧器を形成して、2Vリファレンスの数分の1の電圧をICMPピンに供給します。レシーバー回路の閾値は、ICMPピンの電圧の半分です。

外部接続

LTC6812-1は、ポートBとポートAという2つのシリアル・ポートを備えています。ポートBは、常に2線インターフェースとして構成されます。ポートAは、ISOMDピンの接続に応じて、2線インターフェースまたは4線インターフェースになります。

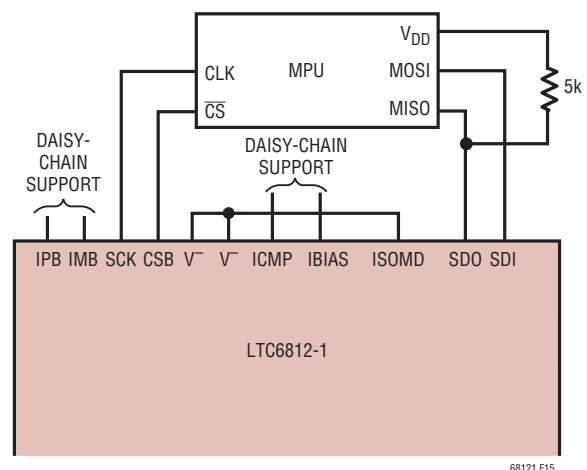


図15. 4線SPI構成

動作

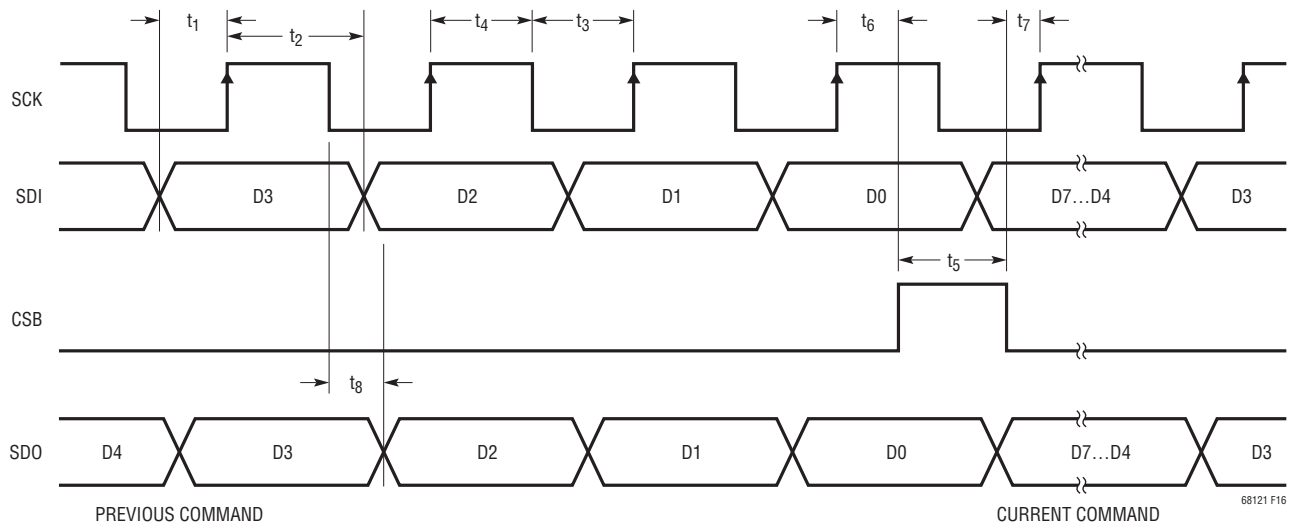


図 16. 4線シリアル・ペリフェラル・インターフェースのタイミング図

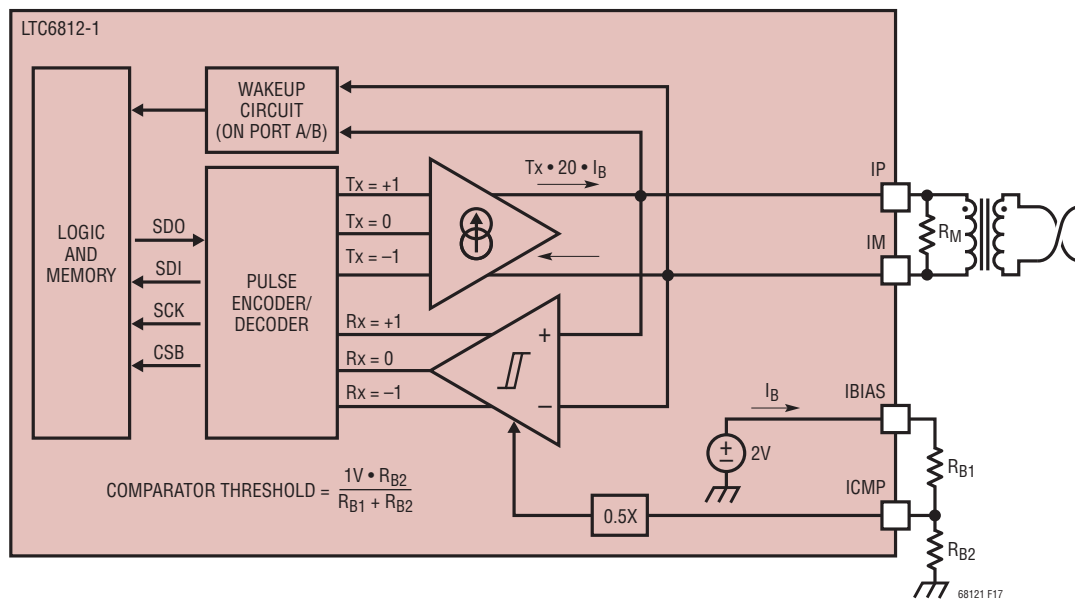


図 17. isoSPI インターフェース

動作

ポートAを4線インターフェースとして構成すると、ポートAは常にスレーブ・ポートになり、ポートBはマスタ・ポートになります。通信は、デジチェーン構成における先頭のデバイスのポートAで常に開始されます。デジチェーンの末尾のデバイスは、ポートBを使用せず、R_Mで終端する必要があります。マイクロプロセッサとLTC6812-1が同じPCB上にある場合の最も単純なポート接続を図18に示します。この図では、LTC6812-1間の信号を結合するのにコンデンサを使用しています。

ポートAを2線インターフェースとして構成した場合、通信はポートAとポートBのいずれで開始してもかまいません。通信をポートAで開始した場合、LTC6812-1はポートAをスレーブとして構成し、ポートBをマスタとして構成します。同様に、通信をポートBで開始した場合、LTC6812-1はポートBをスレーブとして構成し、ポートAをマスタとして構成します。可逆的なisoSPIの詳細については、可逆的なisoSPIのセクションを参照してください。

複数の同一PCBの堅牢な相互接続の例を図19に示します。各PCBにはLTC6812-1が1つずつ実装されており、デジチェーンでの動作に合わせて構成されています。マイクロプロセッサは別のPCB上に置かれています。マイクロプロセッサPCBと最初のLTC6812-1 PCB間の2線絶縁を実現するには、LTC6820サポート・デバイスを使用します。LTC6820は、図17に示す図と機能的に等価です。この例では、通信をポートAで開始しています。したがって、LTC6812-1はポートAをスレーブとして構成し、ポートBをマスタとして構成します。

単一の LTC6812-1 の使用

必要なLTC6812-1が1つだけの場合で、2番目のisoSPIポート(ポートB)のバイアスと終端が適切である場合は、図20および図21に示すように、単一の(非デジタイズチェーン接続)デバイスとして使用できます。ICMPはGNDに接続**しないでください**。ただし、IBIASには直接接続してかまいません。IBIASにはバイアス抵抗(2k~20k)が必要です。IBIASはV_{REG}にもV⁻にも直接接続**しないでください**。最後に、IPBとIMBは100Ωの抵抗に終端します(V_{REG}とV⁻には接続**しないでください**)。

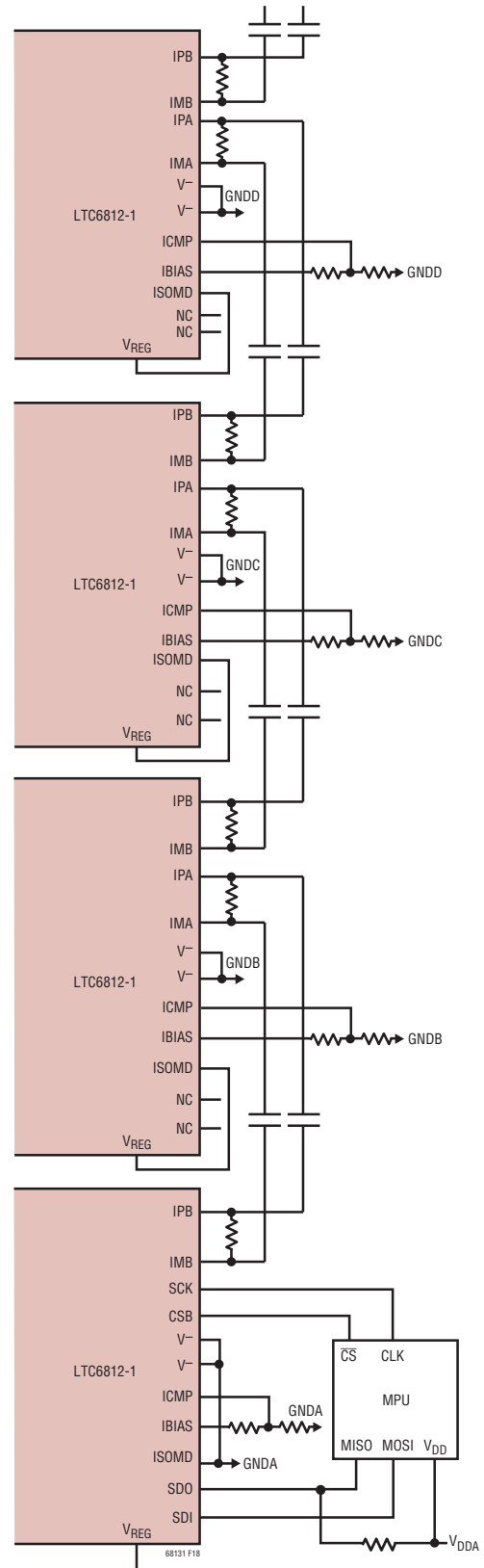


図18. 容量結合型デイジーチェーン構成

動作

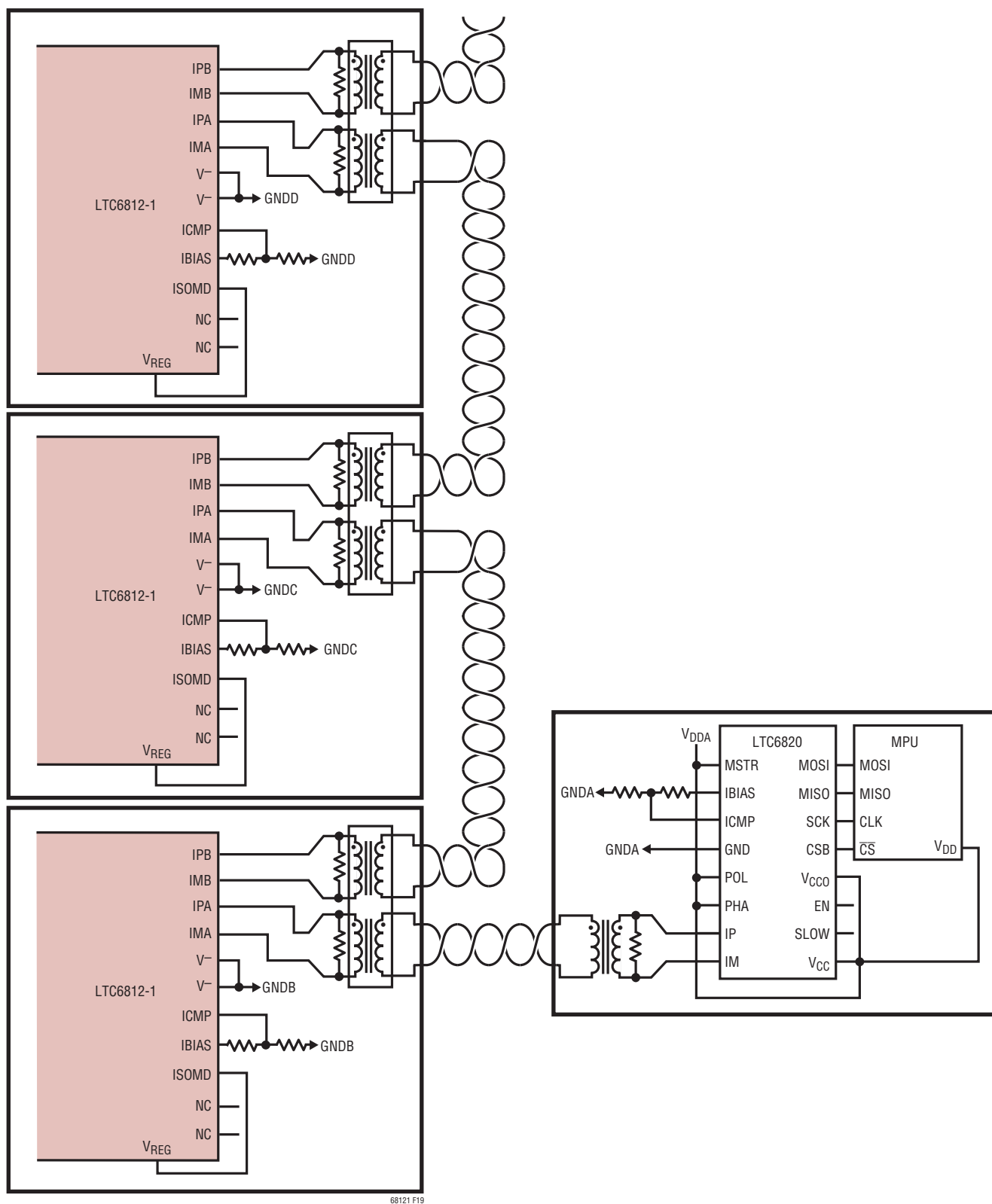


図 19. トランス絶縁型デジーチェーン構成

動作

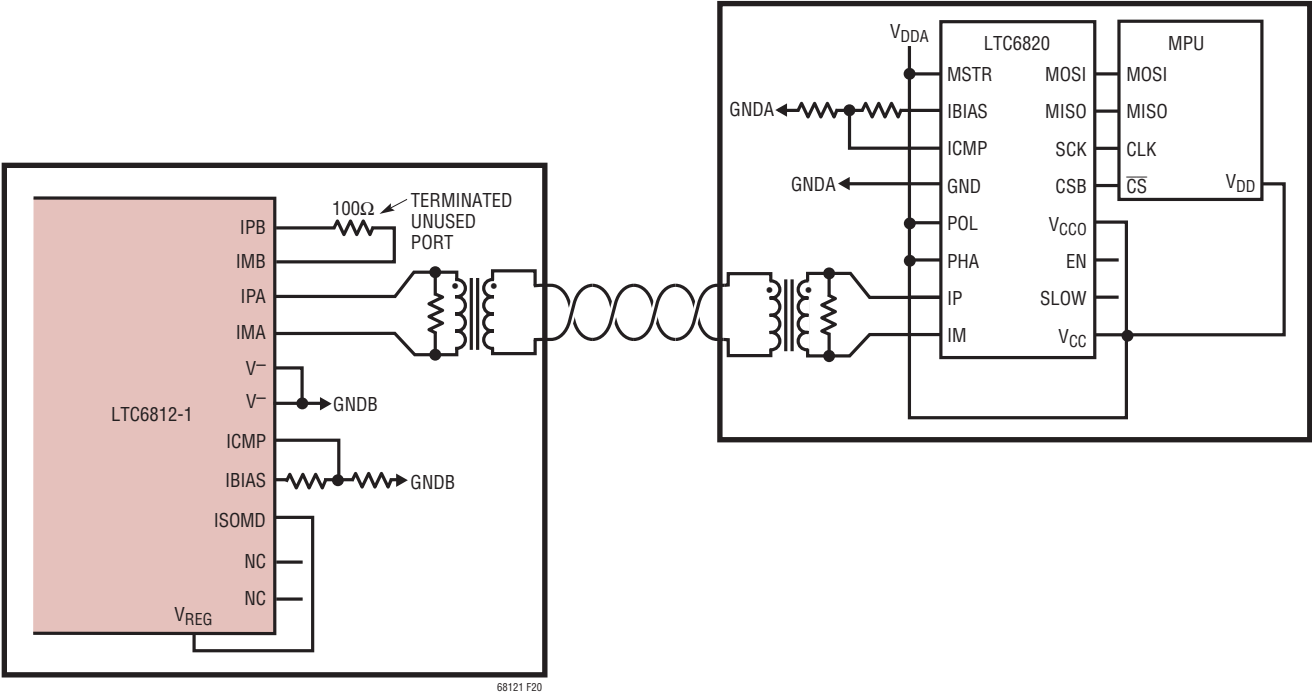


図 20.2 線式のポート A を使用する単一デバイス

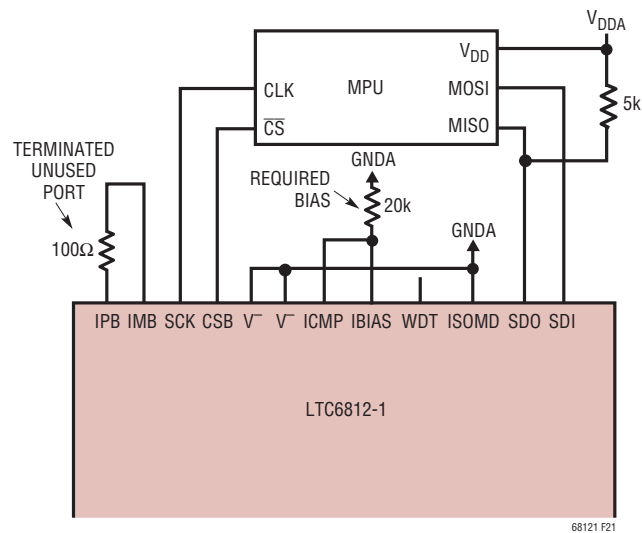


図 21.4 線式のポート A を使用する単一デバイス

動作

バイアス抵抗の選択

調整可能な信号の振幅により、システムは消費電力の見返りに通信の堅牢性を得られます。また、調整可能なコンパレータの閾値により、システムは信号損失を考慮に入れることができます。

isoSPIトランスミッタの駆動電流とコンパレータの電圧閾値は、IBIASとV⁻の間の抵抗分圧器(R_{BIAS} = R_{B1} + R_{B2})によって設定されます。分割された電圧はICMPピンに接続され、コンパレータの閾値がこの電圧(V_{ICMP})の半分に設定されます。いずれかのisoSPIインターフェースが(IDLEではなく)イネーブルされると、IBIASは2Vに維持されるため、電流I_BがIBIASピンから流れ出します。IPおよびIMピンの駆動電流は20・I_Bです。

例えば、分圧器の抵抗R_{B1}が2.8k、抵抗R_{B2}が1.21k(したがって、R_{BIAS} = 4k)の場合、次のようになります。

$$I_B = \frac{2V}{R_{B1} + R_{B2}} = 0.5\text{mA}$$

$$I_{DRV} = I_{IP} = I_{IM} = 20 \cdot I_B = 10\text{mA}$$

$$V_{ICMP} = 2V \cdot \frac{R_{B2}}{R_{B1} + R_{B2}} = I_B \cdot R_{B2} = 603\text{mV}$$

$$V_{TCMP} = 0.5 \cdot V_{ICMP} = 302\text{mV}$$

この例では、パルス駆動電流I_{DRV}は10mAになり、レシーバーのコンパレータは、IP-IM間の振幅が±302mVより大きいパルスを検出します。

絶縁障壁として1:1のトランスを使用し、ツイスト・ペア・ケーブルで接続されて両端が120Ωの抵抗で終端される場合、送信差動信号の振幅(±)は、次のようになります。

$$V_A = I_{DRV} \cdot \frac{R_M}{2} = 0.6V$$

(この結果は、トランスとケーブルの損失による振幅の減衰を無視しています)。

isoSPIパルスの詳細

2つのLTC6812-1 デバイスは、絶縁障壁を介して差動パルスを送受信することによって通信が可能です。トランスミッタが出力できるのは、3つの電圧レベル(+V_A、0V、および-V_A)です。正の出力は、負荷抵抗R_Mの両端のIPソース電流とIMシンク電流によって得られます。負の電圧は、IPシンク電流

とIMソース電流によって生成されます。両方の出力がオフである場合、負荷抵抗によって差動出力は強制的に0Vになります。

DC信号成分を除去して信頼性を向上させるために、isoSPIは2種類のパルス長を使用します。これにより、表26に示すように、4種類のパルスを送信できます。A+1パルスは正のパルスとして送信され、その次に負のパルスが送信されます。A-1パルスは負のパルスとして送信され、その次に正のパルスが送信されます。各パルスの期間は、必要な対称対の半分であるため、t_{1/2PW}として定義されます(isoSPIパルスの全持続時間は2・t_{1/2PW}です)。

表 26. isoSPIパルスの種類

パルスの種類	1番目のレベル (t _{1/2PW})	2番目のレベル (t _{1/2PW})	最終レベル
Long +1	+V _A (150ns)	-V _A (150ns)	0V
Long -1	-V _A (150ns)	+V _A (150ns)	0V
Short +1	+V _A (50ns)	-V _A (50ns)	0V
Short -1	-V _A (50ns)	+V _A (50ns)	0V

レシーバーはこれらの種類のisoSPIパルスをそれぞれ検出するように設計されています。正常に検出するには、入力isoSPIパルス(CSBまたはデータ)が以下の条件を満たす必要があります。

1. 入力パルスのt_{1/2PW} > レシーバーのt_{FILT}
2. 入力パルスのt_{INV} < レシーバーのt_{WNDW}

最初の条件にとって最も厳しいマージン(マージン1)は、入力パルスのt_{1/2PW}の最小値とレシーバーのt_{FILT}の最大値との差です。同様に、2番目の条件にとって最も厳しいマージン(マージン2)は、レシーバーのt_{WNDW}の最小値と入力パルスのt_{INV}の最大値との差です。これらのタイミングの関係を図22に示します。

ホスト・マイクロコントローラは、この2線インターフェースを使用するために、isoSPIパルスを生成する必要があります。システム内の1番目のLTC6812-1は、ポートA上の4線SPIインターフェースを使用してマイクロコントローラと通信し、次にポートB上の2線isoSPIインターフェースを使用して他のLTC6812-1とデジタイゼーション接続できます。あるいは、LTC6820を使用して、SPI信号をisoSPIパルスに変換できます。

動作

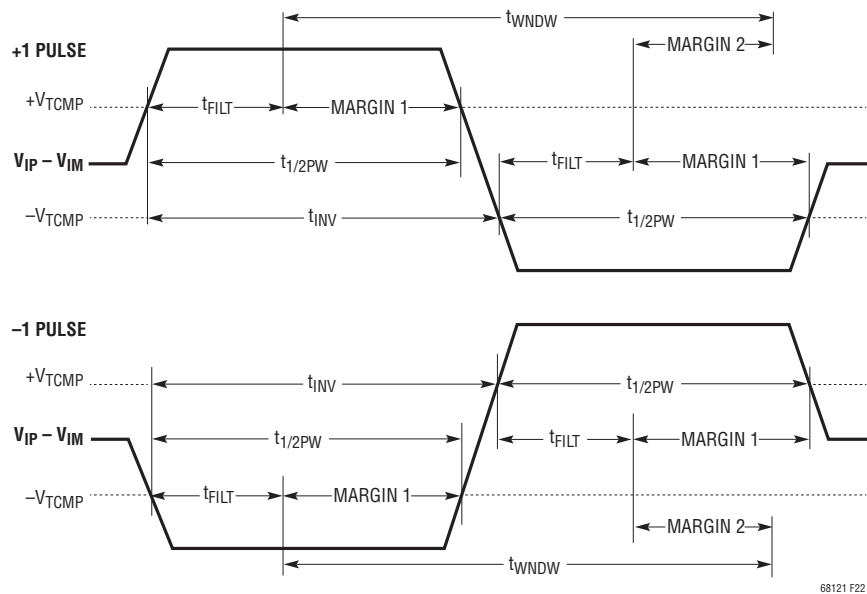


図 22. isoSPI パルスの詳細

ポート A を SPI に合わせて構成した場合の動作

LTC6812-1 がポート A を SPI として (ISOMD = V⁻) 動作する場合、SPI は 4 つの通信イベント (CSB の立下がり、CSB の立上がり、SDI = 0 での SCK の立上がり、および SDI = 1 での SCK の立上がり) のいずれか 1 つを検出します。各イベントは 4 種類のパルスのいずれかに変換され、デジタイゼーションを介して送信されます。表 27 で説明されているように、CSB の変化を送信する場合は長いパルスが使用され、データを送信する場合は短いパルスが使用されます。

表 27. ポート B (マスタ) isoSPI ポートの機能

通信イベント (ポート A SPI)	送信パルス (ポート B isoSPI)
CSB Rising	Long +1
CSB Falling	Long -1
SCK Rising Edge, SDI = 1	Short +1
SCK Rising Edge, SDI = 0	Short -1

ポート A を isoSPI に合わせて構成した場合の動作

絶縁障壁のもう一方の側 (つまり、ケーブルの他端) にある、2 番目の LTC6812-1 では、ポート A が isoSPI に合わせて構成されるように、ISOMD = V_{REG} になります。スレーブの isoSPI ポート (ポート A または B) は、送信された各パルスを受信して、表 28 に示すように内部で SPI 信号を再構築します。更に、このポートは、READ コマンドの実行時にリターン・データ・パルスを送信できます。

表 28. ポート A (スレーブ) isoSPI のポート機能

受信パルス (ポート A isoSPI)	SPI ポートの内部動作	リターン・パルス
Long +1	Drive CSB High	None
Long -1	Drive CSB Low	None
Short +1	1. Set SDI = 1 2. Pulse SCK	Short -1 Pulse if Reading a 0 Bit
Short -1	1. Set SDI = 0 2. Pulse SCK	No Return Pulse if not in READ Mode or if Reading a 1 Bit

スレーブの isoSPI ポートが長い (CSB) パルスを送信することはありません。その上、スレーブの isoSPI ポートは、短い -1 パルスのみを送信し、+1 パルスを送信しません。マスタ・ポートは、ヌル応答をロジック 1 として認識します。

可逆的な isoSPI

LTC6812-1 が、ポート A を isoSPI に合わせて構成して動作する場合、通信はポート A とポート B のいずれから開始してもかまいません。言い換えると、LTC6812-1 は、通信の方向に応じて、ポート A とポート B のどちらもスレーブまたはマスタとして構成できます。可逆的な isoSPI 機能により、一連のデジタイゼーション接続デバイスでは、両方向からの通信が可能です。回路図の例については、図 23 を参照してください。可逆的な isoSPI の動作を図 24 に示します。

動作

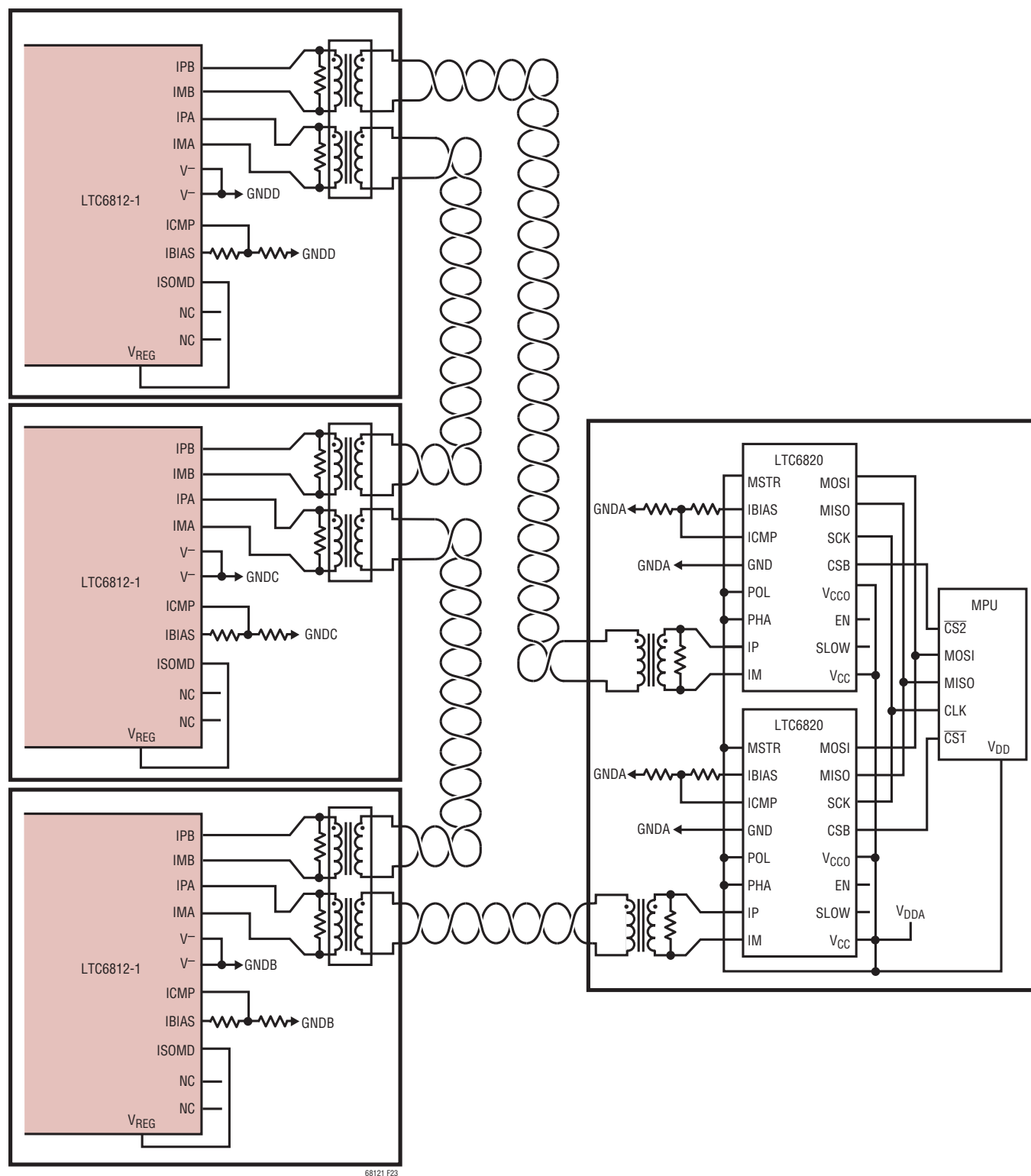


図 23. 可逆的な isoSPI のデージーチェーン

動作

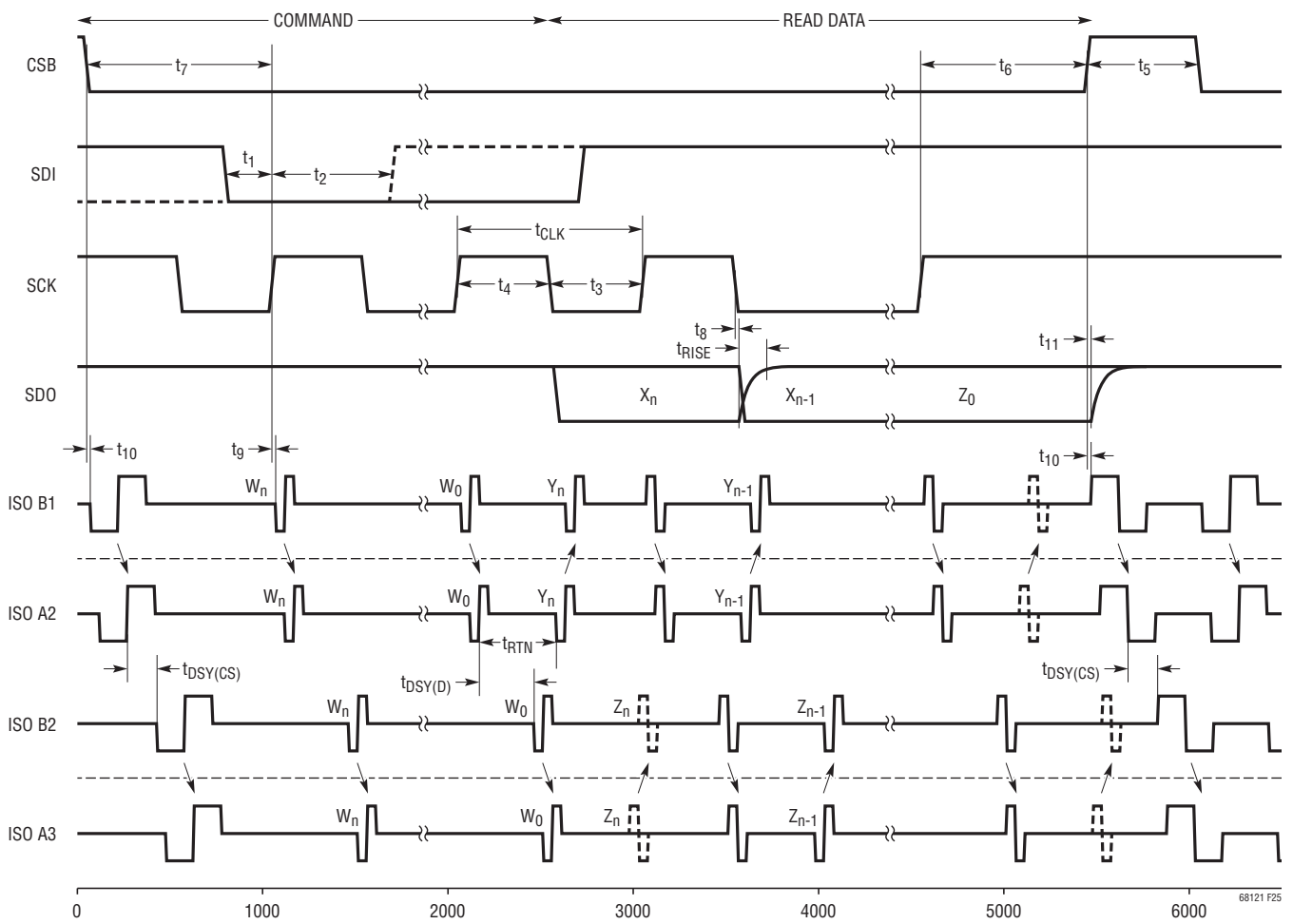


図 25. isoSPI のタイミング図

動作

$Z_N \sim Z_0$ は、デバイス3によってシフト出力されたデータを表します。これらのデータは全て、デバイス1のSDOポートからデジチェーン式に読み出されます。

シリアル・インターフェースのウェイクアップ

t_{IDLE} の時間内にポートAまたはポートBに動作がなかった場合、シリアル・ポート(SPIまたはisoSPI)は、低消費電力のIDLEステートに移行します。WAKEUP回路は、ピン61～64での動作をモニタします。

ISOMD = V^- の場合、ポートAはSPIモードになっています。CSBピンまたはSCKピンに動作があると、SPIインターフェースがウェイクアップします。ISOMD = V_{REG} の場合、ポートAはisoSPIモードになっています。IPA-IMA間(またはIPB-IMB間)に差動動作があると、isoSPIインターフェースがウェイクアップします。isoSPIの状態が、コアの状態に応じて t_{WAKE} または t_{READY} の時間内にREADYになると、LTC6812-1は通信できる状態になります(詳細については、図1およびステートの説明を参照)。

タイミングと機能的に等価な回路を図26に示します(ポートAのみ表示)。同相信号はシリアル・インターフェースをウェイクアップしません。このインターフェースは、大信号のシングルエンド・パルスまたは低振幅の対称パルスを受信した後にウェイクアップするよう設計されています。差動信号 $|SCK(IPA) - CSB(IMA)|$ は、シリアル・インターフェースを起動するWAKEUP信号として有効になるために、 $t_{DWELL} = 240ns$ の最小持続時間の間、 $V_{WAKE} = 200mV$ 以上である必要があります。

デジチェーンのウェイクアップ方法1

LTC6812-1は、通信できる状態になった後、ポートB上で長い+1パルスを送信します。デジチェーン接続構成では、このパルスがスタック内の次のデバイスをウェイクアップし、そのデバイスが更に次のデバイスをウェイクアップします。スタック内に「N」個のデバイスが存在する場合は、コアの状態に応じて、 $N \cdot t_{WAKE}$ または $N \cdot t_{READY}$ の時間内に全てのデバイスの電源が投入されます。大規模なスタックの場合、 $N \cdot t_{WAKE}$ の時間は、 t_{IDLE} 以上になることがあります。その場合、ホストは、 $N \cdot t_{WAKE}$ の時間よりも長く待機した後、別のダミー・バイトを送信し、全てのデバイスが確実にREADYステートになるために、 $N \cdot t_{READY}$ の間、待機することがあります。

方法1を使用できるのは、デジチェーン上にある全てのデバイスがIDLEステートである場合です。これにより、デバイスがWAKEUP信号をデジチェーンで伝搬することが確実になります。ただし、この方法では、チェーンの途中にあるデバイスがIDLEステートではなくREADYステートである場合、全てのデバイスをウェイクアップできません。そうなった場合、READYステートにあるデバイスはウェイクアップ・パルスを伝搬しないので、そのデバイスより上のデバイスはIDLEステートのままになります。この状況(IDLEになっているデバイスもあるが、そうでないデバイスもある状況)が起こる可能性があるのは、わずか t_{IDLE} のアイドル時間経過後にデジチェーンをウェイクアップしようとした場合です。

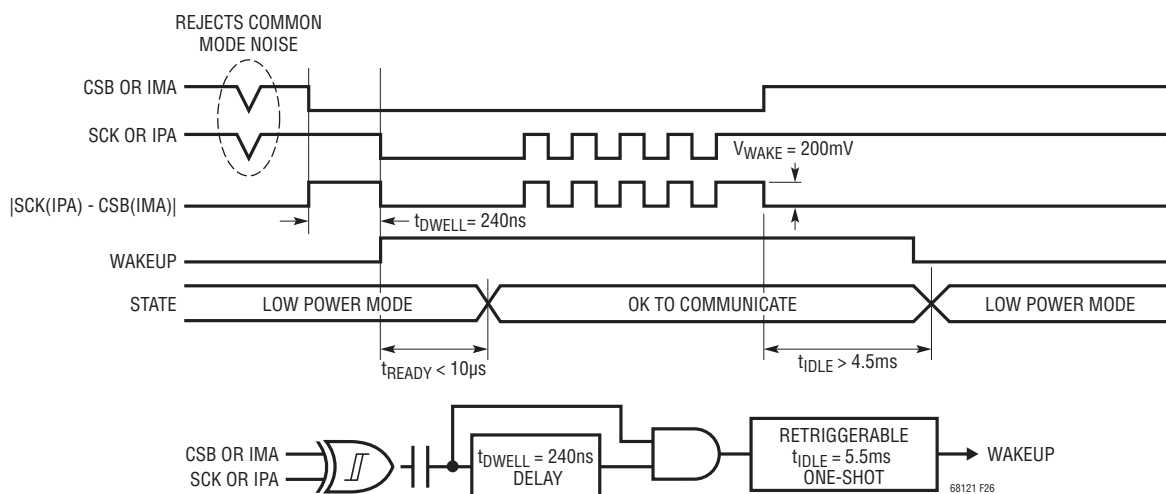


図26. ウェイクアップ検出とIDLEタイマー

動作

デジチェーンのウェイクアップ方法2

より堅牢なウェイクアップ方法は、組込みのウェイクアップ・パルスに依存せず、デジチェーン全体をウェイクアップするのに十分な時間をかけてisoSPIトラフィックを手動で送信することです。少なくとも、デバイスごとに一对の長いisoSPIパルス(-1および+1)が必要であり、t_{READY}またはt_{WAKE}(コア・ステートがそれぞれSTANDBYまたはSLEEPである場合)よりは長い、t_{IDLE}よりは短い時間で区切ることが必要です。これにより、各デバイスをウェイクアップして、次のパルスを後続のデバイスに伝搬することができます。この方法は、チェーン内の一部のデバイスがIDLEステートではない場合にも機能します。実際に、方法2を実行するには、CSBピン(LTC6812-1のCSBピン、またはISOMD = 0にした末尾のLTC6812-1のCSBピン)を切り替え、長いisoSPIパルスを生成することが必要です。代わりに、(RDCFGAなどの)ダミー・コマンドを実行して長いisoSPIパルスを生成することもできます。

データ・リンク層

LTC6812-1では、全てのデータがバイト・グループ単位で伝送されます。全てのバイトは、8ビットで構成されます。各バイトは、最上位ビット(MSB)を先頭にして送信されます。CSBは、コマンド・バイトとそれ以降のデータの間を含むコマンド・シーケンスの全期間にわたり、ローのままである必要があります。書込みコマンドでは、データは、CSBの立上がりエッジでラッチされます。

ネットワーク層

パケット・エラー・コード

パケット・エラー・コード(PEC)は、レジスタ・グループ内の全てのビットについて計算される15ビットの巡回冗長検査(CRC)値で、この計算はPECの初期値000000000010000と、特性多項式 $x^{15} + x^{14} + x^{10} + x^8 + x^7 + x^4 + x^3 + 1$ を使用して、渡された順番に行なわれます。15ビットのPEC値の計算には、簡単な手順を定めることができます。

1. PECを000000000010000に初期化する(PECは15ビットのレジスタ・グループ)。

2. PECレジスタ・グループに入る各ビットのDINを、次のように設定する。

```
IN0 = DIN XOR PEC[14]
IN3 = IN0 XOR PEC[2]
IN4 = IN0 XOR PEC[3]
IN7 = IN0 XOR PEC[6]
IN8 = IN0 XOR PEC[7]
IN10 = IN0 XOR PEC[9]
IN14 = IN0 XOR PEC[13]
```

3. 15ビットのPECを次のように更新する。

```
PEC[14] = IN14
PEC[13] = PEC[12]
PEC[12] = PEC[11]
PEC[11] = PEC[10]
PEC[10] = IN10
PEC[9] = PEC[8]
PEC[8] = IN8
PEC[7] = IN7
PEC[6] = PEC[5]
PEC[5] = PEC[4]
PEC[4] = IN4
PEC[3] = IN3
PEC[2] = PEC[1]
PEC[1] = PEC[0]
PEC[0] = IN0
```

4. 全データがシフトされるまで、ステップ2に戻る。最後のPEC(16ビット)はPECレジスタの15ビット値で、LSBに0ビットが追加される。

前述のアルゴリズムを図27に示します。16ビット・ワード(0x0001)に対するPEC計算の例を表29に示します。0x0001のPECを計算してLSBに0ビットを挿入すると、0x3D6Eとなります。より長いデータ・ストリームの場合は、PECレジスタへ送られる最終データ・ビットの終了時点でPECが有効になります。

LTC6812-1は、受け取ったどのコマンドまたはどのデータに対してもPECを計算し、それをコマンドまたはデータに続くPECと比較します。コマンドまたはデータは、PECが一致する場合にのみ有効と見なされます。また、LTC6812-1は、シフトアウトするデータの末尾に、計算されたPECを付加します。LTC6812-1に対する書込み時または読出し時のPECのフォーマットを表30に示します。

動作

いずれかのコマンドがLTC6812-1に書き込まれるときに、コマンド・バイトのCMD0とCMD1(表37と表38を参照)、およびPECバイトのPEC0とPEC1が、次の順序でポートAで送信されます。

CMD0、CMD1、PEC0、PEC1

デジチェーン接続されたLTC6812-1デバイスへの書き込みコマンドの実行後、データが各デバイスに送信され、その後PECが送信されます。例えば、構成レジスタ・グループAをデジチェーン接続された2つのデバイス(プライマリ・デバイスPとスタック構成デバイスS)に書き込む場合、プライマリ・デバイスのポートAに、次の順序でデータが送信されます。

CFGAR0(S)、…、CFGAR5(S)、PEC0(S)、PEC1(S)、
CFGAR0(P)、…、CFGAR5(P)、PEC0(P)、PEC1(P)

デジチェーン接続されたデバイスに対して読出しコマンドを実行すると、各デバイスは、データとそのデータに対して計算されたPECをポートAでシフト出力し、その後ポートBでデータを受信します。例えば、デジチェーン接続された2つのデバイス(プライマリ・デバイスPとスタック構成デバイスS)からステータス・レジスタ・グループBを読み出すときに、プライマリ・デバイスは、次の順序でポートAからデータを送信します。

STBR0(P)、…、STBR5(P)、PEC0(P)、PEC1(P)、
STBR0(S)、…、STBR5(S)、PEC0(S)、PEC1(S)

コマンドのフォーマットについては、バス・プロトコルを参照してください。

コマンド・バイトは、デジチェーン構成内の全てのデバイスが同時に受け取ります。例えば、スタック構成のデバイスでA/D変換を開始する場合は、1つのADCVコマンドを送ると、全デバイスが同時に変換を開始します。読出しと書き込みのコマンドでは、1つのコマンドが送られ、次いでスタック構成のデバイスが事実上カスケード接続されたシフト・レジスタになり、データが各デバイスを通して、スタック内の1つ上のデバイス(書き込み時)または1つ下のデバイス(読出し時)にシフトされます。シリアル・インターフェースの概要のセクションを参照してください。

ポーリング方法

A/D変換の完了を判断する最も簡単な方法は、コントローラにA/D変換を開始させ、指定の変換時間が経過するのを待つ結果を読み出すことです。

SPIモード(ISOMDピンをローに接続)で通信する単一のLTC6812-1を使用する場合は、2つのポーリング方法があります。最初の方法は、A/D変換コマンドの送信後にCSBを

ローに保持する方法です。変換コマンドの入力後、デバイスが変換実行によってビジー状態になっているときは、SDOラインがローに駆動されます。デバイスが変換を完了すると、SDOはハイになります。ただし、デバイスが変換を完了していても、CSBがハイになるとSDOはハイに戻ります(図28)。この方法に伴う問題は、A/D変換の完了を待っている間、コントローラが他のシリアル通信を自由に実行できないことです。

次の方法は、この制約を受けません。コントローラはADC開始コマンドを送って他のタスクを実行し、次にADCの状態をポーリングする(PLADC)コマンドを送って、A/D変換の状態を判断できます(図29)。PLADCコマンド入力後、デバイスが変換実行によってビジー状態になっている場合、SDOはローになります。変換が終了するとSDOはハイになります。ただし、CSBがハイになると、デバイスが変換を完了していてもSDOはハイになります。

isoSPIモードで通信する単一のLTC6812-1を使用する場合、ロー側のポートは、受信したマスタisoSPIパルスに応答する場合にのみデータ・パルスを送信します。したがって、上に述べたどちらかのポーリング方法でコマンドを入力した後は、isoSPIデータ・パルスがデバイスに送られて変換状態が更新されます。これらのパルスは、LTC6820を使用した場合は、そのSCKピンにクロックを入力するだけで送信できます。LTC6812-1はこのパルスに応答して、変換実行のため引き続きビジー状態にある場合はローのisoSPIパルスを返し、変換が完了している場合はハイのデータ・パルスを返します。CSBハイのisoSPIパルスがデバイスに送られると、デバイスはポーリング・コマンドを終了します。

N個のスタック・デバイスのデジチェーン構成では、同じ2つのポーリング方法を使用できます。末尾のデバイスがSPIモードで通信する場合、末尾のデバイスのSDOはスタック全体の変換ステータスを示します。つまり、スタック内にいる全てのデバイスが変換を完了するまで、SDOはローのままになります。最初のポーリング方法では、A/D変換コマンドが送信された後、CSBをローに維持している間に、SCKでクロック・パルスが送信されます。SDOのステータスが有効になるのは、SCKで最後のN個のクロック・パルスが到達した後です。先頭のN個のクロック・パルスの間、デジチェーンの末尾にあるLTC6812-1は0つまりローのデータ・パルスを出力します。N個のクロック・パルスの後、末尾のLTC6812-1からの出力データは、後続のクロック・パルスが到達するたびに更新されます(図30)。2番目のポーリング方法では、CSBをローに維持している間に、PLADCコマンドを送信して、その後クロック・パルスがSCKに到達します。最初の方法と同様に、SDOのステータスは、SCKにN個のクロッ

動作

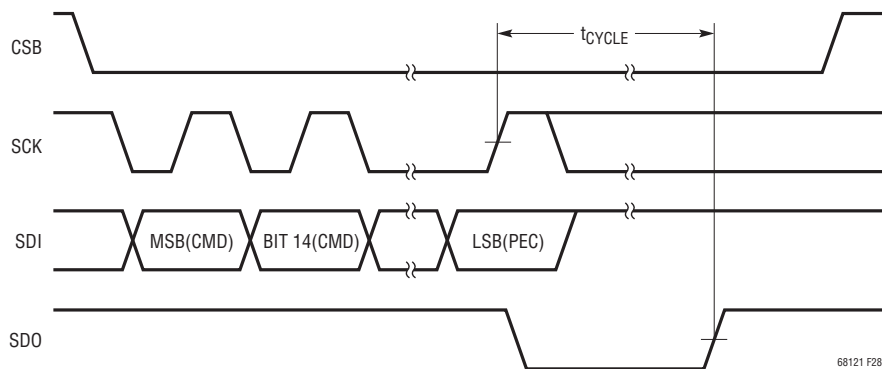


図 28. A/D 変換コマンド実行後の SDO のポーリング (単一の LTC6812-1)

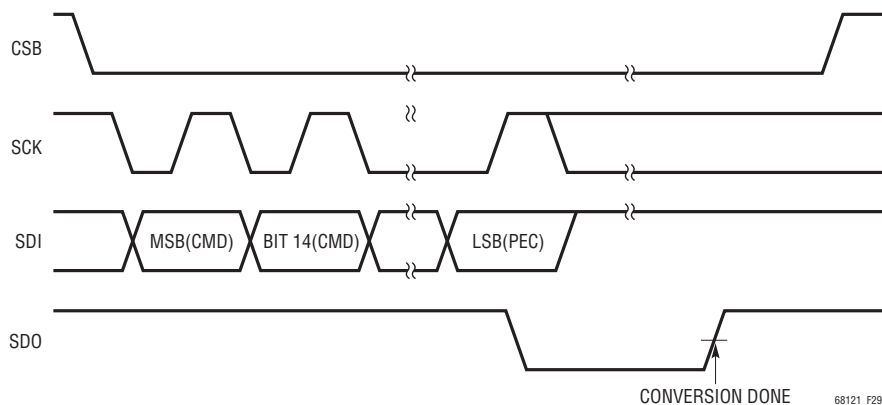


図 29. PLADC コマンドを使用した SDO のポーリング (単一の LTC6812-1)

動作

ク・パルスが到達して初めて有効になり、後続のクロック・サイクルのたびに更新されます(図31)。

末尾のデバイスがisoSPIモードで通信する場合は、isoSPIのデータ・パルスがデバイスに送られて変換状態が更新されます。LTC6820を使用した場合は、そのSCKピンにクロックを入力すればこの方法を実現できます。変換ステータスが有効になるのは、末尾のLTC6812-1デバイスがN個のisoSPI

データ・パルスを受信した後に限られており、このステータスはその後isoSPIデータ・パルスが到達するたびに更新されます。スタック内にあるいずれかのデバイスが変換によりビジー状態になっている場合、デバイスはローのデータ・パルスを返し、全てのデバイスが解放されている場合は、ハイのデータ・パルスを返します。

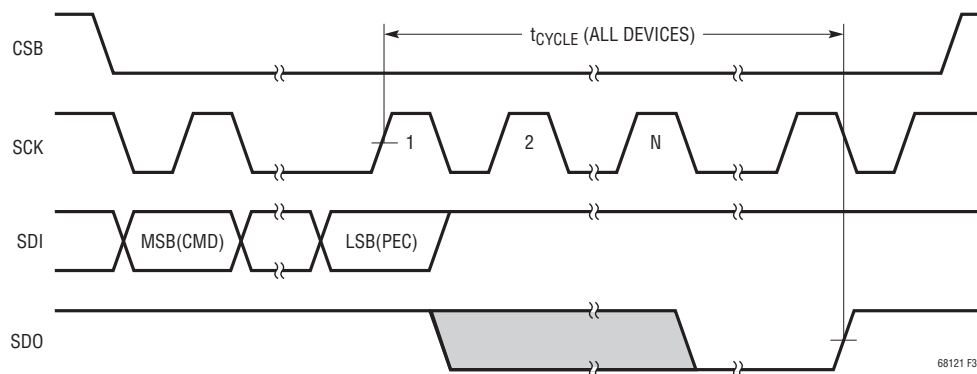


図30. A/D変換コマンド実行後のSDOのポーリング(デジチェーン構成)

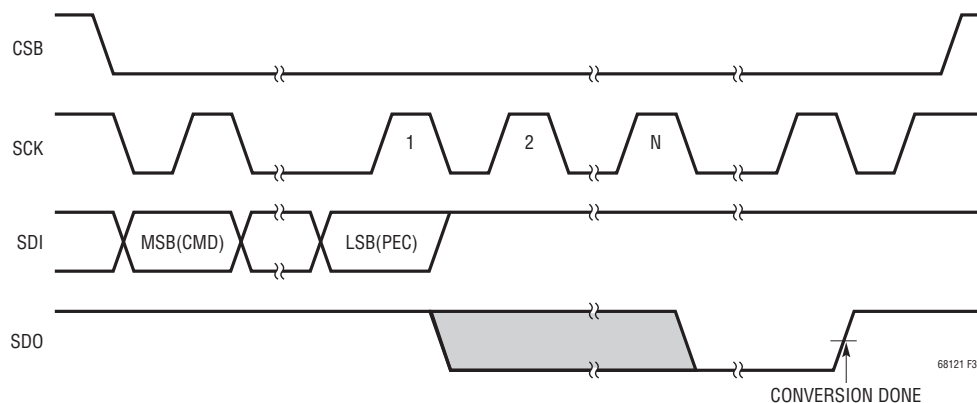


図31. PLADCコマンドを使用したSDOのポーリング(デジチェーン構成)

動作

バス・プロトコル

プロトコル・フォーマット: コマンドのプロトコル・フォーマットを表32～34に示します。表31はプロトコル図を読み取る鍵となります。

表 31. プロトコル・キー

CMD0	Command Byte 0 (See Table 35)
CMD1	Command Byte 1 (See Table 35)
PEC0	Packet Error Code Byte 0 (See Table 30)
PEC1	Packet Error Code Byte 1 (See Table 30)
<i>n</i>	Number of Bytes
...	Continuation of Protocol
	Master to Slave
	Slave to Master

表 32. ポーリング・コマンド

8	8	8	8	
CMD0	CMD1	PEC0	PEC1	Poll Data

表 33. 書き込みコマンド

8	8	8	8	8		8	8	8	8		8
CMD0	CMD1	PEC0	PEC1	Data Byte Low	...	Data Byte High	PEC0	PEC1	Shift Byte 1	...	Shift Byte <i>n</i>

表 34. 読み出しコマンド

8	8	8	8	8		8	8	8	8		8
CMD0	CMD1	PEC0	PEC1	Data Byte Low	...	Data Byte High	PEC0	PEC1	Shift Byte 1	...	Shift Byte <i>n</i>

コマンド・フォーマット: コマンドのフォーマットを表35に示します。CC[10:0]は11ビットのコマンド・コードです。全てのコマンド・コードの一覧を表36に示します。コマンドの値は、CMD0[7]からCMD0[3]までは全て0です。PECは16ビットのコマンド (CMD0およびCMD1)全体を対象に計算する必要があります。

表 35. コマンド・フォーマット

名前	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CMD0	WR	0	0	0	0	0	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

動作

コマンド

全てのコマンドとそのオプションを表36に示します。

表 36. コマンド・コード

コマンドの説明	名前	CC[10:0] – コマンド・コード										
		10	9	8	7	6	5	4	3	2	1	0
Write Configuration Register Group A	WRCFGA	0	0	0	0	0	0	0	0	0	0	1
Write Configuration Register Group B	WRCFGB	0	0	0	0	0	1	0	0	1	0	0
Read Configuration Register Group A	RDCFGA	0	0	0	0	0	0	0	0	0	1	0
Read Configuration Register Group B	RDCFGB	0	0	0	0	0	1	0	0	1	1	0
Read Cell Voltage Register Group A	RDCVA	0	0	0	0	0	0	0	0	1	0	0
Read Cell Voltage Register Group B	RDCVB	0	0	0	0	0	0	0	0	1	1	0
Read Cell Voltage Register Group C	RDCVC	0	0	0	0	0	0	0	1	0	0	0
Read Cell Voltage Register Group D	RDCVD	0	0	0	0	0	0	0	1	0	1	0
Read Cell Voltage Register Group E	RDCVE	0	0	0	0	0	0	0	1	0	0	1
Read Auxiliary Register Group A	RDAUXA	0	0	0	0	0	0	0	1	1	0	0
Read Auxiliary Register Group B	RDAUXB	0	0	0	0	0	0	0	1	1	1	0
Read Auxiliary Register Group C	RDAUXC	0	0	0	0	0	0	0	1	1	0	1
Read Auxiliary Register Group D	RDAUXD	0	0	0	0	0	0	0	1	1	1	1
Read Status Register Group A	RDSTATA	0	0	0	0	0	0	1	0	0	0	0
Read Status Register Group B	RDSTATB	0	0	0	0	0	0	1	0	0	1	0
Write S Control Register Group	WRCTRL	0	0	0	0	0	0	1	0	1	0	0
Write PWM Register Group	WRPWM	0	0	0	0	0	1	0	0	0	0	0
Write PWM/S Control Register Group B	WRPSB	0	0	0	0	0	0	1	1	1	0	0
Read S Control Register Group	RDSCTRL	0	0	0	0	0	0	1	0	1	1	0
Read PWM Register Group	RDPWM	0	0	0	0	0	1	0	0	0	1	0
Read PWM/S Control Register Group B	RDPSB	0	0	0	0	0	0	1	1	1	1	0
Start S Control Pulsing and Poll Status	STCTRL	0	0	0	0	0	0	1	1	0	0	1
Clear S Control Register Group	CLRCTRL	0	0	0	0	0	0	1	1	0	0	0

動作

コマンドの説明	名前	CC[10:0] – コマンド・コード										
		10	9	8	7	6	5	4	3	2	1	0
Start Cell Voltage ADC Conversion and Poll Status	ADCV	0	1	MD[1]	MD[0]	1	1	DCP	0	CH[2]	CH[1]	CH[0]
Start Open Wire ADC Conversion and Poll Status	ADOW	0	1	MD[1]	MD[0]	PUP	1	DCP	1	CH[2]	CH[1]	CH[0]
Start Self Test Cell Voltage Conversion and Poll Status	CVST	0	1	MD[1]	MD[0]	ST[1]	ST[0]	0	0	1	1	1
Start Overlap Measurements of Cell 6 and Cell 11 Voltages	ADOL	0	1	MD[1]	MD[0]	0	0	DCP	0	0	0	1
Start GPIOs ADC Conversion and Poll Status	ADAX	1	0	MD[1]	MD[0]	1	1	0	0	CHG[2]	CHG[1]	CHG[0]
Start GPIOs ADC Conversion with Digital Redundancy and Poll Status	ADAXD	1	0	MD[1]	MD[0]	0	0	0	0	CHG[2]	CHG[1]	CHG[0]
Start GPIOs Open Wire ADC Conversion and Poll Status	AXOW	1	0	MD[1]	MD[0]	PUP	0	1	0	CHG[2]	CHG[1]	CHG[0]
Start Self Test GPIOs Conversion and Poll Status	AXST	1	0	MD[1]	MD[0]	ST[1]	ST[0]	0	0	1	1	1
Start Status Group ADC Conversion and Poll Status	ADSTAT	1	0	MD[1]	MD[0]	1	1	0	1	CHST[2]	CHST[1]	CHST[0]
Start Status Group ADC Conversion with Digital Redundancy and Poll Status	ADSTATD	1	0	MD[1]	MD[0]	0	0	0	1	CHST[2]	CHST[1]	CHST[0]
Start Self Test Status Group Conversion and Poll Status	STATST	1	0	MD[1]	MD[0]	ST[1]	ST[0]	0	1	1	1	1
Start Combined Cell Voltage and GPIO1, GPIO2 Conversion and Poll Status	ADCVAX	1	0	MD[1]	MD[0]	1	1	DCP	1	1	1	1
Start Combined Cell Voltage and SC Conversion and Poll Status	ADCVSC	1	0	MD[1]	MD[0]	1	1	DCP	0	1	1	1
Clear Cell Voltage Register Groups	CLRCELL	1	1	1	0	0	0	1	0	0	0	1
Clear Auxiliary Register Groups	CLRAUX	1	1	1	0	0	0	1	0	0	1	0
Clear Status Register Groups	CLRSTAT	1	1	1	0	0	0	1	0	0	1	1
Poll ADC Conversion Status	PLADC	1	1	1	0	0	0	1	0	1	0	0
Diagnose MUX and Poll Status	DIAGN	1	1	1	0	0	0	1	0	1	0	1
Write COMM Register Group	WRCOMM	1	1	1	0	0	1	0	0	0	0	1
Read COMM Register Group	RDCOMM	1	1	1	0	0	1	0	0	0	1	0
Start I ² C/SPI Communication	STCOMM	1	1	1	0	0	1	0	0	0	1	1
Mute Discharge	MUTE	0	0	0	0	0	1	0	1	0	0	0
Unmute Discharge	UNMUTE	0	0	0	0	0	1	0	1	0	0	1

動作

表 37. コマンド・ビットの説明

名前	説明	値									
MD[1:0]	ADC Mode	MD	ADCOPT(CFGAR0[0]) = 0				ADCOPT(CFGAR0[0]) = 1				
		00	422Hz Mode				1kHz Mode				
		01	27kHz Mode (Fast)				14kHz Mode				
		10	7kHz Mode (Normal)				3kHz Mode				
		11	26Hz Mode (Filtered)				2kHz Mode				
DCP	Discharge Permitted	DCP									
		0	Discharge Not Permitted								
		1	Discharge Permitted								
CH[2:0]	Cell Selection for ADC Conversion			Total Conversion Time in the 8 ADC Modes							
		CH		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz
		000	All Cells	1.1ms	1.3ms	2.3ms	3.0ms	4.4ms	7.2ms	12.8ms	201ms
		001	Cells 1, 6, 11	203 μs	232 μs	407 μs	523 μs	756 μs	1.2ms	2.2ms	34ms
		010	Cells 2, 7, 12								
		011	Cells 3, 8, 13								
		100	Cells 4, 9, 14								
101	Cells 5, 10, 15										
PUP	Pull-Up/Pull-Down Current for Open Wire Conversions	PUP									
		0	Pull-Down Current								
		1	Pull-Up Current								
ST[1:0]	Self Test Mode Selection			Self Test Conversion Result							
		ST		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz
		01	Self Test 1	0x9565	0x9553	0x9555	0x9555	0x9555	0x9555	0x9555	0x9555
		10	Self test 2	0x6A9A	0x6AAC	0x6AAA	0x6AAA	0x6AAA	0x6AAA	0x6AAA	0x6AAA
CHG[2:0]	GPIO Selection for ADC Conversion			Total Conversion Time in the 8 ADC Modes							
		CHG		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz
		000	GPIO 1–5, 2nd Reference, GPIO 6–9	1.8ms	2.1ms	3.9ms	5.0ms	7.4ms	12.0ms	21.3ms	335ms
		001	GPIO 1 and GPIO 6	380 μs	439 μs	788 μs	1.0ms	1.5ms	2.4ms	4.3ms	67.1ms
		010	GPIO 2 and GPIO 7								
		011	GPIO 3 and GPIO 8								
		100	GPIO 4 and GPIO 9	200 μs	229 μs	403 μs	520 μs	753 μs	1.2ms	2.1ms	34ms
		101	GPIO 5								
110	2nd Reference										
CHST[2:0]*	Status Group Selection			Total Conversion Time in the 8 ADC Modes							
		CHST		27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz
		000	SC, ITMP, VA, VD	742 μs	858 μs	1.6ms	2.0ms	3.0ms	4.8ms	8.5ms	134ms
		001	SC	200 μs	229 μs	403 μs	520 μs	753 μs	1.2ms	2.1ms	34ms
		010	ITMP								
		011	VA								
		100	VD								

*注記: ADSTAT コマンドの CHST に有効なオプションは0~4です。ADSTAT コマンドで CHST を 5/6 に設定すると、LTC6812-1 はこのコマンドを無視します。

動作

メモリ・マップ

表 38. 構成レジスタ・グループ A

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CFGAR0	RD/WR	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	REFON	DTEN	ADCOPT
CFGAR1	RD/WR	VUV[7]	VUV[6]	VUV[5]	VUV[4]	VUV[3]	VUV[2]	VUV[1]	VUV[0]
CFGAR2	RD/WR	VOV[3]	VOV[2]	VOV[1]	VOV[0]	VUV[11]	VUV[10]	VUV[9]	VUV[8]
CFGAR3	RD/WR	VOV[11]	VOV[10]	VOV[9]	VOV[8]	VOV[7]	VOV[6]	VOV[5]	VOV[4]
CFGAR4	RD/WR	DCC8	DCC7	DCC6	DCC5	DCC4	DCC3	DCC2	DCC1
CFGAR5	RD/WR	DCT0[3]	DCT0[2]	DCT0[1]	DCT0[0]	DCC12	DCC11	DCC10	DCC9

表 39. 構成レジスタ・グループ B

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CFGBR0	RD/WR	RSVD	DCC15	DCC14	DCC13	GPIO9	GPIO8	GPIO7	GPIO6
CFGBR1	RD/WR	MUTE	FDRF	PS[1]	PS[0]	DTMEN	DCC0	RSVD	RSVD
CFGBR2	RD/WR	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0
CFGBR3	RD/WR	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0
CFGBR4	RD/WR	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0
CFGBR5	RD/WR	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0	RSVD0

表 40. セル電圧レジスタ・グループ A

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVAR0	RD	C1V[7]	C1V[6]	C1V[5]	C1V[4]	C1V[3]	C1V[2]	C1V[1]	C1V[0]
CVAR1	RD	C1V[15]	C1V[14]	C1V[13]	C1V[12]	C1V[11]	C1V[10]	C1V[9]	C1V[8]
CVAR2	RD	C2V[7]	C2V[6]	C2V[5]	C2V[4]	C2V[3]	C2V[2]	C2V[1]	C2V[0]
CVAR3	RD	C2V[15]	C2V[14]	C2V[13]	C2V[12]	C2V[11]	C2V[10]	C2V[9]	C2V[8]
CVAR4	RD	C3V[7]	C3V[6]	C3V[5]	C3V[4]	C3V[3]	C3V[2]	C3V[1]	C3V[0]
CVAR5	RD	C3V[15]	C3V[14]	C3V[13]	C3V[12]	C3V[11]	C3V[10]	C3V[9]	C3V[8]

表 41. セル電圧レジスタ・グループ B

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVBR0	RD	C4V[7]	C4V[6]	C4V[5]	C4V[4]	C4V[3]	C4V[2]	C4V[1]	C4V[0]
CVBR1	RD	C4V[15]	C4V[14]	C4V[13]	C4V[12]	C4V[11]	C4V[10]	C4V[9]	C4V[8]
CVBR2	RD	C5V[7]	C5V[6]	C5V[5]	C5V[4]	C5V[3]	C5V[2]	C5V[1]	C5V[0]
CVBR3	RD	C5V[15]	C5V[14]	C5V[13]	C5V[12]	C5V[11]	C5V[10]	C5V[9]	C5V[8]
CVBR4	RD	C6V[7]	C6V[6]	C6V[5]	C6V[4]	C6V[3]	C6V[2]	C6V[1]	C6V[0]
CVBR5	RD	C6V[15]	C6V[14]	C6V[13]	C6V[12]	C6V[11]	C6V[10]	C6V[9]	C6V[8]

動作

表 42. セル電圧レジスタ・グループ C

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVCR0*	RD	C7V[7]*	C7V[6]*	C7V[5]*	C7V[4]*	C7V[3]*	C7V[2]*	C7V[1]*	C7V[0]*
CVCR1*	RD	C7V[15]*	C7V[14]*	C7V[13]*	C7V[12]*	C7V[11]*	C7V[10]*	C7V[9]*	C7V[8]*
CVCR2**	RD	C8V[7]**	C8V[6]**	C8V[5]**	C8V[4]**	C8V[3]**	C8V[2]**	C8V[1]**	C8V[0]**
CVCR3**	RD	C8V[15]**	C8V[14]**	C8V[13]**	C8V[12]**	C8V[11]**	C8V[10]**	C8V[9]**	C8V[8]**
CVCR4	RD	C9V[7]	C9V[6]	C9V[5]	C9V[4]	C9V[3]	C9V[2]	C9V[1]	C9V[0]
CVCR5	RD	C9V[15]	C9V[14]	C9V[13]	C9V[12]	C9V[11]	C9V[10]	C9V[9]	C9V[8]

*ADOL コマンドの実行後、セル電圧レジスタ・グループ C の CVCR0 および CVCR1 には、ADC2 によるセル 6 の測定結果が格納されます。

**ADOL コマンドの実行後、セル電圧レジスタ・グループ C の CVCR2 および CVCR3 には、ADC1 によるセル 6 の測定結果が格納されます。

表 43. セル電圧レジスタ・グループ D

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVDR0	RD	C10V[7]	C10V[6]	C10V[5]	C10V[4]	C10V[3]	C10V[2]	C10V[1]	C10V[0]
CVDR1	RD	C10V[15]	C10V[14]	C10V[13]	C10V[12]	C10V[11]	C10V[10]	C10V[9]	C10V[8]
CVDR2	RD	C11V[7]	C11V[6]	C11V[5]	C11V[4]	C11V[3]	C11V[2]	C11V[1]	C11V[0]
CVDR3	RD	C11V[15]	C11V[14]	C11V[13]	C11V[12]	C11V[11]	C11V[10]	C11V[9]	C11V[8]
CVDR4	RD	C12V[7]	C12V[6]	C12V[5]	C12V[4]	C12V[3]	C12V[2]	C12V[1]	C12V[0]
CVDR5	RD	C12V[15]	C12V[14]	C12V[13]	C12V[12]	C12V[11]	C12V[10]	C12V[9]	C12V[8]

表 44. セル電圧レジスタ・グループ E

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
CVER0*	RD	C13V[7]*	C13V[6]*	C13V[5]*	C13V[4]*	C13V[3]*	C13V[2]*	C13V[1]*	C13V[0]*
CVER1*	RD	C13V[15]*	C13V[14]*	C13V[13]*	C13V[12]*	C13V[11]*	C13V[10]*	C13V[9]*	C13V[8]*
CVER2**	RD	C14V[7]**	C14V[6]**	C14V[5]**	C14V[4]**	C14V[3]**	C14V[2]**	C14V[1]**	C14V[0]**
CVER3**	RD	C14V[15]**	C14V[14]**	C14V[13]**	C14V[12]**	C14V[11]**	C14V[10]**	C14V[9]**	C14V[8]**
CVER4	RD	C15V[7]	C15V[6]	C15V[5]	C15V[4]	C15V[3]	C15V[2]	C15V[1]	C15V[0]
CVER5	RD	C15V[15]	C15V[14]	C15V[13]	C15V[12]	C15V[11]	C15V[10]	C15V[9]	C15V[8]

*ADOL コマンドの実行後、セル電圧レジスタ・グループ E の CVER0 および CVER1 には、ADC3 によるセル 11 の測定結果が格納されます。

**ADOL コマンドの実行後、セル電圧レジスタ・グループ E の CVER2 および CVER3 には、ADC2 によるセル 11 の測定結果が格納されます。

表 45. 補助レジスタ・グループ A

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
AVAR0	RD	G1V[7]	G1V[6]	G1V[5]	G1V[4]	G1V[3]	G1V[2]	G1V[1]	G1V[0]
AVAR1	RD	G1V[15]	G1V[14]	G1V[13]	G1V[12]	G1V[11]	G1V[10]	G1V[9]	G1V[8]
AVAR2	RD	G2V[7]	G2V[6]	G2V[5]	G2V[4]	G2V[3]	G2V[2]	G2V[1]	G2V[0]
AVAR3	RD	G2V[15]	G2V[14]	G2V[13]	G2V[12]	G2V[11]	G2V[10]	G2V[9]	G2V[8]
AVAR4	RD	G3V[7]	G3V[6]	G3V[5]	G3V[4]	G3V[3]	G3V[2]	G3V[1]	G3V[0]
AVAR5	RD	G3V[15]	G3V[14]	G3V[13]	G3V[12]	G3V[11]	G3V[10]	G3V[9]	G3V[8]

動作

表 46. 補助レジスタ・グループ B

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
AVBR0	RD	G4V[7]	G4V[6]	G4V[5]	G4V[4]	G4V[3]	G4V[2]	G4V[1]	G4V[0]
AVBR1	RD	G4V[15]	G4V[14]	G4V[13]	G4V[12]	G4V[11]	G4V[10]	G4V[9]	G4V[8]
AVBR2	RD	G5V[7]	G5V[6]	G5V[5]	G5V[4]	G5V[3]	G5V[2]	G5V[1]	G5V[0]
AVBR3	RD	G5V[15]	G5V[14]	G5V[13]	G5V[12]	G5V[11]	G5V[10]	G5V[9]	G5V[8]
AVBR4	RD	REF[7]	REF[6]	REF[5]	REF[4]	REF[3]	REF[2]	REF[1]	REF[0]
AVBR5	RD	REF[15]	REF[14]	REF[13]	REF[12]	REF[11]	REF[10]	REF[9]	REF[8]

表 47. 補助レジスタ・グループ C

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
AVCR0	RD	G6V[7]	G6V[6]	G6V[5]	G6V[4]	G6V[3]	G6V[2]	G6V[1]	G6V[0]
AVCR1	RD	G6V[15]	G6V[14]	G6V[13]	G6V[12]	G6V[11]	G6V[10]	G6V[9]	G6V[8]
AVCR2	RD	G7V[7]	G7V[6]	G7V[5]	G7V[4]	G7V[3]	G7V[2]	G7V[1]	G7V[0]
AVCR3	RD	G7V[15]	G7V[14]	G7V[13]	G7V[12]	G7V[11]	G7V[10]	G7V[9]	G7V[8]
AVCR4	RD	G8V[7]	G8V[6]	G8V[5]	G8V[4]	G8V[3]	G8V[2]	G8V[1]	G8V[0]
AVCR5	RD	G8V[15]	G8V[14]	G8V[13]	G8V[12]	G8V[11]	G8V[10]	G8V[9]	G8V[8]

表 48. 補助レジスタ・グループ D

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
AVDR0	RD	G9V[7]	G9V[6]	G9V[5]	G9V[4]	G9V[3]	G9V[2]	G9V[1]	G9V[0]
AVDR1	RD	G9V[15]	G9V[14]	G9V[13]	G9V[12]	G9V[11]	G9V[10]	G9V[9]	G9V[8]
AVDR2	RD	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1
AVDR3	RD	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1
AVDR4	RD	RSVD	RSVD	C150V	C15UV	C140V	C14UV	C130V	C13UV
AVDR5	RD	RSVD1	RSVD1	RSVD1	RSVD1	RSVD	RSVD	RSVD	RSVD

表 49. ステータス・レジスタ・グループ A

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
STAR0	RD	SC[7]	SC[6]	SC[5]	SC[4]	SC[3]	SC[2]	SC[1]	SC[0]
STAR1	RD	SC[15]	SC[14]	SC[13]	SC[12]	SC[11]	SC[10]	SC[9]	SC[8]
STAR2	RD	ITMP[7]	ITMP[6]	ITMP[5]	ITMP[4]	ITMP[3]	ITMP[2]	ITMP[1]	ITMP[0]
STAR3	RD	ITMP[15]	ITMP[14]	ITMP[13]	ITMP[12]	ITMP[11]	ITMP[10]	ITMP[9]	ITMP[8]
STAR4	RD	VA[7]	VA[6]	VA[5]	VA[4]	VA[3]	VA[2]	VA[1]	VA[0]
STAR5	RD	VA[15]	VA[14]	VA[13]	VA[12]	VA[11]	VA[10]	VA[9]	VA[8]

動作

表 50. ステータス・レジスタ・グループ B

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
STBR0	RD	VD[7]	VD[6]	VD[5]	VD[4]	VD[3]	VD[2]	VD[1]	VD[0]
STBR1	RD	VD[15]	VD[14]	VD[13]	VD[12]	VD[11]	VD[10]	VD[9]	VD[8]
STBR2	RD	C40V	C4UV	C30V	C3UV	C20V	C2UV	C10V	C1UV
STBR3	RD	C80V	C8UV	C70V	C7UV	C60V	C6UV	C50V	C5UV
STBR4	RD	C120V	C12UV	C110V	C11UV	C100V	C10UV	C90V	C9UV
STBR5	RD	REV[3]	REV[2]	REV[1]	REV[0]	RSVD	RSVD	MUXFAIL	THSD

表 51. COMM レジスタ・グループ

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	D0[7]	D0[6]	D0[5]	D0[4]
COMM1	RD/WR	D0[3]	D0[2]	D0[1]	D0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	D1[7]	D1[6]	D1[5]	D1[4]
COMM3	RD/WR	D1[3]	D1[2]	D1[1]	D1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	D2[7]	D2[6]	D2[5]	D2[4]
COMM5	RD/WR	D2[3]	D2[2]	D2[1]	D2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]

表 52. S コントロール・レジスタ・グループ

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
SCTRL0	RD/WR	SCTL2[3]	SCTL2[2]	SCTL2[1]	SCTL2[0]	SCTL1[3]	SCTL1[2]	SCTL1[1]	SCTL1[0]
SCTRL1	RD/WR	SCTL4[3]	SCTL4[2]	SCTL4[1]	SCTL4[0]	SCTL3[3]	SCTL3[2]	SCTL3[1]	SCTL3[0]
SCTRL2	RD/WR	SCTL6[3]	SCTL6[2]	SCTL6[1]	SCTL6[0]	SCTL5[3]	SCTL5[2]	SCTL5[1]	SCTL5[0]
SCTRL3	RD/WR	SCTL8[3]	SCTL8[2]	SCTL8[1]	SCTL8[0]	SCTL7[3]	SCTL7[2]	SCTL7[1]	SCTL7[0]
SCTRL4	RD/WR	SCTL10[3]	SCTL10[2]	SCTL10[1]	SCTL10[0]	SCTL9[3]	SCTL9[2]	SCTL9[1]	SCTL9[0]
SCTRL5	RD/WR	SCTL12[3]	SCTL12[2]	SCTL12[1]	SCTL12[0]	SCTL11[3]	SCTL11[2]	SCTL11[1]	SCTL11[0]

表 53. PWM レジスタ・グループ

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
PWMR0	RD/WR	PWM2[3]	PWM2[2]	PWM2[1]	PWM2[0]	PWM1[3]	PWM1[2]	PWM1[1]	PWM1[0]
PWMR1	RD/WR	PWM4[3]	PWM4[2]	PWM4[1]	PWM4[0]	PWM3[3]	PWM3[2]	PWM3[1]	PWM3[0]
PWMR2	RD/WR	PWM6[3]	PWM6[2]	PWM6[1]	PWM6[0]	PWM5[3]	PWM5[2]	PWM5[1]	PWM5[0]
PWMR3	RD/WR	PWM8[3]	PWM8[2]	PWM8[1]	PWM8[0]	PWM7[3]	PWM7[2]	PWM7[1]	PWM7[0]
PWMR4	RD/WR	PWM10[3]	PWM10[2]	PWM10[1]	PWM10[0]	PWM9[3]	PWM9[2]	PWM9[1]	PWM9[0]
PWMR5	RD/WR	PWM12[3]	PWM12[2]	PWM12[1]	PWM12[0]	PWM11[3]	PWM11[2]	PWM11[1]	PWM11[0]

動作

表 54. PWM/S コントロール・レジスタ・グループ B

REGISTER	RD/WR	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
PSR0	RD/WR	PWM14[3]	PWM14[2]	PWM14[1]	PWM14[0]	PWM13[3]	PWM13[2]	PWM13[1]	PWM13[0]
PSR1	RD/WR	RSVD	RSVD	RSVD	RSVD	PWM15[3]	PWM15[2]	PWM15[1]	PWM15[0]
PSR2	RD/WR	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
PSR3	RD/WR	SCTL14[3]	SCTL14[2]	SCTL14[1]	SCTL14[0]	SCTL13[3]	SCTL13[2]	SCTL13[1]	SCTL13[0]
PSR4	RD/WR	RSVD	RSVD	RSVD	RSVD	SCTL15[3]	SCTL15[2]	SCTL15[1]	SCTL15[0]
PSR5	RD/WR	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD

表 55. メモリ・ビットの説明

名前	説明	値
GPIOx	GPIOx Pin Control	書込み: 0 → GPIOx ピンのプルダウンをオン、1 → GPIOx ピンのプルダウンをオフ (デフォルト) 読出し: 0 → GPIOx ピンをロジック 0、1 → GPIOx ピンをロジック 1
REFON	Reference Powered Up	1 → ウォッチドッグ・タイマーがタイムアウトするまでリファレンスは起動したまま 0 → リファレンスは変換後にシャットダウン (デフォルト)
DTEN	Discharge Timer Enable (READ ONLY)	1 → 放電スイッチの放電タイマーをイネーブル 0 → 放電タイマーをディスエーブル
ADCOPT	ADC Mode Option Bit	ADCOPT: 0 → ADC 変換コマンドの MD[1:0] ビットにより、27kHz、7kHz、422Hz、26Hz のいずれかのモードを選択 (デフォルト) 1 → ADC 変換コマンドの MD[1:0] ビットにより、14kHz、3kHz、1kHz、2kHz のいずれかのモードを選択
VUV	Undervoltage Comparison Voltage*	Comparison Voltage = (VUV + 1) • 16 • 100 μV Default: VUV = 0x000
VOV	Overvoltage Comparison Voltage*	Comparison Voltage = VOV • 16 • 100 μV Default: VOV = 0x000
DCC[x]	Discharge Cell x	x = 1~15: 1 → セル x の短絡スイッチをオン 0 → セル x の短絡スイッチをオフ (デフォルト) x = 0: 1 → GPIO9 のプルダウンをオン 0 → GPIO9 のプルダウンをオフ (デフォルト)
DCTO	Discharge Time Out Value	DCTO (Write)
		Time (Min)
		DCTO (Read)
		Time Left (Min)
MUTE	Mute Status (READ ONLY)	1 → ミュートを作動させて放電を無効化 0 → ミュートを停止
FDRF	Force Digital Redundancy Failure	1 → A/D 変換でのデジタル冗長化比較を強制的に機能停止 0 → 通常の冗長化比較を有効化
PS[1:0]	Digital Redundancy Path Selection	11 → 冗長化の適用先を ADC3 のデジタル経路に限定 10 → 冗長化の適用先を ADC2 のデジタル経路に限定 01 → 冗長化の適用先を ADC1 のデジタル経路に限定 00 → 冗長化はセル変換時に ADC1、ADC2、および ADC3 のデジタル経路に順次適用され、AUX 変換時と STATUS 変換時に ADC1 に適用される

動作

表 55(続き). メモリ・ビットの説明

名前	説明	値
DTMEN	Enable Discharge Timer Monitor	1 → DTEN ピンがアサートされている場合、放電タイマー・モニタ機能は有効化される 0 → 放電タイマー・モニタ機能は無効化される。DTEN ピンがアサートされている場合、通常の放電タイマー機能は有効化される
CxV	Cell x Voltage*	x = 1~15 セル x の 16 ビット ADC 測定値 セル x のセル電圧 = $CxV \cdot 100 \mu V$ CxV は起動時およびクリア・コマンド後に 0xFFFF にリセットされる
GxV	GPIO x Voltage*	x = 1~9 GPIOx の 16 ビット ADC 測定値 GPIOx の電圧 = $GxV \cdot 100 \mu V$ CxV は起動時およびクリア・コマンド後に 0xFFFF にリセットされる
REF	2nd Reference Voltage*	2 番目のリファレンスの 16 ビット ADC 測定値 2 番目のリファレンスの電圧 = $REF \cdot 100 \mu V$ 通常の範囲は 2.990V~3.014V (LTC6812I では 2.992V~3.012V)、V_{REF2} 電圧の変動や ADC の TME には追加のマージンを見込んで、誤った障害が報告されないようにする
SC	Sum of Cells Measurement*	全セル電圧合計の 16 ビット ADC 測定値 全セル電圧合計 = $SC \cdot 100 \mu V \cdot 30$
ITMP	Internal Die Temperature*	内部ダイ温度の 16 ビット ADC 測定値 温度測定電圧 = $I_{TMP} \cdot 100 \mu V / 7.6 mV/^{\circ}C - 276^{\circ}C$
VA	Analog Power Supply Voltage*	アナログ電源電圧の 16 ビット ADC 測定値 アナログ電源電圧 = $VA \cdot 100 \mu V$ VA の値は外付け部品によって設定し、通常動作では 4.5V~5.5V の範囲内にする
VD	Digital Power Supply Voltage*	デジタル電源電圧の 16 ビット ADC 測定値 デジタル電源電圧 = $VD \cdot 100 \mu V$ 通常の範囲は 2.7V~3.6V
CxOV	Cell x Over-voltage Flag	x = 1~15 セル電圧を VOV 比較電圧と比較 0 → セル x に過電圧状態を示すフラグなし、1 → セル x にフラグあり
CxUV	Cell x Under-voltage Flag	x = 1~15 セル電圧を VUV 比較電圧と比較 0 → セル x に低電圧状態を示すフラグなし、1 → セル x にフラグあり
REV	Revision Code	デバイスのリビジョン・コード
RSVD	Reserved Bits	読出し: 読出し値は 1 または 0
RSVD0	Reserved Bits	読出し: 読出し値は常に 0
RSVD1	Reserved Bits	読出し: 読出し値は常に 1
MUXFAIL	Multiplexer Self Test Result	読出し: 0 → マルチプレクサはセルフ・テストに合格、1 → マルチプレクサはセルフ・テストに不合格
THSD	Thermal Shutdown Status	読出し: 0 → サーマル・シャットダウンは発生していない、1 → サーマル・シャットダウンが発生した ステータス・レジスタ・グループ B の読出し時に THSD ビットを 0 にクリア
SCTLx[x]	S Pin Control Bits	0000 – S ピンをハイに駆動 (デアサート) 0001 – S ピンで 1 回のハイ・パルスを送信 0010 – S ピンで 2 回のハイ・パルスを送信 0011 – S ピンで 3 回のハイ・パルスを送信 0100 – S ピンで 4 回のハイ・パルスを送信 0101 – S ピンで 5 回のハイ・パルスを送信 0110 – S ピンで 6 回のハイ・パルスを送信 0111 – S ピンで 7 回のハイ・パルスを送信 1XXX – S ピンをローに駆動 (アサート)

動作

表 55(続き). メモリ・ビットの説明

名前	説明	値								
PWMx[x]	PWM Discharge Control	0000 - DCCx = 1 でウォッチドッグ・タイマーの期限が切れている場合、0%の放電デューティ・サイクルを選択 0001 - DCCx = 1 でウォッチドッグ・タイマーの期限が切れている場合、6.7%の放電デューティ・サイクルを選択 0010 - DCCx = 1 でウォッチドッグ・タイマーの期限が切れている場合、13.3%の放電デューティ・サイクルを選択 ... 1110 - DCCx = 1 でウォッチドッグ・タイマーの期限が切れている場合、93.3%の放電デューティ・サイクルを選択 1111 - DCCx = 1 でウォッチドッグ・タイマーの期限が切れている場合、100%の放電デューティ・サイクルを選択								
ICOMn	Initial Communication Control Bits	Write	I ² C	0110	0001	0000	0111			
				START	STOP	BLANK	NO TRANSMIT			
			SPI	1000	1010	1001	1111			
				CSB Low	CSB Falling Edge	CSB High	NO TRANSMIT			
		Read	I ² C	0110	0001	0000	0111			
				START from Master	STOP from Master	SDA Low Between Bytes	SDA High Between Bytes			
			SPI	0111						
Dn	I ² C/SPI Communication Data Byte	I ² C/SPIスレーブ・デバイスとの間で送信または受信したデータ								
FCOMn	Final Communication Control Bits	Write	I ² C	0000		1000		1001		
				Master ACK		Master NACK		Master NACK + STOP		
			SPI	X000			1001			
				CSB Low			CSB High			
		Read	I ² C	0000		0111	1111		0001	1001
				ACK from Master		ACK from Slave		NACK from Slave	ACK from Slave + STOP from Master	NACK from Slave + STOP from Master
			SPI	1111						

* 電圧の式にはレジスタの10進数(12ビットでは0~4095、16ビットでは0~65535)を使用する。

アプリケーション情報

DC電力の供給

簡易リニア電圧レギュレータ

LTC6812-1の主要電源ピンは5V ($\pm 0.5V$) のV_{REG}入力ピンです。V_{REG}に必要な5V電源を生成するには、図32に示すように、DRIVEピンを使用し、数個の外付け部品を追加して、ディスクリート・レギュレータを構成します。DRIVEピンからは5.7V出力が得られ、1mAのソース電流を供給できます。NPNトランジスタによってバッファを構成すると、全温度範囲で安定した5Vが得られます。NPNトランジスタは、 β (電流増幅率) が全温度範囲にわたって十分 (> 40) なものを選択して、必要な電源電流を供給するようにします。isoSPIを介した通信とA/D変換を同時に行う場合には、LTC6812-1のV_{REG}のピーク電流条件が35mAに近づきます。追加の負荷をサポートするためにV_{REG}ピンが必要な場合は、更に高い β を持つトランジスタが必要になることがあります。

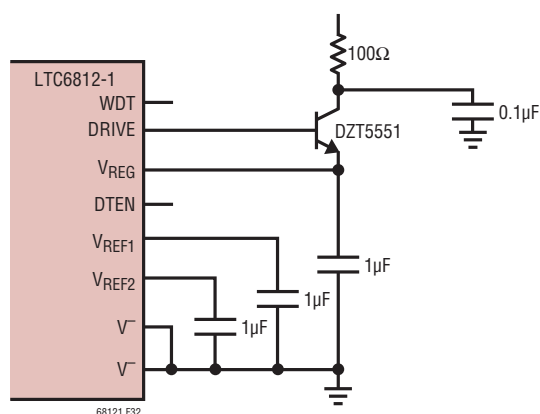


図32. NPNパス・トランジスタを使用した簡易V_{REG}電源

NPNのコレクタには、電圧がV₋より6V以上高い電圧源から電力を供給できます。これには、モニタの対象となるセル、つまり非安定化電源も含まれます。NPNをトランジエントから保護するために、コレクタ電力の接続には100Ω/100nFのRCデカップリング・ネットワークを推奨します。NPNのエミッタは、1μFコンデンサでバイパスします。LTC6812-1のウェイ

クアップ時間が長くなるため、これより大きな容量は使用しないでください。コレクタ電圧が高いと著しく発熱する場合があるため、NPNの熱特性には一定の注意が必要です。

向上したレギュレータの電力効率

セル・スタックからLTC6812-1に電力を供給するときの効率を向上するため、V_{REG}への電力は、NPNパス・トランジスタからではなく、DC/DCコンバータから供給できます。最適な回路は、図33に示すように、アナログ・デバイセズのLT8631降圧レギュレータがベースになっています。バッテリー・スタックとLT8631の入力の間には100Ωの抵抗を推奨します。これにより、スタックに接続するときの突入電流を防ぎ、伝導EMIを低減します。EN/UVLOピンはDRIVEピンに接続します。これにより、LTC6812-1がSLEEPステートになると、LT8631は低消費電力の状態になります。

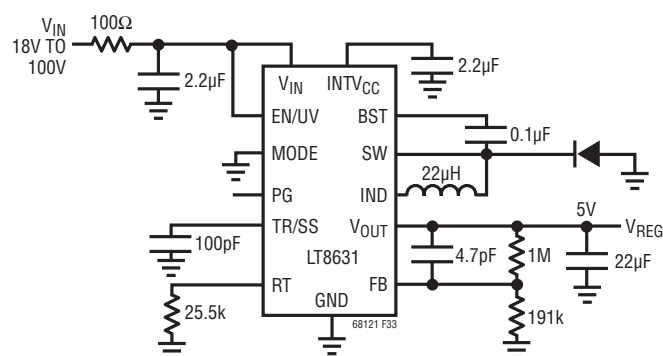


図33. セル・スタックと高効率レギュレータの組み合わせを電力供給元にしたV_{REG}

アプリケーション情報

内部保護とフィルタリング

内部保護機能

LTC6812-1は、堅牢な性能を確保するために、様々なESD保護回路を内蔵しています。具体的な保護構造を表す等価回路を、図34に示します。ツェナー・ダイオードは公称クランプ電圧で示しており、記載のないダイオードは標準的なPN接合動作を示します。

セル入力とGPIO入力のフィルタリング

LTC6812-1はデルタシグマ型ADCを使用しており、これにはデルタシグマ型変調器とその後段にSINC3有限インパルス応答(FIR)デジタル・フィルタが組み込まれています。これにより、入力フィルタリング条件が大幅に緩和されます。更に、プログラム可能なオーバーサンプリング率を使用して、測定速度とフィルタのカットオフ周波数との間の最適な妥協点を判断できます。この高次ローパス・フィルタを使用した場合で

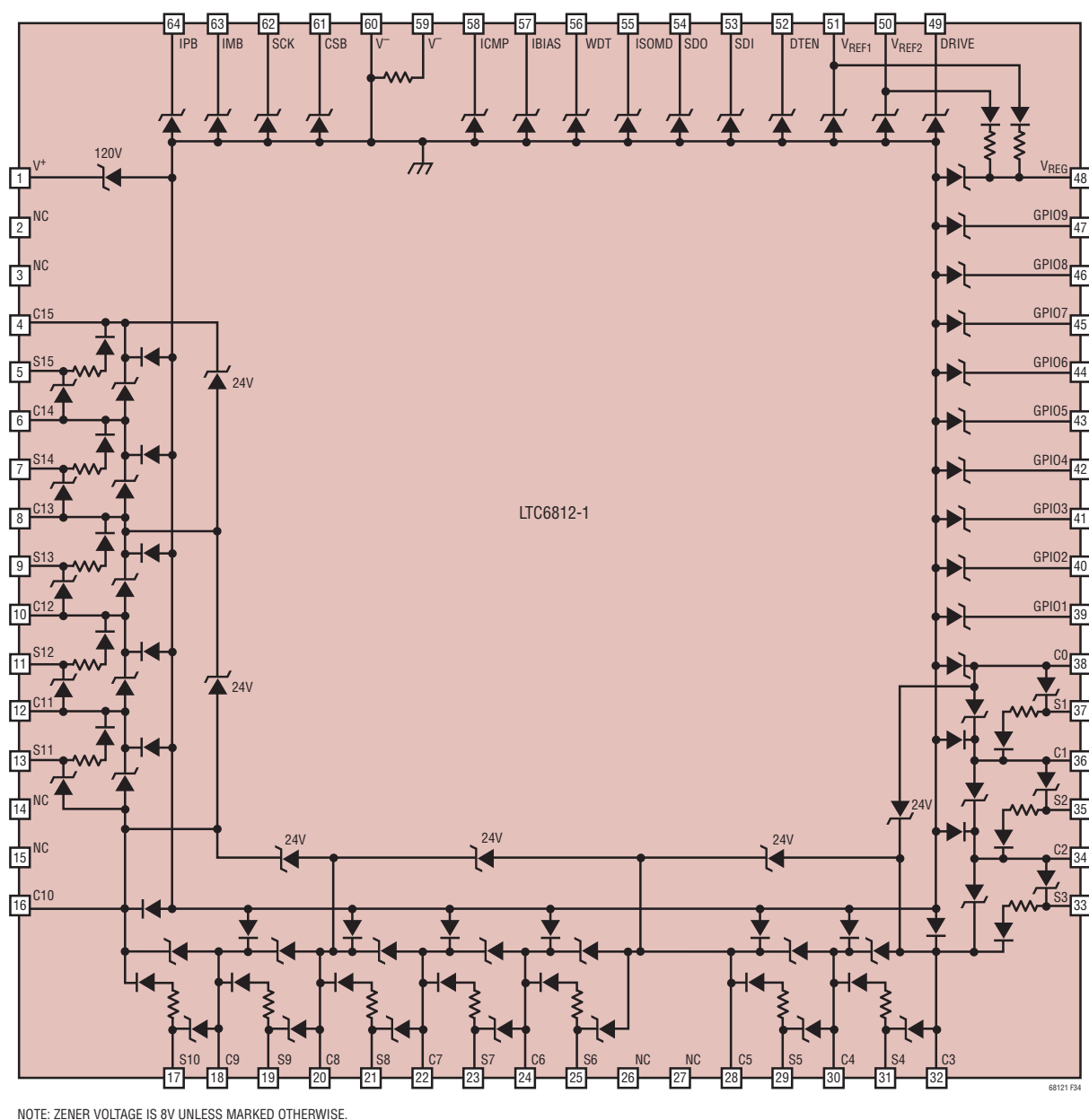
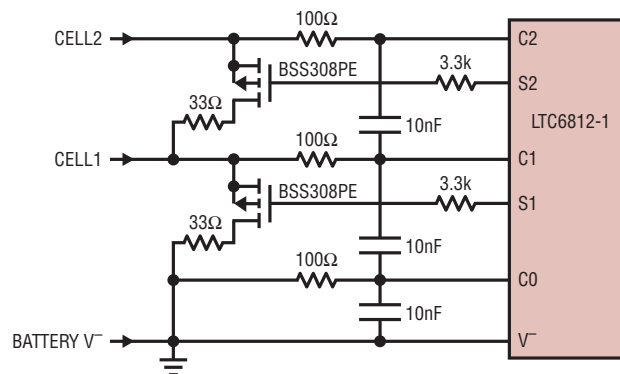


図34. LTC6812-1の内部ESD保護構造

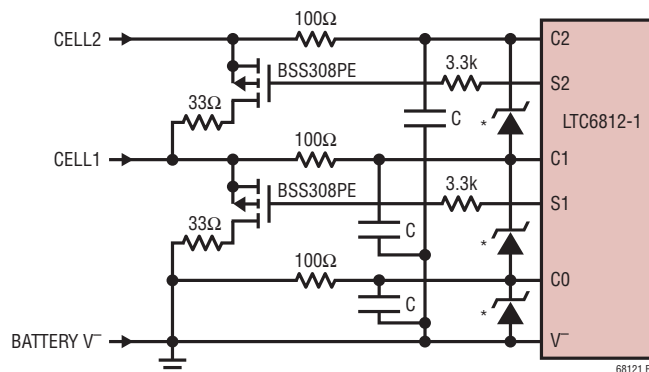
アプリケーション情報

も、特に高速変換モードでは、高速トランジェント・ノイズによって測定時に残留ノイズが発生することがあります。これは、各ADC入力にRCローパス・デカップリングを追加することによって、最小限に抑えることができます。これを追加することで、損傷を与える可能性のある高エネルギーのトランジェントを除去することもできます。約 100Ω を超える抵抗をADC入力に追加すると、測定で系統的な誤差が発生するようになります。この誤差は、フィルタ容量を増やすか、ソフトウェアでのキャリブレーションを使用して計算処理で補償することによって改善できます。最高レベルのバッテリー電圧のリプル除去が要求される状況では、接地コンデンサ・フィルタを推奨します。この構成では、直列接続された抵抗とコンデンサを使用して、HFノイズを V^- から分離します。ノイズの周期性が少ないか、高いオーバー・サンプリングを使用しているシステムでは、差動コンデンサ・フィルタ構成が適し

ています。この構成では、抵抗は各入力に直列接続されますが、コンデンサは隣接するCピン間に接続されます。ただし、差動コンデンサの各部分が相互作用します。その結果、フィルタ応答の一貫性が低くなり、減衰がRCによる予測値よりも(約1デケイド)低くなります。これらのコンデンサには、加えられる電圧のうちの1セル分の電圧が発生します(そのため、コンデンサ値が小さく低コスト)。また、これらのコンデンサは、トランジェント・エネルギーをデバイス全体に均一に分配する傾向があり、これによって、内部の保護構造に対するストレスが低下します。これら2つの方法を、図35の回路図で示します。ADCの精度は、代表的な性能曲線に示すようにRとCによって変化しますが、誤差は、 $R = 100\Omega$ かつ $C = 10\text{nF}$ の場合に最小になります。測定では全て V^- が基準になるため、GPIOピンは接地されたコンデンサの構成を常に使用します。



Differential Capacitor Filter

*6.8V ZENERS RECOMMENDED IF $C \geq 100\text{nF}$

Grounded Capacitor Filter

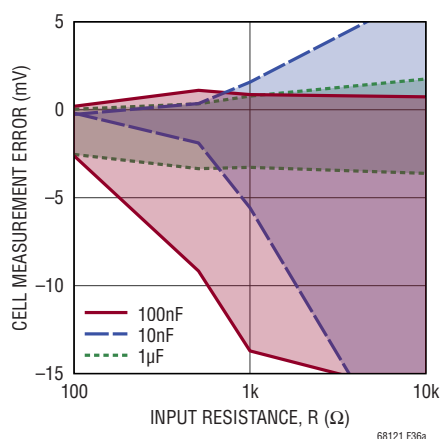
図 35. 入力フィルタ構成の構成

アプリケーション情報

非標準のセル入力フィルタの使用

100Ωと10nFのセル・ピン・フィルタを全てのアプリケーションに対して推奨します。このフィルタにより、ノイズ除去性能と全測定誤差(TME)性能の最も良い組み合わせが得られます。CピンのRCフィルタとして値が100Ω/10nFより大きいものを使用するアプリケーションでは、測定誤差が増える可能性があります。RCの時定数が大きくなるにつれて、TME全体とTMEのばらつきの両方がどのように増えるかを図36に示します。誤差の増加分はMUXのセトリングに関係があります。標準的な全チャンネルのADCVコマンドを発行する前に、特別な1チャンネルの変換を実施することにより、

TMEのレベルをデータシートの規格値付近まで低減できます。標準的なADCVコマンドのシーケンスを図37に示します。MUXを安定化できる推奨のコマンド・シーケンスとタイミングを図37bおよび37cに示します。順序変更の目的は、MUXをC1/C6/C11で安定化してから測定サイクルを開始できるようにすることです。C1/C6/C11のADCVコマンドと全チャンネルのADCVコマンドとの間の遅延は、使用するRCの時定数により異なります。一般的な目安としては、C1/C6/C11のADCVコマンドと全チャンネルのADCVコマンドとの間の待ち時間は 6τ です。推奨のコマンド・シーケンスを使用した場合の予想TMEを図36bに示します。



a) セルの測定誤差範囲と入力RCの値

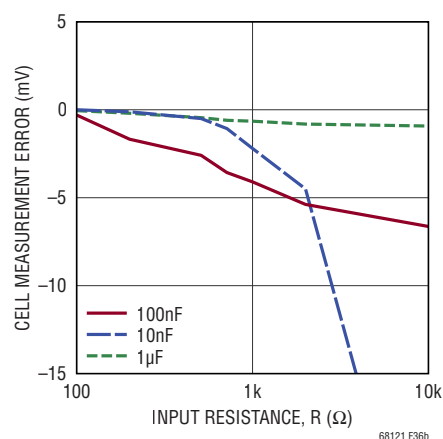
b) セルの測定誤差と入力RCの値
(測定前の追加の変換および遅延)

図36. セル測定TME

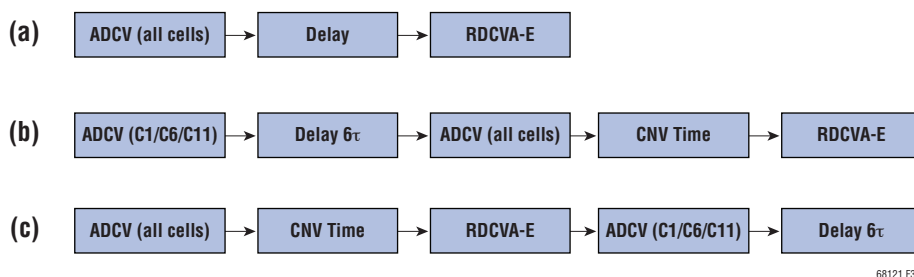


図37. ADCコマンドの順序

アプリケーション情報

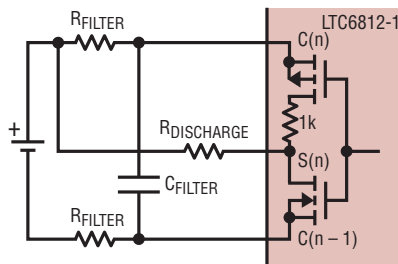
セルのバランス調整

内部MOSFETによるセル・バランス調整

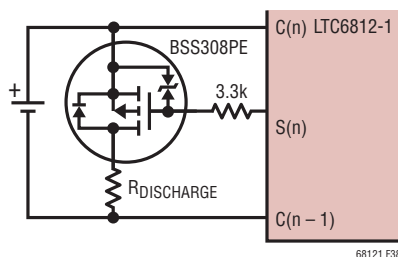
パッシブ方式のバランス調整では、直列スタック内の1つのセルが過充電された場合、S出力を抵抗に接続することで、このセルを徐々に放電できます。各S出力は、オン抵抗の最大値が10Ωの内部NチャンネルMOSFETに接続されています。図38aに示すように、外付け抵抗をこれらのMOSFETと直列に接続して、大部分の熱をLTC6812-1パッケージの外側に放散できるようにします。

図38aに示すように、内部の放電スイッチ(MOSFET) S1～S15を使用し、最大200mAのバランス調整電流(ダイ温度が95°Cを超えた場合は最大80mA)を流して、セルのバランスを受動的に調整できます。200mAを超えるバランス調整電流は、ダイが過剰に発熱するため、内部スイッチでは推奨しません。内部の放電スイッチを使用してセルを放電する場合は、ダイ温度をモニタしてください。サーマル・シャットダウンのセクションを参照してください。

アンチエイリアシング(折返し誤差防止)・フィルタの抵抗は放電経路の一部なので、取り除くか、値を低減します。追加のセル電圧測定フィルタにRCを使用してもかまいませんが、フィルタの抵抗は小さな値(通常は10Ω前後)のままにして、バランス電流への影響を低減する必要があります。



a) Internal Discharge Circuit



b) External Discharge Circuit

図38. 内部／外部放電回路

外部トランジスタによるセル・バランス調整

200mAを超えるバランス調整電流または大きなセル・フィルタが必要なアプリケーションでは、S出力を使用して外部トランジスタを制御できます。LTC6812-1は、プルアップのPMOSトランジスタと1kの直列抵抗を内蔵しています。図38bに示すように、Sピンは外付けMOSFETのゲートを駆動するのに適したデジタル出力として動作できます。RCフィルタを組み込んだ外付けMOSFET回路を図35に示します。セルの電圧が非常に低いアプリケーションでは、図38bのPMOSをPNPに置き換えることができます。PNPを使用する場合は、ベースと直列に接続する抵抗を小さくします。

放電抵抗の選択

バランス抵抗の値を増減する場合は、バッテリーの標準的なアンバランスとセル・バランス調整の許容時間を知ることが重要です。ほとんどの小型バッテリー・アプリケーションでは、バランス調整回路が5時間のバランス調整によって5%のSOC(充電状態)誤差を補正できるのが妥当です。例えば、5Ahのバッテリーで、そのSOCアンバランスが5%の場合、アンバランスは約250mAhになります。50mAのバランス調整電流を使用すると、誤差は5時間以内に修正できます。100mAのバランス調整電流を使用すると、誤差は2.5時間以内に修正されます。非常に大型のバッテリーを使用するシステムでは、パッシブ方式のバランス調整を実行して大きなSOCアンバランスを短時間で修正するのは困難になります。バランス調整中に過剰な熱が発生すると、通常はバランス調整電流が制限されます。大容量バッテリーのアプリケーションでは、バランス調整時間を短時間にすることが必要な場合、アクティブ方式のバランス調整解決策を検討してください。バランス抵抗を選択する場合は、以下の式を使用すると抵抗値を決定するのに役立ちます。

Balance Current =

$$\frac{\%SOC_Imbalance \cdot Battery\ Capacity}{Number\ of\ Hours\ to\ Balance}$$

Balance Resistor =

$$\frac{Nominal\ Cell\ Voltage}{Balance\ Current}$$

アプリケーション情報

アクティブ方式のセル・バランス調整

1A以上のセル・バランス調整電流が必要なアプリケーションでは、アクティブ方式のバランス調整システムを実装することを検討してください。アクティブ方式のバランス調整では、はるかに多くのバランス調整電流を流しても、過剰な熱が発生せずに済みます。また、アクティブ方式のバランス調整では、大半のバランス調整電流が再分配されてバッテリー・パックに戻るので、エネルギー回収にも対応できます。アナログ・デバイセズのLT8584を使用した簡単なアクティブ方式バランス調整実装回路を図39に示します。また、LT8584は、LTC6812-1を介して制御できる高度な機能も内蔵しています。詳細については、このデータシートのSピンの制御設定を使用したSピンのパルス生成と、LT8584のデータシートを参照してください。

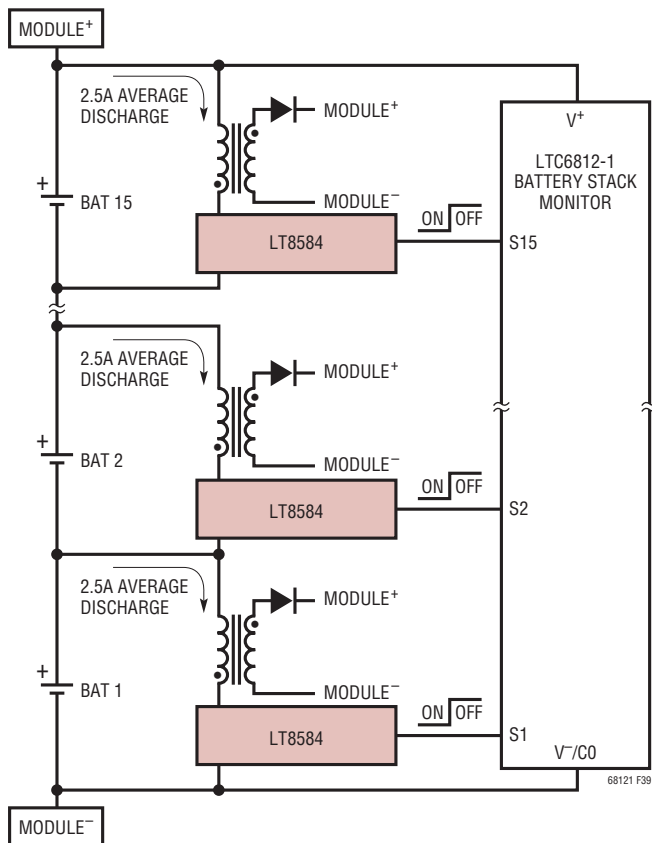


図39. アクティブ方式のバランス調整を行う15セルの
バッテリー・スタック・モジュール

セル測定時の放電制御

セル測定コマンドの実行時に放電許可(DCP)ビットがハイである場合、Sピンの放電状態はセルの測定中に変化しません。DCPビットがローである場合、Sピンの放電状態は、対応するセルまたは隣接セルの測定中、無効になります。外付けの放電トランジスタを使用する場合、LTC6812-1内部のPMOSトランジスタのインピーダンスは比較的低い $1k\Omega$ なので、放電電流を完全にオフにしてからセルを測定することができます。DCP=0の場合のADCVコマンドを表56に示します。この表では、OFFは対応するDCC[x]ビットの状態に関係なく、Sピンの放電が強制的にオフになることを示しています。ONは、測定コマンドより前にSピンの放電がオンであった場合、測定期間中、Sピンの放電がオンのままであることを示しています。

場合によっては、放電の実行によって生じた測定誤差を自動放電制御によって全て取り除くことができません。この原因は、放電トランジスタをオフにする速度が十分ではなく、セルの電圧が完全に安定してから測定を開始することができないためです。放電の実行時に最高の測定精度を得るには、MUTEコマンドとUNMUTEコマンドを使用します。MUTEコマンドを発行して、ADCVコマンドを発行する前に全ての放電トランジスタを一時的にディスエーブルすることができます。セル変換が完了したら、UNMUTEを送信して、以前はオンだった放電トランジスタを全て再イネーブルすることができます。この方法を使用すると、時間損失を非常に小さく抑えながら、測定精度を最大限に高めることができます。

放電回路の検証方法

内部の放電機能を使用するときは、放電機能を検証する機能をソフトウェアに実装できます。外付けの放電MOSFETを使用するアプリケーションでは、バッテリー・セルと放電MOSFETのソースとの間に抵抗を追加できます。こうすると、システムが放電機能をテストできます。両方の回路を図40に示します。放電回路の機能を検証するには、セルを測定し

アプリケーション情報

表 56. DCP = 0 での ADCV コマンド実行時の放電制御

	セル測定期間					セル・キャリブレーション期間				
	セル 1/6/11	セル 2/7/12	セル 3/8/13	セル 4/9/14	セル 5/10/15	セル 1/6/11	セル 2/7/12	セル 3/8/13	セル 4/9/14	セル 5/10/15
放電ピン	$t_0 - t_{1M}$	$t_{1M} - t_{2M}$	$t_{2M} - t_{3M}$	$t_{3M} - t_{4M}$	$t_{4M} - t_{5M}$	$t_{5M} - t_{1C}$	$t_{1C} - t_{2C}$	$t_{2C} - t_{3C}$	$t_{3C} - t_{4C}$	$t_{4C} - t_{5C}$
S1	OFF	OFF	ON	ON	OFF	OFF	OFF	ON	ON	OFF
S2	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	ON	ON
S3	ON	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	ON
S4	ON	ON	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF
S5	OFF	ON	ON	OFF	OFF	OFF	ON	ON	OFF	OFF
S6	OFF	OFF	ON	ON	OFF	OFF	OFF	ON	ON	OFF
S7	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	ON	ON
S8	ON	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	ON
S9	ON	ON	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF
S10	OFF	ON	ON	OFF	OFF	OFF	ON	ON	OFF	OFF
S11	OFF	OFF	ON	ON	OFF	OFF	OFF	ON	ON	OFF
S12	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	ON	ON
S13	ON	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF	ON
S14	ON	ON	OFF	OFF	OFF	ON	ON	OFF	OFF	OFF
S15	OFF	ON	ON	OFF	OFF	OFF	ON	ON	OFF	OFF

アプリケーション情報

て、放電がオフのときの測定値と放電がオンのときの測定値を比較します。放電がオンのときに測定するには、放電許可(DCP)ビットを設定する必要があります。放電がオンのときの測定値の変化は、抵抗値に基づいて計算されます。以下のアルゴリズムを図40と組み合わせて使用し、各放電回路を検証できます。

1. 放電していない(全てのS出力がオフの)全てのセルを測定し、その結果を読み出して保存する。
2. S1、S6、およびS11をオンにする。
3. C1–C0間、C6–C5間、C11–C10間を測定する。
4. S1、S6、およびS11をオフにする。
5. S2、S7、およびS12をオンにする。
6. C2–C1間、C7–C6間、C12–C11間を測定する。
7. S2、S7、およびS12をオフにする。
- ...
14. S5、S10、およびS15をオンにする。
15. C5–C4間、C10–C9間、C15–C14間を測定する。
16. S5、S10、およびS15をオフにする。
17. セル電圧レジスタ・グループを読み出して、手順2～16の結果を取得する。
18. 新しい読出し値と古い読出し値を比較する。各セルの電圧読出し値は一定の比率で減少する。この比率は、内部回路による設計では $R_{DISCHARGE}$ と R_{FILTER} によって設定され、外付けMOSFETによる設計では $R_{DISCHARGE1}$ と $R_{DISCHARGE2}$ によって設定される。正確な減少量は、抵抗値とMOSFETの特性によって異なる。

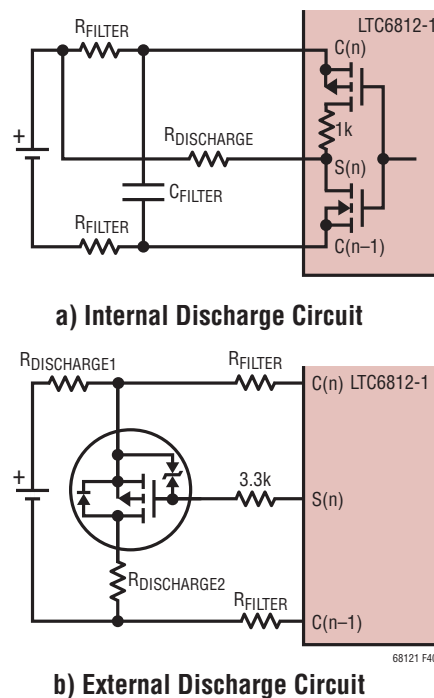


図40. バランス調整のセルフ・テスト回路

アプリケーション情報

デジタル通信

PECの計算

パケット・エラー・コード(PEC)を使用すると、LTC6812-1から読み出されたシリアル・データが有効であり、破損していないことを確認できます。これは、特にノイズの多い環境では、信頼性の高い通信を確保するために重要な機能です。LTC6812-1では、LTC6812-1に対する全ての読出しデータと全ての書込みデータについて、PECを計算する必要があります。このため、PECを計算するための効率的な手段を持つことが重要になります。

以下に示すCのコードにより、ルックアップ・テーブルから生成されたPEC計算方法を簡単に実装できます。このコードには2つの関数があります。1つ目の関数init_PEC15_Table()は、マイクロコントローラの起動時に1度だけ呼び出され、PEC15テーブルの配列(pec15Table[])を初期化します。このテーブルは、今後の全てのPEC計算で使用されます。また、起動時にinit_PEC15_Table()関数を実行するのではなく、PEC15テーブルをマイクロコントローラにハード・コードすることもできます。pec15()関数は、PECを計算し、与えられた任意の長さのバイト配列で、正確な15ビットのPECを返します。

```

/*****
Copyright 2012 Analog Devices, Inc. (ADI)
Permission to freely use, copy, modify, and distribute this software for any purpose
with or without fee is hereby granted, provided that the above copyright notice and
this permission notice appear in all copies: THIS SOFTWARE IS PROVIDED "AS IS" AND ADI
DISCLAIMS ALL WARRANTIES INCLUDING ALL IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS. IN NO
EVENT SHALL ADI BE LIABLE FOR ANY SPECIAL, DIRECT, INDIRECT, OR CONSEQUENTIAL DAMAGES OR ANY
DAMAGES WHATSOEVER RESULTING FROM ANY USE OF SAME, INCLUDING ANY LOSS OF USE OR DATA OR PROFITS,
WHETHER IN AN ACTION OF CONTRACT, NEGLIGENCE OR OTHER TORTUOUS ACTION, ARISING OUT OF OR IN
CONNECTION WITH THE USE OR PERFORMANCE OF THIS SOFTWARE.
*****/
int16 pec15Table[256];
int16 CRC15_POLY = 0x4599;
void init_PEC15_Table()
{
    for (int i = 0; i < 256; i++)
    {
        remainder = i << 7;
        for (int bit = 8; bit > 0; --bit)
        {
            if (remainder & 0x4000)
            {
                remainder = ((remainder << 1));
                remainder = (remainder ^ CRC15_POLY)
            }
            else
            {
                remainder = ((remainder << 1));
            }
        }
        pec15Table[i] = remainder&0xFFFF;
    }
}
unsigned int16 pec15 (char *data , int len)
{
    int16 remainder,address;
    remainder = 16; //PEC seed
    for (int i = 0; i < len; i++)
    {
        address = ((remainder >> 7) ^ data[i]) & 0xff; //calculate PEC table address
        remainder = (remainder << 8 ) ^ pec15Table[address];
    }
    return (remainder*2); //The CRC15 has a 0 in the LSB so the final value must be
multiplied by 2
}

```

アプリケーション情報

isoSPIのIBIASとICMPの設定

LTC6812-1は、消費電力またはノイズ耐性に合わせて各アプリケーションのisoSPIリンクを最適化できます。isoSPIシステムの消費電力とノイズ耐性は、事前に設定された I_B 電流によって決まり、これがisoSPIの信号電流を制御します。バイアス電流 I_B の範囲は $100\mu\text{A} \sim 1\text{mA}$ です。内部回路はこのバイアス電流を増大して、 $20 \cdot I_B$ に等しいisoSPI信号電流を発生させます。 I_B が小さいと、READYおよびACTIVEステートでのisoSPIの消費電力が少なく済みますが、 I_B が大きいと、対応する終端抵抗 R_M 両端の差動信号電圧 V_A の振幅が大きくなります。電流 I_B は、図41に示すように、2VのIBIASピンとGNDの間に接続した抵抗 R_{B1} と R_{B2} の和によって設定されます。レシーバーの入力閾値はICMPの電圧によって設定され、ICMPの電圧は、抵抗 R_{B1} および R_{B2} で形成される抵抗分圧器によって設定されます。レシーバーの閾値は、ICMPピンに現れる電圧の半分になります。

バイアス電流($100\mu\text{A} \sim 1\text{mA}$) I_B とレシーバーのコンパレータ閾値電圧 $V_{ICMP}/2$ を設定するときは、以下のガイドラインに従います。

$$R_M = \text{伝送線路の特性インピーダンス } Z_0$$

$$\text{信号振幅 } V_A = (20 \cdot I_B) \cdot (R_M/2)$$

$$V_{TCMP}(\text{レシーバーのコンパレータ閾値}) = K \cdot V_A$$

$$V_{ICMP}(\text{ICMPピンの電圧}) = 2 \cdot V_{TCMP}$$

$$R_{B2} = V_{ICMP}/I_B$$

$$R_{B1} = (2/I_B) - R_{B2}$$

次に示すアプリケーションに応じて、 I_B および K (信号振幅 V_A とレシーバーのコンパレータ閾値の比)を選択します。

小電力のリンクの場合： $I_B = 0.5\text{mA}$ および $K = 0.5$

最大電力のリンクの場合： $I_B = 1\text{mA}$ および $K = 0.5$

長いリンク(>50m)の場合： $I_B = 1\text{mA}$ および $K = 0.25$

システム・ノイズがほとんどないアプリケーションでは、 I_B を 0.5mA に設定すると、消費電力とノイズ耐性の折り合いをうまくつけることができます。この I_B の設定を1:1のトランスと $R_M = 100\Omega$ で使用する場合は、 R_{B1} を 3.01k 、 R_{B2} を 1k に設定します。標準のCAT5 ツイスト・ペア・ケーブルを使用する場合、この設定で最大50mの通信が可能です。ノイズが非常に多い環境でのアプリケーションや50mより長いケーブルが必要なアプリケーションでは、 I_B を 1mA に増やすことを推奨します。駆動電流を大きくすると、ケーブルでの挿入損失の増加が補償され、ノイズ耐性が向上します。50mを超えるケーブルと巻数比1:1のトランスおよび $R_M = 100\Omega$ を使用する場合は、 R_{B1} を 1.5k 、 R_{B2} を 499Ω にします。

isoSPIリンクの最大クロック・レートは、isoSPIケーブルの長さによって決まります。ケーブルが10m以下の場合、最大1MHzのSPIクロック周波数が可能です。ケーブルの長さが長くなるにつれて、可能な最大SPIクロック・レートは減少します。この依存性は、伝播遅延の増加によるものであり、これによってタイミングの規格外れが発生する可能性があります。CAT5 ツイスト・ペア・ケーブルを使用した場合、ケーブル長が長くなるに従って最大データ・レートがどのように減少するかを図42に示します。

ケーブルの遅延は、 t_{CLK} 、 t_6 、 t_7 の3つのタイミング仕様に影響を与えます。電気的特性の表では、これらの仕様のそれぞれが100nsまで減定格され、50nsのケーブル遅延が許容されます。更に長いケーブルの場合は、最小のタイミング・パラメータを次に示すように計算できます。

$$t_{CLK}, t_6, \text{および } t_7 > 0.9\mu\text{s} + 2 \cdot t_{CABLE} (0.2\text{m/ns})$$

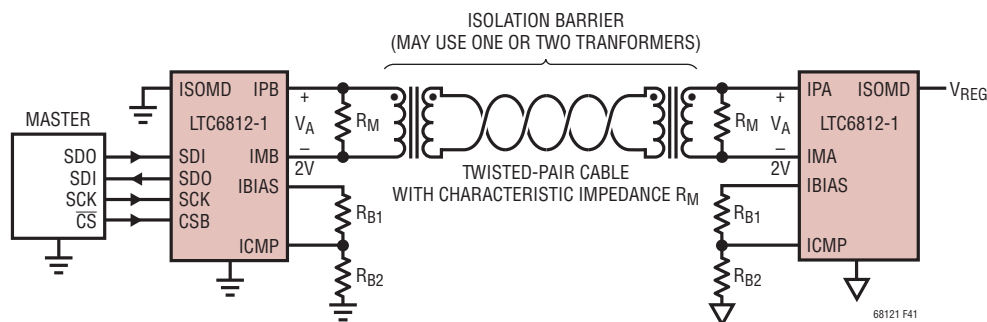


図41. isoSPI回路

アプリケーション情報

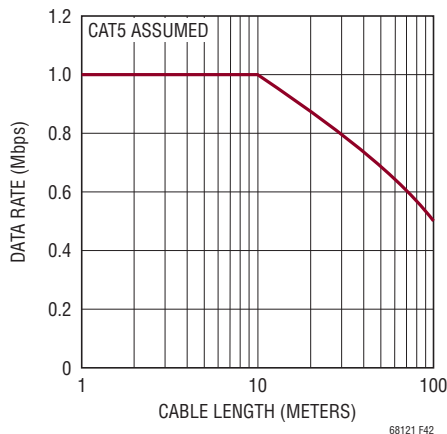


図42. データ・レートとケーブル長

isoSPIのモジュール式デジチェーンの実装

デジチェーン isoSPI バスのハードウェア設計は、デジチェーンの2点間アーキテクチャにより、ネットワーク内の各デバイスで同一です。図41に示す単純な設計で機能しますが、ほとんどの設計回路には不適切です。図43に示すように、終端抵抗 R_M を分割して、コンデンサでバイパスします。この変更により、差動終端と同相終端の両方が得られるので、システムのノイズ耐性が向上します。

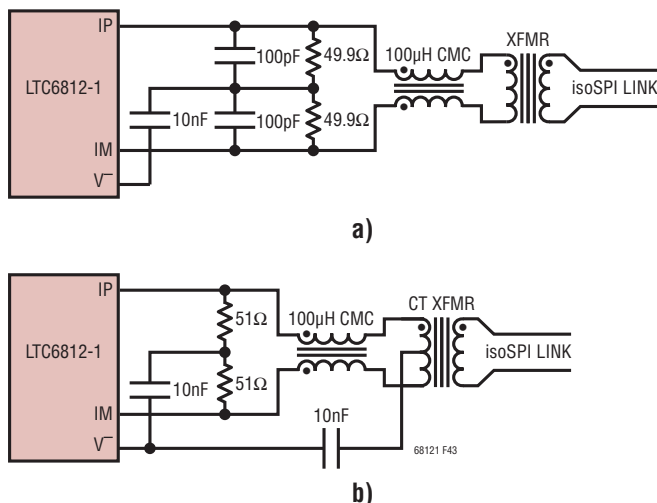


図43. デジチェーン・インターフェースの部品

バッテリー・モジュール間にケーブルを使用すると、特にオートモーティブ・アプリケーションでは、通信線でノイズの影響を受けやすくなる恐れがあります。電磁干渉(EMC)レベルが高い場合は、フィルタを更に追加することを推奨します。図43の回路例では、コモンモード・チョーク(CMC)を使用して、バッテリー配線上でのトランジェントから同相ノイズを除去する機能を追加したことを示しています。また、センター・タップ付きのトランスを使用すると、ノイズ性能が更に向上します。センター・タップにバイパス・コンデンサを接続することで、同相ノイズに対応する低インピーダンスが得られます(図43b)。センター・タップのないトランスは低価格で済むので好まれます。この場合には、分割終端抵抗とバイパス・コンデンサを追加すれば(図43a)、isoSPI性能を向上できます。10nFよりも大きなセンター・タップ・コンデンサの使用は避けてください。使用すると isoSPI のコモンモード電圧を安定化できないためです。イーサネット・アプリケーションまたは CANbus アプリケーションで使用されるものと同等のコモンモード・チョークを推奨します。具体的な例を表58に示します。

デジチェーン設計での重要な考慮事項は、isoSPI ネットワーク内にあるデバイスの数です。チェーンの長さは、逐次処理のタイミングを決める要因であり、データの遅延とスループットに影響します。isoSPI デジチェーンでのデバイスの最大数は、逐次処理のタイミング条件によって厳密に規定されています。ただし、逐次読出し時間(と消費電流の増加)が実用上の限界を決める可能性があることに注意する必要があります。

デジチェーンでは、正常な動作を確保するのに、タイミングに関する次の2つの考慮事項が最も重要です(図25参照)。

1. t_6 (最後のクロックとチップ選択の立上がりまでの時間) を十分に長くする必要があります。
2. t_5 (チップ選択の立上がりから次の立下がりまでの時間(コマンドとコマンドの間)) を十分に長くする必要があります。

t_5 と t_6 の長さは、両方ともデジチェーン内にある LTC6812-1 デバイスの数が増加するのに応じて長くする必要があります。これらの時間の計算式は以下のようになります。

$$t_5 > (\# \text{devices} \cdot 70\text{ns}) + 900\text{ns}$$

$$t_6 > (\# \text{devices} \cdot 70\text{ns}) + 950\text{ns}$$

アプリケーション情報

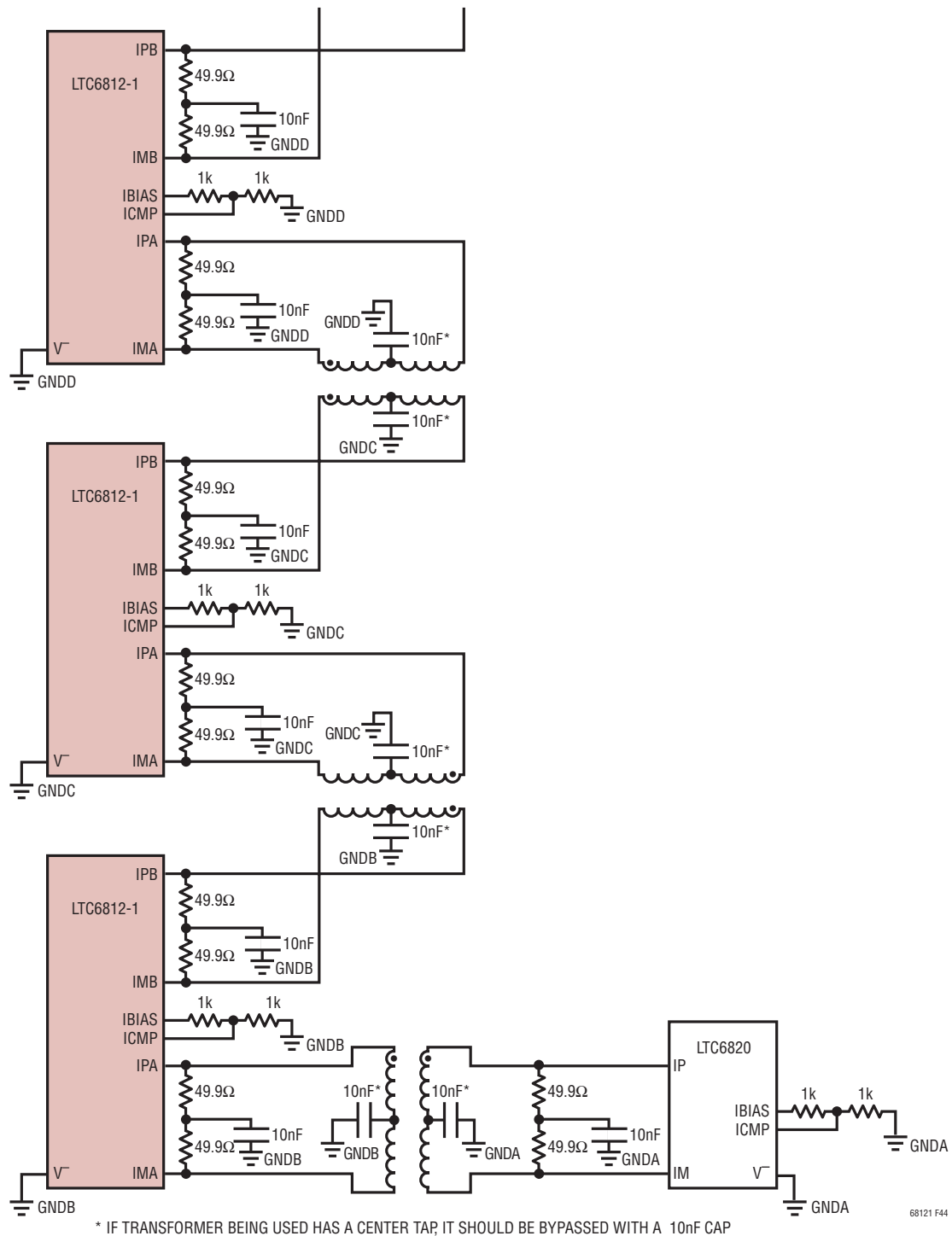


図44. 単一基板上でのデジチェーン・インターフェースの部品

アプリケーション情報

同一PCB上での複数のLTC6812-1の接続

複数のLTC6812-1デバイスを同一のPCB上で接続する場合、LTC6812-1のisoSPIポート間に必要なトランスは1つだけです。また、ケーブルがないと通信線上でのノイズ・レベルが減少し、分割終端だけで済むことが多くなります。複数のLTC6812-1が同一のPCB上に存在し、isoSPIドライバLTC6820を介して末尾のMCUと通信するアプリケーションの例を図44に示します。センター・タップ付きのトランスを使用する場合は、コンデンサを追加してノイズ除去性能を高めることができます。ディスクリートのコモンモード・チョーク

(表示せず)を1つのトランスの両側に取り付けることにより、追加のノイズ・フィルタを設けることができます。

低ノイズが要求される単一基板設計では、図45に示すようなコンデンサ絶縁型の簡単な結合によってトランスを置き換えることができます。この回路では、2つの10nFのコンデンサでトランスを直接置き換えます。オプションのコモンモード・チョーク(CMC)を使用すると、トランスを使用するアプリケーション回路と同様にノイズを除去できます。この回路は、トランス回路と同じIBIAS/ICMPの設定を使用するように設計されています。

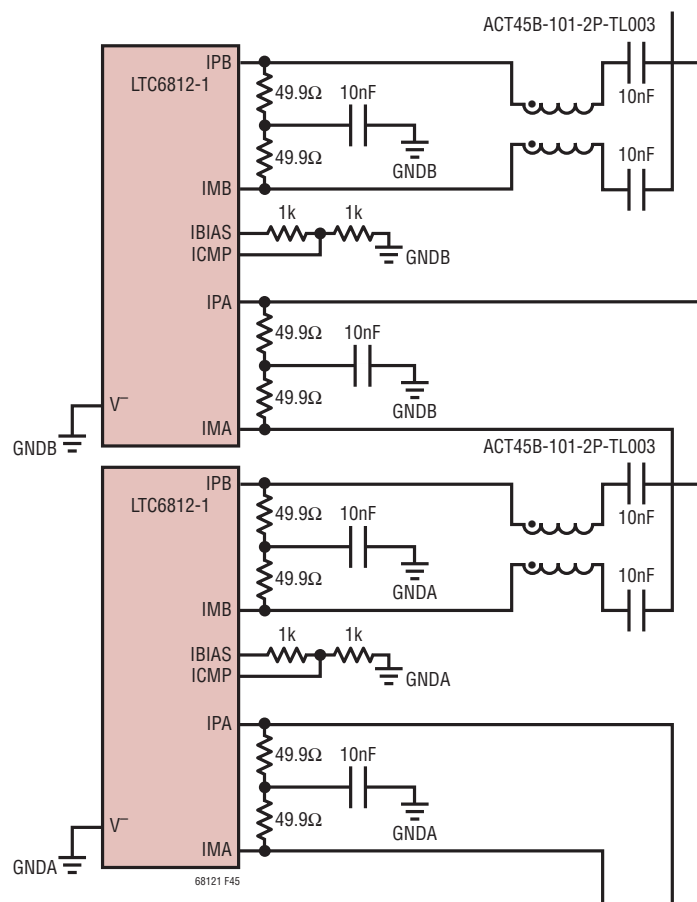


図45. 同一PCB上での複数のLTC6812-1に対応する容量性絶縁結合

アプリケーション情報

isoSPI データ・リンクによる MCU と LTC6812-1 の接続

LTC6820 は、標準の 4 線 SPI を、LTC6812-1 と直接通信できる 2 線 isoSPI リンクに変換します。例を図 46 に示します。アプリケーションに LTC6820 を使用すると、マイクロコントローラと LTC6812-1 のスタックの間を絶縁できます。また、LTC6820 を使用すると、LTC6812-1 デバイスおよびバッテリー・パックと比較的離れた場所に BMS コントローラを配置するシステム構成が可能になります。

トランス選択ガイド

図 41 に示すように、1 つのトランスまたは 1 対のトランスによって、2 つの isoSPI ポート間の isoSPI 信号を絶縁します。isoSPI 信号は、最大 1.6V_{P-P} のプログラム可能なパルス振幅と、50ns および 150ns のパルス幅を備えています。これらのパルスを、必要な忠実度で送信できるようにするため、システムに必要なのは、トランスの 1 次側インダクタンスを 60μH より大きくして、巻数比を 1:1 にすることです。また、漏れインダクタンスが 2.5μH より少ないトランスを使用することも必要です。パルス波形の観点から、1 次側インダクタンスが最も影響するのは、50ns および 150ns パルスのドループです。1 次側インダクタンスが小さすぎると、パルスの振幅は減少し始め、パルスの周期にわたって減衰します。パルス・ドループが厳しい場合、レシーバーから見た実効パルス幅が大幅に狭まり、ノイズ・マージンが減少します。低下のパーセント値が全パ

ルス振幅と比較して小さい値である限り、ある程度の低下は許容されます。漏れインダクタンスが主に影響するのは、パルスの立上がり時間と立下がり時間です。立上がり時間と立下がり時間が長いと、パルス幅は実質的に減少します。パルス幅は、ICMP ピンで設定されている閾値を信号が超える時間に応じて、レシーバーにより決定されます。立上がり時間と立下がり時間が長いと、タイミングのマージンは減少します。一般的には、パルス・エッジをできるだけ高速に保つのが最善です。また、トランスを評価する場合には、巻線の並列容量に留意することも大切です。トランスの CMRR は低周波では非常に良好ですが、この除去比特性は高周波では低下します。その原因は、主として巻線間の容量です。トランスを選択する場合には、できれば巻線の並列容量が少ないものを選ぶのが最善です。

トランスを選択する場合、同様に重要なのは、アプリケーションに合わせて適切な絶縁定格の製品を選ぶことです。トランスの動作電圧定格は、アプリケーションに合わせて製品を選択するときの重要な仕様です。LTC6812-1 デバイス間のデジチーチェーン・リンクを相互接続した場合に受けるストレスは、代表的なアプリケーションでは 60V 未満なので、通常のパルス・トランスや LAN タイプのトランスで十分です。LTC6820 に接続する場合は、一般に、良好な長期信頼性を確保するため、はるかに高い動作電圧定格が必要となる可能性があります。通常は、動作電圧をバッテリー・スタック全体

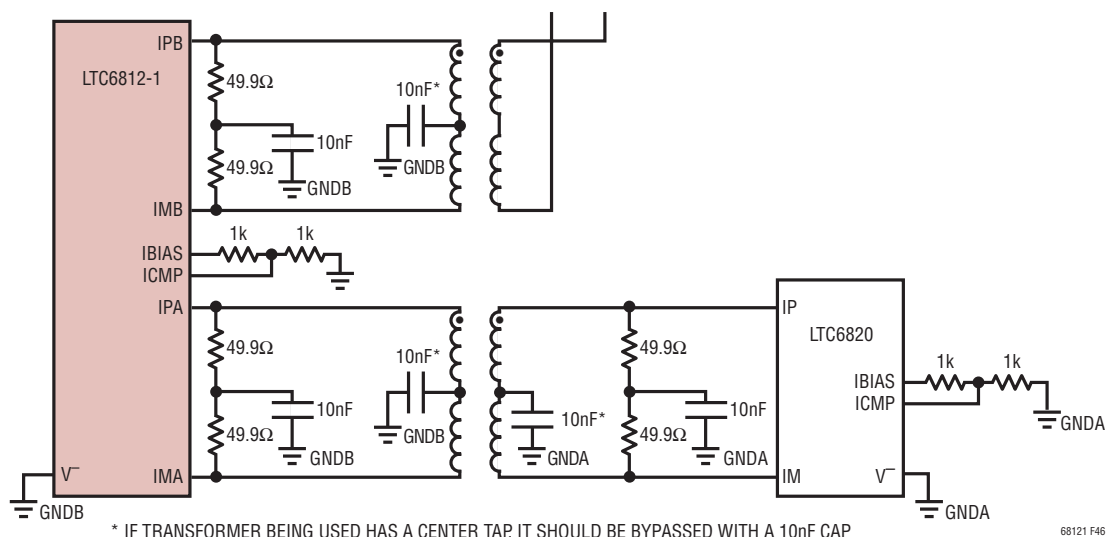


図 46. LTC6820 を使用して絶縁型 SPI 制御に対応する LTC6812-1 と μC とのインターフェース

アプリケーション情報

の電圧に一致させるのが確実です。残念なことに、トランスのメーカーは1秒間のHVテストしか規定しないことが多く、これは製品の長期(永続)的な定格と同等ではありません。例えば、ほとんどの安全規格によると、1.5kV定格のトランスは継続的に230Vを扱えることを期待されており、3kVのデバイスは長期間1100Vに対応できることを期待されていますが、メーカーがこれらのレベルを必ずしも認証するわけではありません(仕様については実際のメーカー・データを参

照)。通常、高電圧のトランスを、メーカーは「高絶縁」タイプまたは「強化絶縁」タイプと呼んでいます。isoSPIリンクで評価されたトランスの一覧を表57に示します。

ほとんどのアプリケーションでは、ノイズを除去するのにコモンモード・チョーク(CMC)も必要です。使用するトランスに予めCMCが組み込まれていない場合、適したCMCの一覧を表58に示します。

表 57. 推奨のトランス

メーカー	製品番号	温度範囲	V _{WORKING}	V _{HIPO} T/60S	CT	CMC	H	L	幅 (幅/リード)	ピン	AEC-Q200
推奨のデュアル・トランス											
Pulse	HX1188FNL	-40°C to 85°C	60V (est)	1.5kV _{RMS}	●	●	6.0mm	12.7mm	9.7mm	16SMT	-
Pulse	HX0068ANL	-40°C to 85°C	60V (est)	1.5kV _{RMS}	●	●	2.1mm	12.7mm	9.7mm	16SMT	-
Pulse	HM2100NL	-40°C to 105°C	1000V	4.3kVDC	-	●	3.4mm	14.7mm	14.9mm	10SMT	●
Pulse	HM2112ZNL	-40°C to 125°C	1000V	4.3kVDC	●	●	4.9mm	14.8mm	14.7mm	12SMT	●
Sumida	CLP178-C20114	-40°C to 125°C	1000V (est)	3.75kV _{RMS}	●	●	9mm	17.5mm	15.1mm	12SMT	-
Sumida	CLP0612-C20115		600V _{RMS}	3.75kV _{RMS}	●	-	5.7mm	12.7mm	9.4mm	16SMT	-
Würth	7490140110	-40°C to 85°C	250V _{RMS}	4kV _{RMS}	●	●	10.9mm	24.6mm	17.0mm	16SMT	-
Würth	7490140111	0°C to 70°C	1000V (est)	4.5kV _{RMS}	●	-	8.4mm	17.1mm	15.2mm	12SMT	-
Würth	749014018	0°C to 70°C	250V _{RMS}	4kV _{RMS}	●	●	8.4mm	17.1mm	15.2mm	12SMT	-
Halo	TG110-AE050N5LF	-40°C to 85/125°C	60V (est)	1.5kV _{RMS}	●	●	6.4mm	12.7mm	9.5mm	16SMT	●
推奨のシングル・トランス											
Pulse	PE-68386NL	-40°C to 130°C	60V (est)	1.5kVDC	-	-	2.5mm	6.7mm	8.6mm	6SMT	-
Pulse	HM2101NL	-40°C to 105°C	1000V	4.3kVDC	-	●	5.7mm	7.6mm	9.3mm	6SMT	●
Pulse	HM2113ZNL	-40°C to 125°C	1600V	4.3kVDC	●	●	3.5mm	9mm	15.5mm	6SMT	●
Würth	750340848	-40°C to 105°C	250V	3kV _{RMS}	-	-	2.2mm	4.4mm	9.1mm	4SMT	-
Halo	TGR04-6506V6LF	-40°C to 125°C	300V	3kV _{RMS}	●	-	10mm	9.5mm	12.1mm	6SMT	-
Halo	TGR04-A6506NA6NL	-40°C to 125°C	300V	3kV _{RMS}	●	-	9.4mm	8.9mm	12.1mm	6SMT	●
Halo	TDR04-A550ALLF	-40°C to 105°C	1000V	5kV _{RMS}	●	-	6.4mm	8.9mm	16.6mm	6TH	●
TDK	ALT4532V-201-T001	-40°C to 105°C	60V (est)	~1kV	●	-	2.9mm	3.2mm	4.5mm	6SMT	●
Sumida	CEEH96BNP-LTC6804/11	-40°C to 125°C	600V	2.5kV _{RMS}	-	-	7mm	9.2mm	12.0mm	4SMT	-
Sumida	CEP99NP-LTC6804	-40°C to 125°C	600V	2.5kV _{RMS}	●	-	10mm	9.2mm	12.0mm	8SMT	-
Sumida	ESMIT-4180/A	-40°C to 105°C	250V _{RMS}	3kV _{RMS}	-	-	3.5mm	5.2mm	9.1mm	4SMT	●
TDK	VGT10/9EE-204S2P4	-40°C to 125°C	250V (est)	2.8kV _{RMS}	●	-	10.6mm	10.4mm	12.7mm	8SMT	-

表 58. 推奨のコモンモード・チョーク

メーカー	製品番号
TDK	ACT45B-101-2P
Murata	DLW43SH101XK2

アプリケーション情報

isoSPI レイアウトのガイドライン

isoSPI 信号線のレイアウトは、データ・リンクのノイズ耐性を最大限に引き上げる重要な役割も果たしています。以下に示すレイアウトのガイドラインを推奨します。

- 1. トランスは isoSPI ケーブル・コネクタにできるだけ近づけて配置する。距離は 2cm 以下に保つ。LTC6812-1 はトランスに近づける一方で、トランスから 1cm~2cm 以上離して配置することで、磁界結合からデバイスまで距離をあける。
- 2. トランスの下、isoSPI コネクタの下、またはトランスとコネクタの間には V⁻ のグラウンド・プレーンを広げない。
- 3. isoSPI 信号のパターンはできるだけまっすぐにする一方で、グラウンド・メタルまたはスペースによって周囲の回路から分離する。内部層上のグラウンド・プレーンによって分離されている場合を除き、パターンが isoSPI 信号線と交差しないようにする。

システムの電源電流

LTC6812-1 には、様々な動作状態に対応する各種の電源電流仕様がります。平均電源電流は、システム内の制御ループに左右されます。各制御ループ・サイクルでどのコマンドが実行されるか、更に制御ループ・サイクルの持続時間はどれくらいか、ということは知っておく必要があります。この情報により、LTC6812-1 が MEASURE ステートにある時間と低消費電力の SLEEP ステートにある時間の割合 (%) を求めることができます。また、isoSPI 通信または SPI 通信の量も平均電源電流に影響します。

シリアル・スループットの計算

どの LTC6812-1 の場合でも、通信時間を割り出す計算は単純で、伝送時のビット数に使用される SPI クロック周期を掛けたものです。LTC6812-1 の制御プロトコルは非常に統一されているので、ほとんど全てのコマンドを書込み、読出し、動作に分類できます。表 59 を使用して、任意の LTC6812-1 コマンドでのビット数を求めることができます。

表 59. デイジーチェーンでのシリアル通信時間の式

コマンド・タイプ	コマンド・バイト + コマンド PEC	データ・バイト + データ PEC (デバイス単位)	合計ビット	通信時間
Read	4	8	$(4 + (8 \cdot \#ICs)) \cdot 8$	Total Bits • Clock Period
Write	4	8	$(4 + (8 \cdot \#ICs)) \cdot 8$	Total Bits • Clock Period
Operation	4	0	$4 \cdot 8 = 32$	$32 \cdot \text{Clock Period}$

高度なアプリケーション

15 個未満のセルでの LTC6812-1 の使用

セルは、従来からある最下段 (C1) から最上段 (C15) の順序で接続できます。その際、不使用の C 入力、全て最上段の接続セルに短絡するか、全てオープンのままにしておいてかまいません。不使用の S ピンは、未接続のままにしておいてかまいません。

あるいは、セルが 15 個未満のアプリケーションで測定の同期を最適化するため、3 番目の MUX の最上段 (C15)、2 番目の MUX の最上段 (C10)、1 番目の MUX の最上段 (C5) の間で、不使用の C ピンを均等に配分することもできます。図 47 を参照してください。測定対象セルの数が 3 の倍数ではない場合、最上段の MUX に接続するセルの数を減らします。不使用のセル入力は、同じ MUX 上にある他の不使用入力に接続してから、100Ω の抵抗を介してバッテリー・スタックに接続します。不使用の入力がある場合、該当セルの読出し値は 0.0V になります。

ホール・センサーを使用した電流測定

0V~5V のアナログ出力を備えたアクティブ・センサーなど、任意のアナログ信号に対して、LTC6812-1 の補助 ADC 入力 (GPIO ピン) を使用できます。バッテリー電流測定では、ホール・センサーが、絶縁型で低消費電力の解決策を提供します。与えられた V_{CC} に比例した 2 つの出力を生成する標準的なホール・センサーを図 48 に模式的に示します。図 48 のセンサーには、V_{CC} の半分の値を中心とした 2 つの双方向出力があります。CH1 は 0A~50A の低電流範囲であり、CH2 は 0A~200A の高電流範囲です。このセンサーは、5V 電源から電力を供給され、アナログ出力を生成します。このアナログ出力は、GPIO ピン、つまり図 50 に示す MUX アプリケーションの入力に接続されます。GPIO1 と GPIO2 を ADC の入力として使用すると、同じ変換シーケンス内でセル入力として (ADCVAX コマンドを使用して) デジタル化できます。そのため、セル電圧の測定とセル電流の測定を同期させることができます。

アプリケーション情報

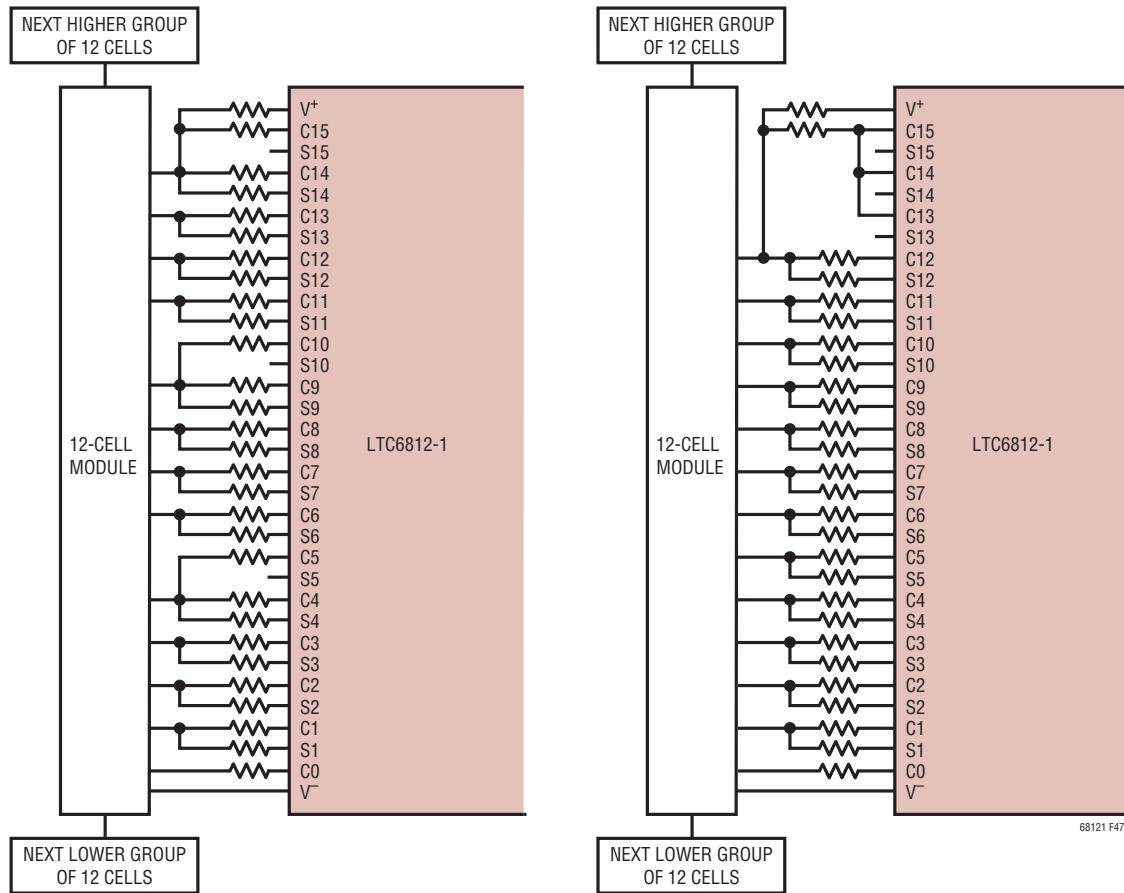


図 47. 12セルの場合のセル接続方法

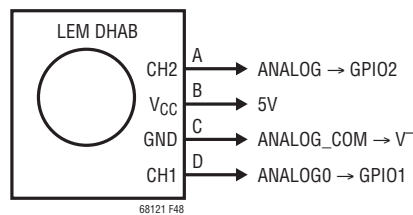


図 48. 標準的なホール効果バッテリー電流センサーと補助ADC入力のインターフェース

アプリケーション情報

外部温度プローブの読み取り

図49は、負温度係数(NTC)サーミスタの標準的なバイアス回路を示しています。25°Cで10kというのはセンサーの最も一般的な値であり、 V_{REF2} 出力段は、これら複数のプローブにバイアスを加えるために必要な電流を供給する目的で設計されています。回路が25°Cで1.5V (V_{REF2} は公称3V)を供給するように、NTCの値に応じてバイアス抵抗を選択します。回路全体の応答は、図49のグラフに示すように、標準的なセルの温度範囲内で約-1%/°Cです。

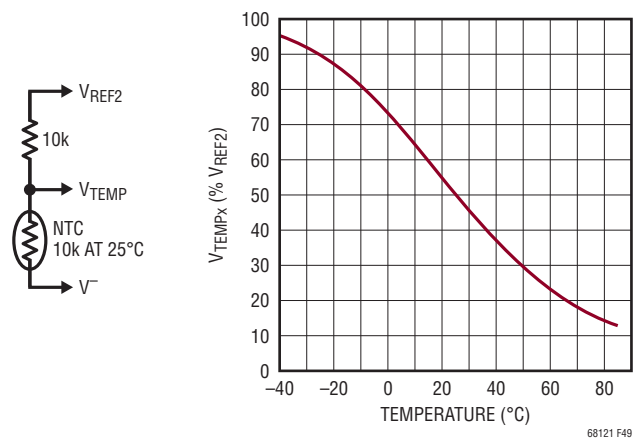


図49. 標準的な温度プローブ回路と相対出力

補助測定数の拡張

LTC6812-1は、ADC入力として使用できる9つのGPIOピンを備えています。9種類より多くの信号を測定する必要があるアプリケーションでは、マルチプレクサ(MUX)回路を実装して、16種類の信号までアナログ測定を拡張することができます(図50)。GPIO1のADC入力は測定に使用され、MUXはGPIO4およびGPIO5のI²Cポートで制御されます。バッファ・アンプが選択されていたのは高速セトリングのためであり、これによって使用可能なスループット・レートが向上します。

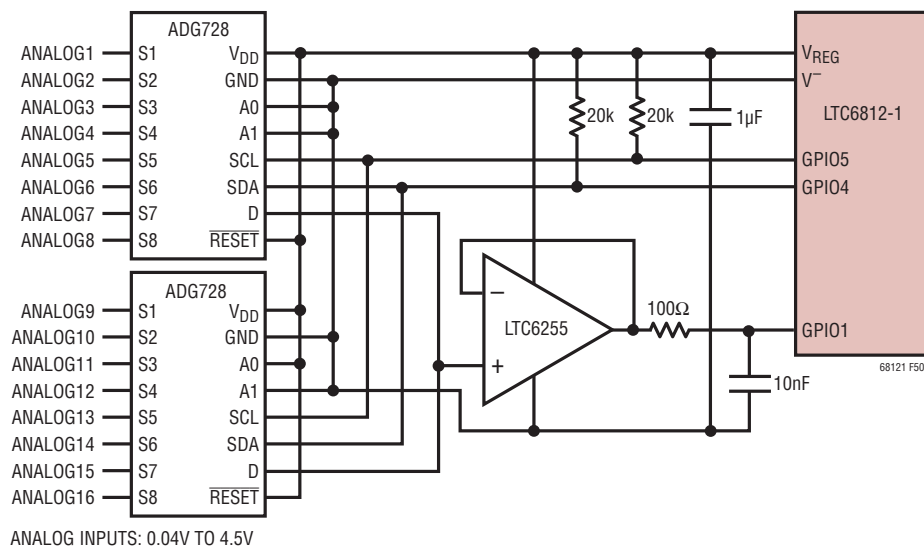
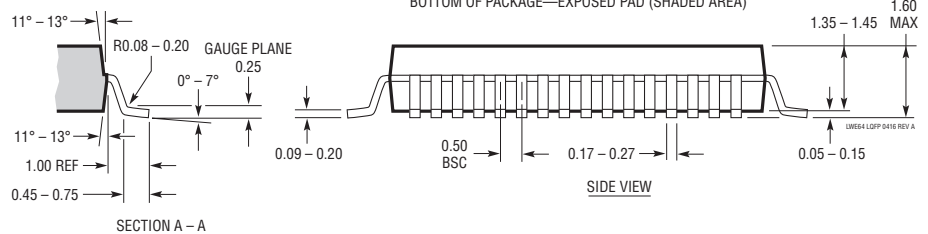
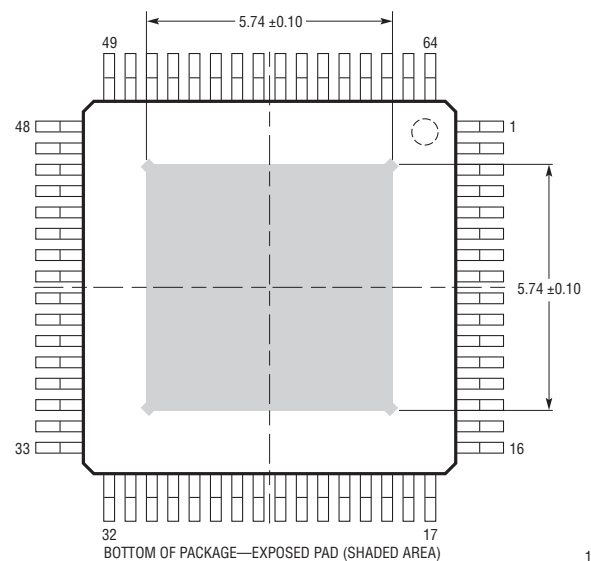
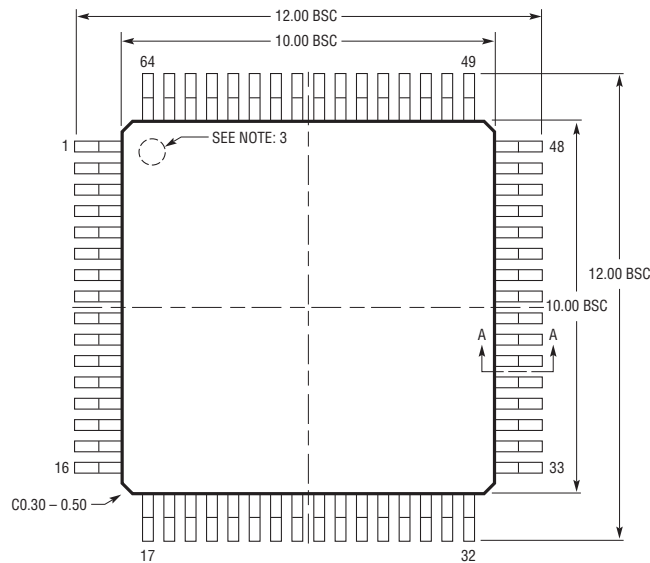
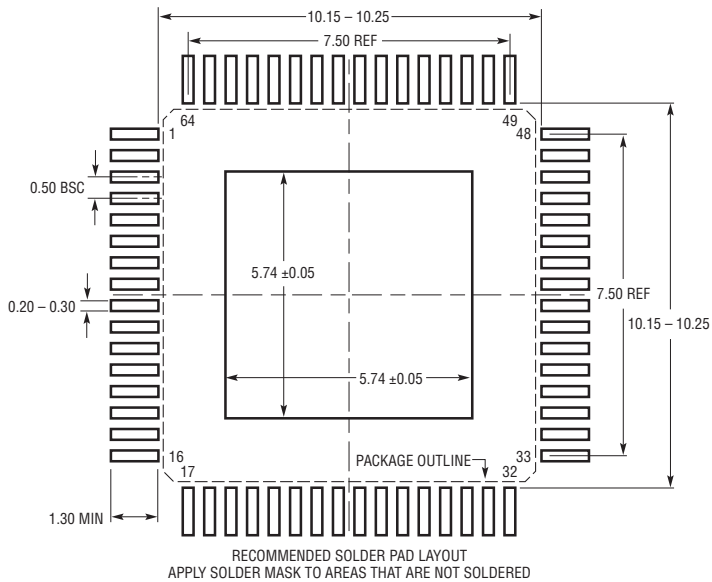


図50. 16種類の追加アナログ測定をサポートするMUX回路

パッケージ

LWE Package
64-Lead Plastic Exposed Pad LQFP (10mm × 10mm)
 (Reference LTC DWG #05-08-1982 Rev A)



注記:

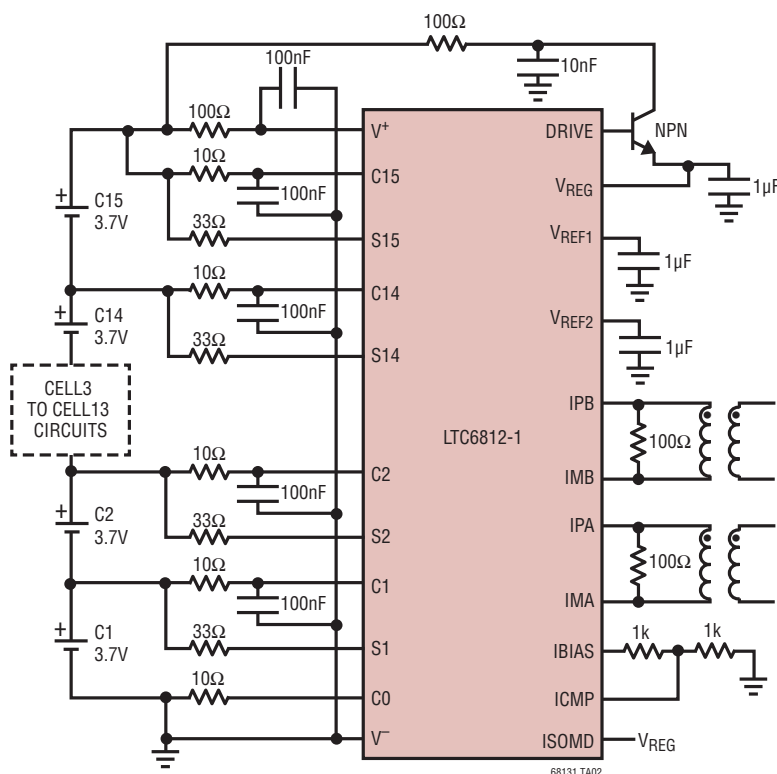
1. 寸法はミリメートル

2. パッケージの寸法にはモールドのバリを含まない。モールドのバリは(もしあれば)、露出パッドの各サイドのピン間で 0.25mm、最大値で 0.50mm、さらに露出パッドのコーナーでは最大値で 0.77mm を超えないこと

3. 1 番ピンの識別マークはモールドのくぼみ、直径 0.50mm

4. 図は実寸とは異なる

標準的応用例



関連製品

製品番号	説明	注釈
LTC6801	独立動作のマルチセル・バッテリー・スタック・フォルト・モニタ	直列接続された最大12個のバッテリー・セルの低電圧と過電圧を監視。LTC6802、LTC6803、およびLTC6804の姉妹品。
LTC6802	第1世代の12セル・バッテリー・スタック・モニタおよびバランス調整IC	最大12個の直列バッテリー・セルのセル電圧を測定。デジイチチェーン機能により、複数のデバイスを接続して、独自のレベルシフト・シリアル・インターフェースを介して多数のバッテリー・セルを同時に測定可能。パッシブ方式のセル・バランス調整機能を内蔵。
LTC6803	第2世代の12セル・バッテリー・スタック・モニタおよびバランス調整IC	最大12個の直列バッテリー・セルのセル電圧を測定。デジイチチェーン機能により、複数のデバイスを接続して、独自のレベルシフト・シリアル・インターフェースを介して多数のバッテリー・セルを同時に測定可能。パッシブ方式のセル・バランス調整機能を内蔵。
LTC6804	第3世代の12セル・バッテリー・スタック・モニタおよびバランス調整IC	最大12個の直列バッテリー・セルのセル電圧を測定。デジイチチェーン機能により、複数のデバイスを接続して、内蔵の1MHz、2線式絶縁型通信 (isoSPI) を介して多数のバッテリー・セルを同時に測定可能。パッシブ方式のセル・バランス調整機能を内蔵。
LTC6811	第4世代の12セル・バッテリー・スタック・モニタおよびバランス調整IC	最大12個の直列バッテリー・セルのセル電圧を測定。デジイチチェーン機能により、複数のデバイスを接続して、内蔵の1MHz、2線式絶縁型通信 (isoSPI) を介して多数のバッテリー・セルを同時に測定可能。パッシブ方式のセル・バランス調整機能を内蔵。
LTC6820	isoSPI 絶縁型通信インターフェース	ツイスト・ペア・ケーブルを使用する最大100メートルのSPI通信用の絶縁型インターフェースを提供。LTC6804、LTC6806、LTC6811、LTC6812、およびLTC6813の姉妹品。
LTC6813	第4世代の18セル・バッテリー・スタック・モニタおよびバランス調整IC	最大18個の直列バッテリー・セルのセル電圧を測定。isoSPIデジイチチェーン機能により、複数のデバイスを相互接続して、多数のバッテリー・セルを同時に測定可能。isoSPIバスは最大1MHzで動作可能であり、双方向に動作して、断線や損傷したコネクタなど、障害条件に対応できます。最大200mAのパッシブ方式セル・バランス調整機能を内蔵。